

**WT51F104**  
**具备 ADC 功能之**  
**1T 8052 微控制器 (FLASH)**

中文产品规格书

**Rev. 3.0**

**December 2014**

## 目 录

1. 概述 .....	3
2. 特性 .....	3
3. 系统方框图.....	4
3.1 系统时钟方块图 .....	5
4. 封装引脚配置.....	6
4.1 引脚功能 .....	8
4.2 引脚描述 .....	11
4.3 端口结构 .....	13
5. 标准功能 .....	16
5.1 中央处理单元 (CPU) .....	16
5.2 随机数据存储器 (RAM) .....	16
5.3 闪控程序存储器 (Flash Memory) .....	17
5.4 内存映像 (Memory Mapping) .....	18
5.5 在线刻录 (ISP) (重要!!! 务必阅读!!!) .....	22
5.6 计时/计数器 (Timer) .....	24
5.7 复位 (Reset).....	28
5.8 系统时钟及时钟来源 .....	29
6. 增强功能 .....	30
6.1 外部特殊功能缓存器 (XFR).....	30
6.2 I/O 端口 .....	34
6.3 中断.....	45
6.4 通用异步收发器 (UART) .....	56
6.5 外部中断要求 (IRQ) .....	60
6.6 脉冲宽度调制 (PWM).....	64
6.7 电源管理 .....	70
6.8 12 MHz RC 振荡器校正 .....	82
6.9 看门狗定时器与实时定时器 .....	85
6.10 I <sup>2</sup> C 串行界面.....	89
6.11 增强型计时/计数器 (Enhanced Timer/Counter) .....	94
6.12 SPI 串行界面 (SPI).....	99
6.13 模/数转换器 (ADC).....	105
6.14 比较器 (Comparator).....	110
6.15 低压侦测 (LVD).....	114
6.16 低压侦测复位 (LVDR) .....	115
6.17 仿真式 E <sup>2</sup> PROM.....	117
6.18 Code Option.....	120
6.19 防读与加密机制 (Read Out Protection & Encryption) .....	128

7. 电气特性 .....	129
7.1 极限参数 .....	129
7.2 推荐操作参数 .....	129
7.3 DC 电气特性 ( $V_{DD} = 1.8V \sim 5V, -40^{\circ}C \sim +85^{\circ}C$ ) .....	130
7.4 AC 电气特性 ( $T_A = 25^{\circ}C$ ) .....	131
7.5 内部 12 MHz RC 振荡器温度误差表 .....	132
7.6 A/D 转换特性 ( $T_A = 25^{\circ}C$ ) .....	133
7.7 Bandgap 电气特性 .....	134
7.8 低压复位 (LVR)、低压侦测 (LVD)及低压侦测复位 (LVDR) 电气特性 ( $T_A = 25^{\circ}C$ ) .....	134
7.9 比较器特性 ( $V_{DD} = 5V, T_A = 25^{\circ}C$ ) .....	134
7.10 热阻特性 .....	135
8. 应用电路 .....	136
8.1 供电线路 .....	136
8.2 振荡器线路 .....	136
8.3 RESET 线路 .....	137
8.4 标准线路 .....	138
8.5 开发板线路 (16*2 LCM) .....	139
9. 产品命名规则 .....	140
10. 订购信息 .....	140
11. 裸片坐标位置图 .....	141
12. 封装尺寸 .....	143
12.1 20-Pin SSOP .....	143
12.2 14-Pin SOP .....	144
12.3 10-Pin MSOP .....	145
12.4 8-Pin SOP .....	146
13. 开发工具 .....	147
14. 版本更改记录 .....	151
附录: 中/简版勘误表 .....	152

## 1. 概述

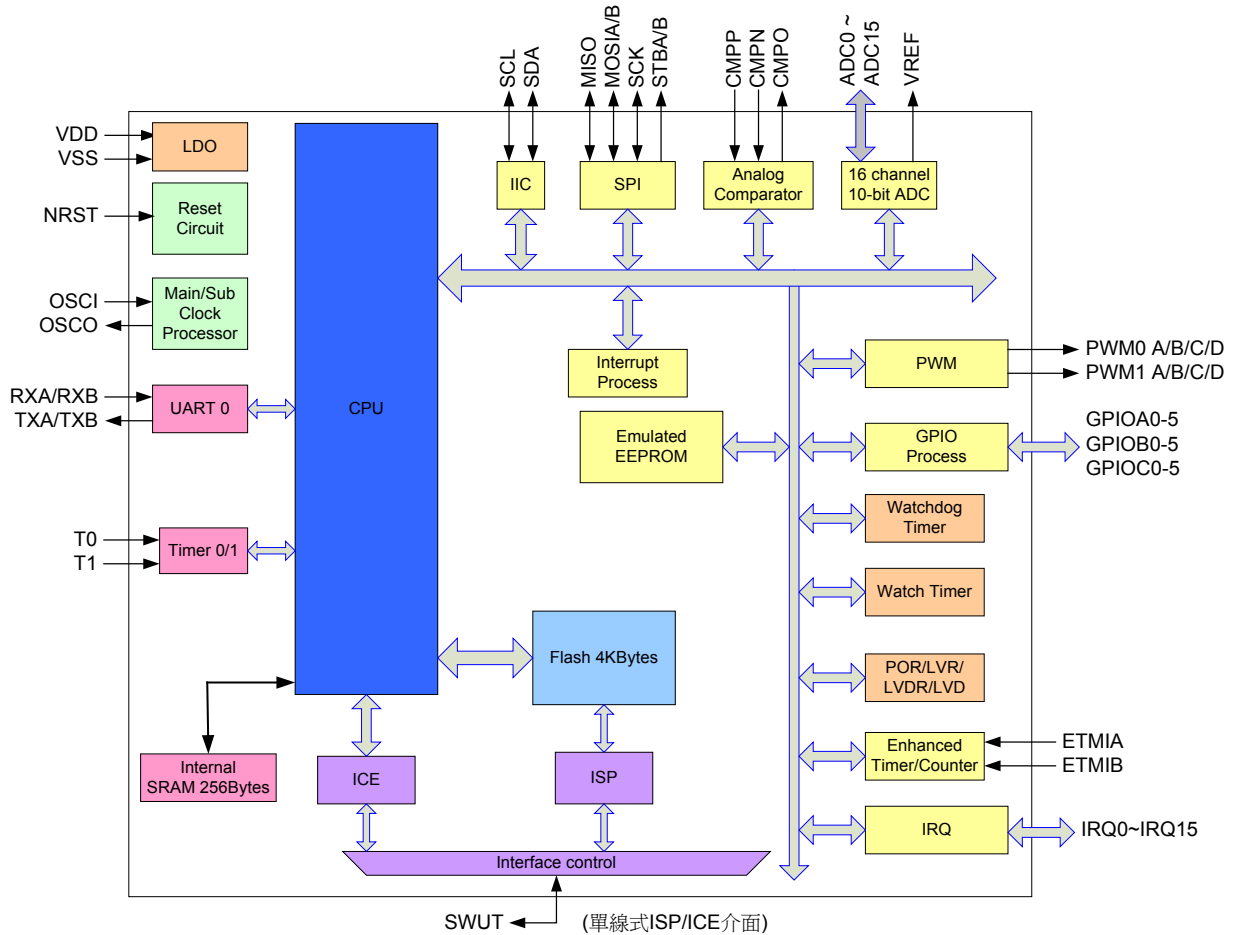
WT51F104 是台湾著名的 IC 设计公司伟詮电子 (WELTREND) 推出的泛用型微处理器，产品除了采用先进的 1T 的 8052 微处理器内核，宽且低的工作电压范围 (1.8V ~ 5.5V)，高抗噪声能力以外，4Kx8 的闪控程序存储器，256x8 的随机数据存储器与丰富的周边资源及多样的电源管理 (详细请看内文) 更是让使用者针对不同应用可以得心应手，包括小家电、散热风扇、电子安定器、汽车防盗器、倒车雷达数位探头等等，WT51F104 是一颗高性价比产品，多种包装考虑可以直接取代市面上主流的产品 (详细请参考 WT51F104 应用手册)，另外为了让客户有更大的竞争力，也提供芯片 (dice) 与晶圆 (wafer) 销售。

## 2. 特性

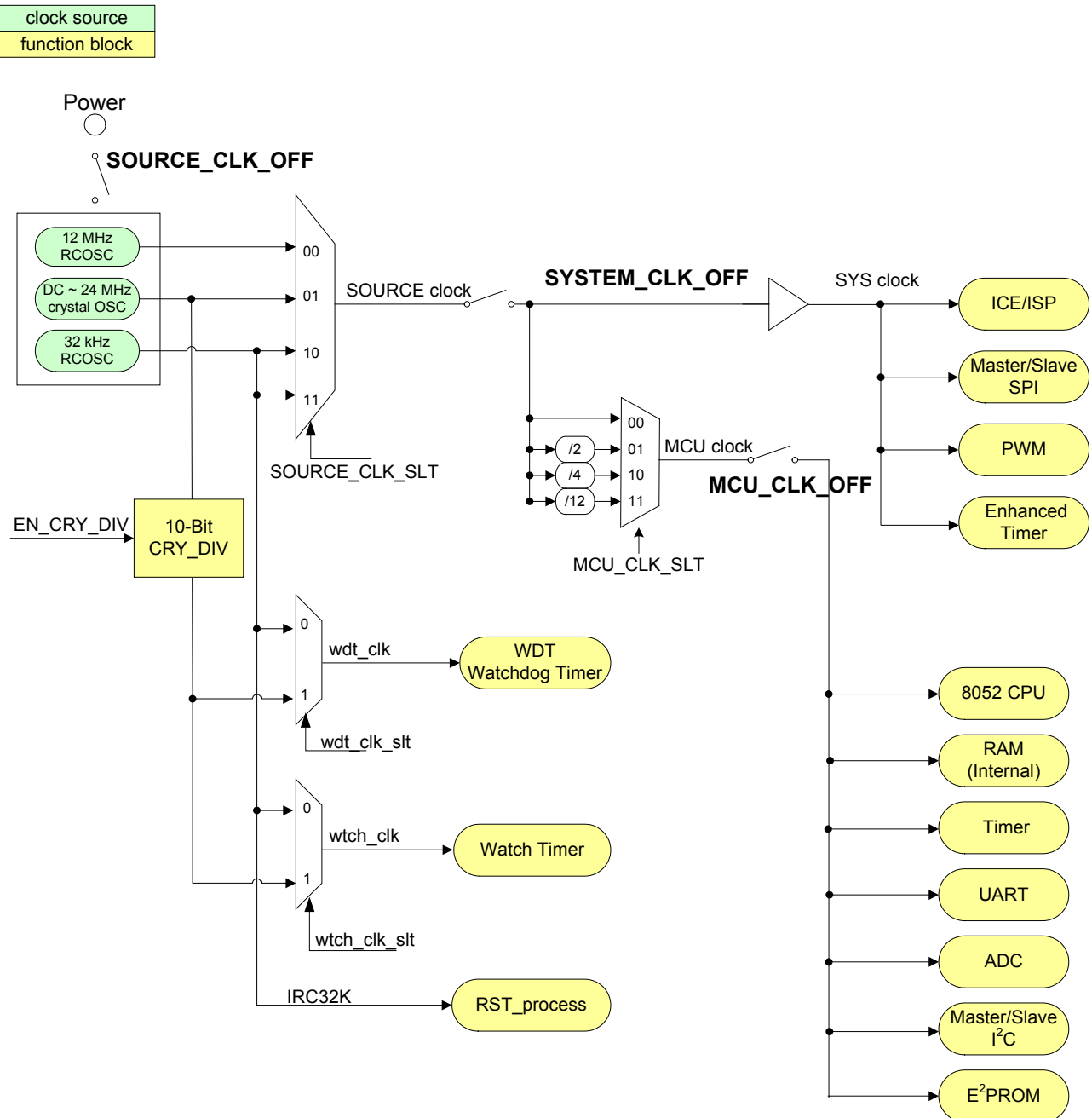
WT51F104 是一具备多种周边功能之增强型 8052 微控制器，拥有以下特点：

- 1T 8052 核心，指令设定兼容 MCS-51
- 最快指令运行时间: 41.67ns @24 MHz
- 256 字节之内存 (256 字节之标准 8052 内部数据内存)
- 4K 字节闪控程序存储器可供储存程序
- 支持内部及外部晶振：
  - ◆ 内部晶振: 12 MHz RC 振荡器或 32 kHz RC 振荡器
  - ◆ 外部晶振: 32.768 kHz ~ 24 MHz 石英晶体振荡器 (Crystal)
- 双 16 位数据指针 (DPTR0 & DPTR1)
- 两组 16 位计时/计数器 (Timer0、Timer1)
- 一组看门狗定时器 (WDT)
- 一组实时定时器 (Watch Timer)
- 一组 16 位增强型计时/计数器 (Enhanced Timer)，内建捕捉功能
- 一组通用异步收发器 (UART0)，可支持传输速率: 1200 bps ~ 230400 bps (工作于 12 MHz)
- 支援仿真式 E<sup>2</sup> PROM
- 一组 SPI (支持主/从机模式)
- 一组 I<sup>2</sup>C (支持主/从机模式)
- 两组 16 位脉宽调制 (PWM0、PWM1)，并提供四个路径输出
- 16 信道的 10 位模/数转换器 (ADC0 ~ ADC15)，内建电压参考电压源 (Band-Gap)
- 一比较器，内建 32 段参考电压源
- 支持三种省电模式: 睡眠模式 (Sleep mode)、低速省电模式 (Green mode) 与闲置模式 (Idle mode)
- 16 个外部中断脚位 (IRQ0 ~ IRQ15)
- 18 个可程序之双向输出/输入接脚，其中五根拥有高电流驱动能力 (10mA)
- 可程序化低压侦测 (LVD) 与低压侦测复位 (LVDR)
- 内建上电复位器 (POR) 与低压复位 (LVR)
- 内建单线式仿真 (ICE) 与在线刻录 (ISP) 模式
- 具程序代码防读 (Read Out Protection) 以及加密功能 (Code Encryption)
- 工作电压: 1.8V ~ 5.5V
- 工作温度: -40°C ~ +85°C
- 主力封装 (Green Package): SOP8 (150 mil)、SOP14 (150 mil)、MSOP10 (118 mil)、SSOP20 (150 mil)

**3. 系统方框图**



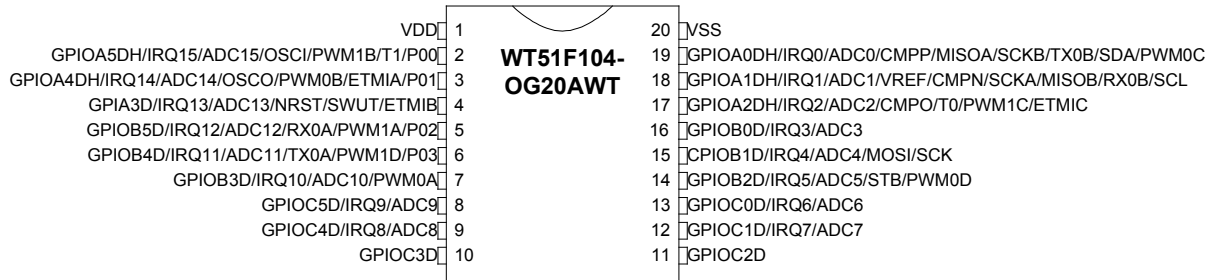
### 3.1 系统时钟方块图



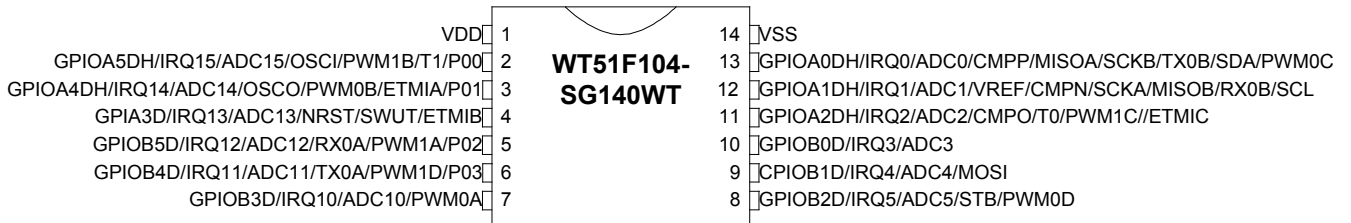
\* 使用外部石英晶体振荡器，必须根据石英晶体振荡器频率选择对映的驱动能力，请参考振荡器驱动控制缓存器（外部内存地址: 0x08）的 CRY\_12M\_DR[1:0]位。

## 4. 封装引脚配置

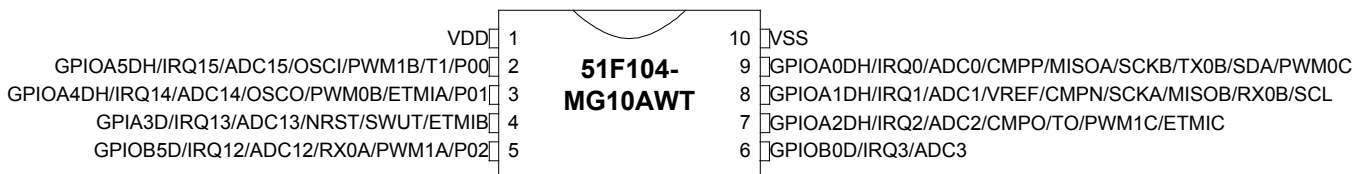
### WT51F104-OG20AWT 20-Pin SSOP



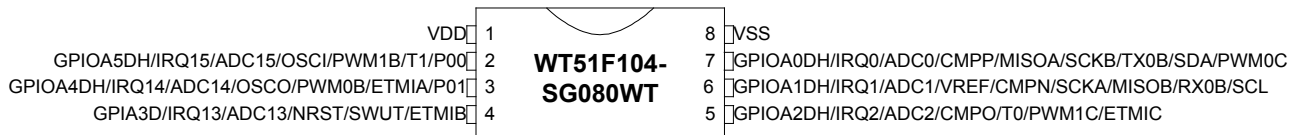
### WT51F104-SG140WT 14-Pin SOP (脚位可以取代 Microchip PIC16F616/676/630)



### WT51F104-MG10AWT 10-Pin MSOP



**WT51F104-SG080WT 8-Pin SOP (脚位可以取代 Microchip PIC12F615/675/629)**





#### 4.1 引脚功能

引脚编号				引脚名称		主要功能	
OG20A WT	SG140 WT	MG10A WT	SG080 WT		I/O	说明	电路 型态
1	1	1	1	VDD	PWR	VDD 电源	
2	2	2	2	GPIOA5DH/ IRQ15/ ADC15/ OSCI/ PWM1B/ T1/ P00	I/O	GPIOA5DH: 一般 I/O, 可程序规划为大电流推拉式或开汲极 IRQ15: 外部中断要求 15 ADC15: 模/数转换器输入 15 OSCI: 外部晶振之输入 PWM1B: B 路径 PWM1 输出脚位 T1: 计数器 1 之外部输入脚位 P00: 对映至 8052 之 P0.0 (对映的 rGPIO_TYP 需设为开汲极)	B
3	3	3	3	GPIOA4DH/ IRQ14/ ADC14/ OSCO/ PWM0B/ ETMIA/ P01	I/O	GPIOA4DH: 一般 I/O, 可程序规划为大电流推拉式或开汲极 IRQ14: 外部中断要求 14 ADC14: 模/数转换器输入 14 OSCO: 外部晶振之输出 PWM0B: B 路径 PWM0 输出脚位 ETMIA: A 路径增强型计时/计数器时钟源或捕捉输入 P01: 对映至 8052 之 P0.1 (对映的 rGPIO_TYP 需设为开汲极)	B
4	4	4	4	GPIA3D/ IRQ13/ ADC13/ NRST/ SWUT/ ETMIB	I	GPIA3D: 输入脚位 IRQ13: 外部中断要求 13 ADC13: 模/数转换器输入 13 NRST: 复位脚位 SWUT: 单线式 ISP/ICE 界面 ETMIB: B 路径增强型计时/计数器时钟源或捕捉输入	D
5	5	5		GPIOB5D/ IRQ12/ ADC12/ RX0A/ PWM1A/ P02	I/O	GPIOB5D: 一般 I/O, 可程序规划为推拉式或开汲极 IRQ12: 外部中断要求 12 ADC12: 模/数转换器输入 12 RX0A: A 路径 UART0 数据输入 (对映的 rGPIO_TYP 需设为开汲极) PWM1A: A 路径 PWM1 输出脚位 P02: 对映至 8052 之 P0.2 (对映的 rGPIO_TYP 需设为开汲极)	C1
6	6			GPIOB4D/ IRQ11/ ADC11/ TX0A/ PWM1D/ P03	I/O	GPIOB4D: 一般 I/O, 可程序规划为推拉式或开汲极 IRQ11: 外部中断要求 11 ADC11: 模/数转换器输入 11 TX0A: A 路径 UART0 数据输出 (对映的 rGPIO_TYP 需设为开汲极)	C1

引脚编号				引脚名称		主要功能	
OG20A WT	SG140 WT	MG10A WT	SG080 WT		I/O	说明	电路 型态
						PWM1D: D 路径 PWM1 输出脚位 P03: 对映至 8052 之 P0.3 (对映的 rGPIO_TYP 需设为开汲极)	
7	7			GPIOB3D/ IRQ10/ ADC10/ PWM0A	I/O	GPIOB3D: 一般 I/O, 可程序规划为推拉式 或开汲极 IRQ10: 外部中断要求 10 ADC10: 模/数转换器输入 10 PWM0A: A 路径 PWM0 输出脚位	C1
8				GPIOC5D/ IRQ9/ ADC9	I/O	GPIOC5D: 一般 I/O, 可程序规划为推拉式 或开汲极 IRQ9: 外部中断要求 9 ADC9: 模/数转换器输入 9	C1
9				GPIOC4D/ IRQ8/ ADC8	I/O	GPIOC4D: 一般 I/O, 可程序规划为推拉式 或开汲极 IRQ8: 外部中断要求 8 ADC8: 模/数转换器输入 8	C1
10				GPIOC3D	I/O	GPIOC3D: 一般 I/O, 可程序规划为推拉式 或开汲极	A
11				GPIOC2D	I/O	GPIOC2D: 一般 I/O, 可程序规划为推拉式 或开汲极	A
12				GPIOC1D/ IRQ7/ ADC7	I/O	GPIOC1D: 一般 I/O, 可程序规划为推拉式 或开汲极 IRQ7: 外部中断要求 7 ADC7: 模/数转换器输入 7	C1
13				GPIOC0D/ IRQ6/ ADC6	I/O	GPIOC0D: 一般 I/O, 可程序规划为推拉式 或开汲极 IRQ6: 外部中断要求 6 ADC6: 模/数转换器输入 6	C1
14	8			GPIOB2D/ IRQ5/ ADC5/ STB/ PWM0D	I/O	GPIOB2D: 一般 I/O, 可程序规划为推拉式 或开汲极 IRQ5: 外部中断要求 5 ADC5: 模/数转换器输入 5 STB: SPI 之 STB 脚 PWM0D: D 路径 PWM0 输出脚位	C1
15	9			GPIOB1D/ IRQ4/ ADC4/ MOSI/	I/O	GPIOB1D: 一般 I/O, 可程序规划为推拉式 或开汲极 IRQ4: 外部中断要求 4 ADC4: 模/数转换器输入 4 MOSI: SPI 之 MOSI 脚位	C1
16	10	6		GPIOB0D/ IRQ3/ ADC3	I/O	GPIOB0D: 一般 I/O, 可程序规划为推拉式 或开汲极 IRQ3: 外部中断要求 3 ADC3: 模/数转换器输入 3	C1

引脚编号				引脚名称		主要功能	
OG20A WT	SG140 WT	MG10A WT	SG080 WT		I/O	说明	电路 型态
17	11	7	5	GPIOA2DH/ IRQ2/ ADC2/ CMPO/ T0/ PWM1C/ ETMIC	I/O	GPIOA2DH: 一般 I/O, 可程序规划为大电流 推拉式或开汲极 IRQ2: 外部中断要求 2 ADC2: 模/数转换器输入 2 CMPO: 模拟比较器之输出脚位 T0: 计数器 0 之外部输入脚位 PWM1C: C 路径 PWM1 输出脚位 ETMIC: C 路径增强型计时/计数器时钟源或 捕捉输入	C1
18	12	8	6	GPIOA1DH/ IRQ1/ ADC1/ VREF/ CMPN/ SCKA/ MISOB/ RX0B/ SCL	I/O	GPIOA1DH: 一般 I/O, 可程序规划为大电流 推拉式或开汲极 IRQ1: 外部中断要求 1 ADC1: 模/数转换器输入 1 VREF: 模/数转换器参考电压输入脚位 CMPN: 比较器之负极输入脚位 SCKA: A 路径 SPI 之 SCK 脚位 MISOB: B 路径 SPI 之 MISO 脚位 RX0B: B 路径 UART0 数据输入 (对映的 <b>rGPIO_TYP 需设为开汲极</b> ) SCL: I <sup>2</sup> C 之 SCL 脚位	C2
19	13	9	7	GPIOA0DH/ IRQ0/ ADC0/ CMPP/ MISOA/ SCKB/ TX0B/ SDA/ PWM0C	I/O	GPIOA0DH: 一般 I/O, 可程序规划为大电流 推拉式或开汲极 IRQ0: 外部中断要求 0 ADC0: 模/数转换器输入 0 CMPP: 比较器之正极输入脚位 MISOA: A 路径 SPI 之 MISO 脚位 SCKB: B 路径 SPI 之 SCK 脚位 TX0B: B 路径 UART0 数据输出 (对映的 <b>rGPIO_TYP 需设为开汲极</b> ) SDA: I <sup>2</sup> C 之 SDA 脚位 PWM0C: C 路径 PWM0 输出脚位	C2
20	14	10	8	VSS	GND	核心(Core)之地(ground)	

注 1: 所有的 I/O 在复位时的状态都是为输入浮动。

注 2: 使用 8052 port (P0.x), 必须将对映的 rGPIO\_TYP 设为开汲极, 并且外接上拉电阻。

注 3: 使用 UART0、I<sup>2</sup>C, 必须将对映的 rGPIO\_TYP 设为开汲极, 并且外接上拉电阻。

## 4.2 引脚描述

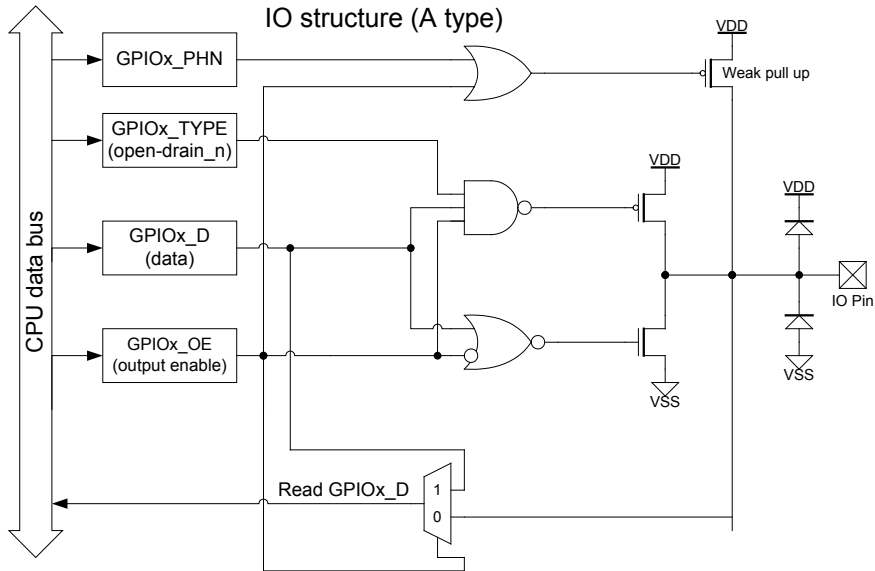
细部说明每支脚的功能

引脚名称	类型	说明
<b>PORT</b>		
GPIOA0 ~ GPIOA5	I/O	6 位双向通用 I/O 端口 (GPIOA3 仅为输入通用 I/O 端口)
GPIOB0 ~ GPIOB5	I/O	6 位双向通用 I/O 端口
GPIOC0 ~ GPIOC5	I/O	6 位双向通用 I/O 端口
<b>Timer 0/1</b>		
T0	I	计时/计数器 0 外部输入
T1	I	计时/计数器 1 外部输入
<b>增强型计时/计数器</b>		
ETMIA	I	增强型计时/计数器时钟源或捕捉输入 (A 路径)
ETMIB	I	增强型计时/计数器时钟源或捕捉输入 (B 路径)
ETMIC	I	增强型计时/计数器时钟源或捕捉输入 (C 路径)
<b>IRQ</b>		
IRQ0 ~ IRQ15	I	16 根外部中断要求输入脚位
<b>PWM</b>		
PWM0 A/B/C/D	O	PWM0 输出 A 路径、B 路径、C 路径或 D 路径
PWM1 A/B/C/D	O	PWM1 输出 A 路径、B 路径、C 路径或 D 路径
<b>UART</b>		
RX0 A/B	I	UART0 接收 A 路径 或 B 路径 (对映的 rGPIO_TYP 需设为开汲极)
TX0 A/B	O	UART0 传送 A 路径 或 B 路径 (对映的 rGPIO_TYP 需设为开汲极)
<b>SPI</b>		
SCKA	I/O	SPI 接口之 clock A 路径
MISOA	I/O	SPI 数据脚位 MISO (主控端输入; 被控端输出) A 路径
SCKB	I/O	SPI 接口之 clock B 路径
MISOB	I/O	SPI 数据脚位 MISO (主控端输入; 被控端输出) B 路径
MOSI	I/O	SPI 数据脚位 MOSI (主控端输出; 被控端输入)
STB	I/O	SPI 致能
<b>ADC</b>		
ADC0 ~ ADC15	I	16 个仿真转数字输入脚位
<b>ACOMP</b>		
CMPP	I	比较器之正极输入脚位
CMPN	I	比较器之负极输入脚位
CMPO	O	比较器输出脚位
<b>I<sup>2</sup>C</b>		
SCL	I/O	I <sup>2</sup> C 界面之 clock
SDA	I/O	I <sup>2</sup> C 接口之数据
<b>VCC &amp; VSS</b>		
VDD	P	电源
VSS	P	接地
OSCO	O	主(副)振荡器输出

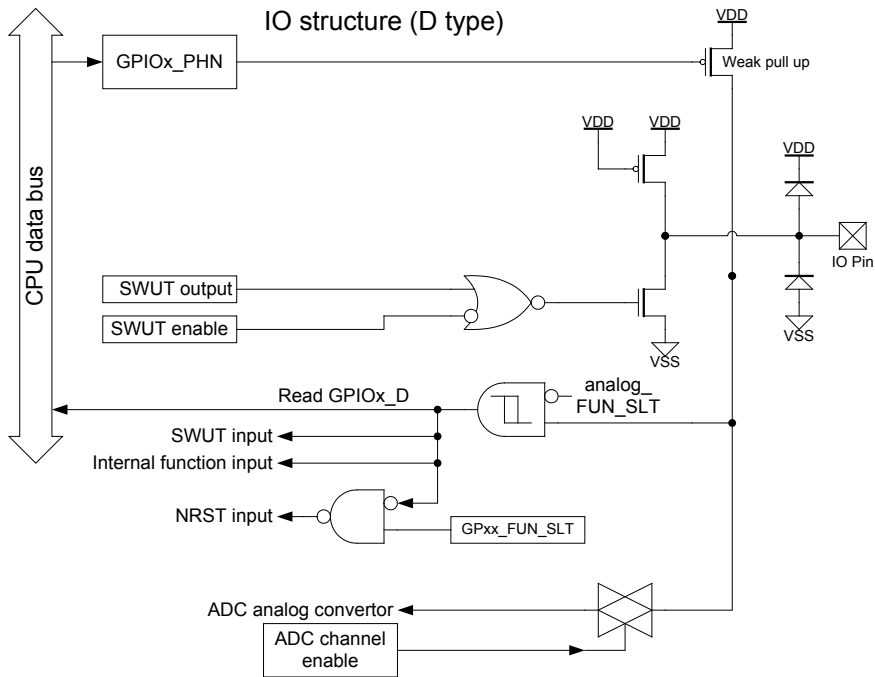
引脚名称	类型	说明
OSCI	I	主(副)振荡器输入
NRST	I	将 CPU 复位
<b>ISP &amp; ICE</b>		
SWUT	I/O	单线式 ISP & ICE 界面

**4.3 端口结构**

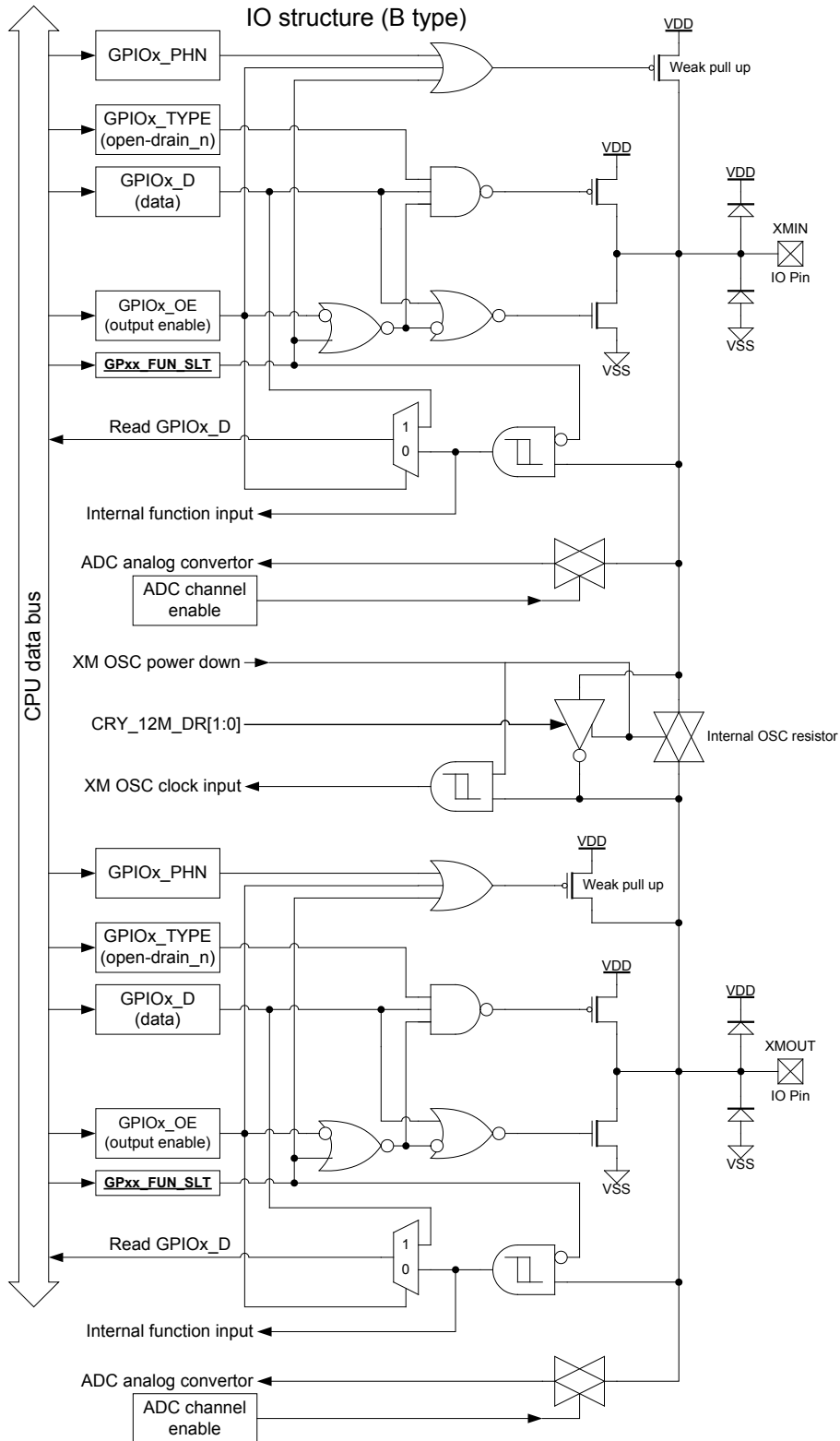
**I/O 结构 (Type A)**



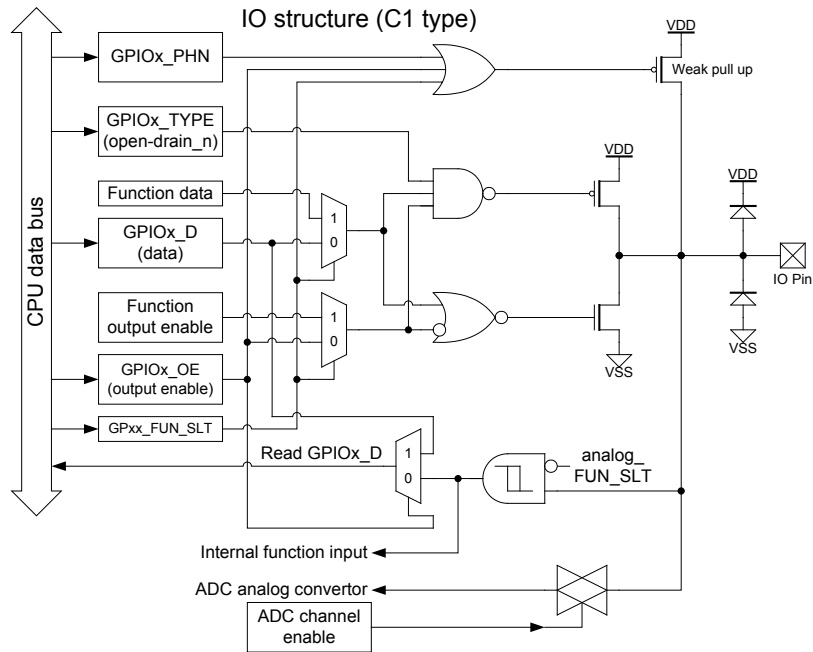
**I/O 结构 (Type D)**



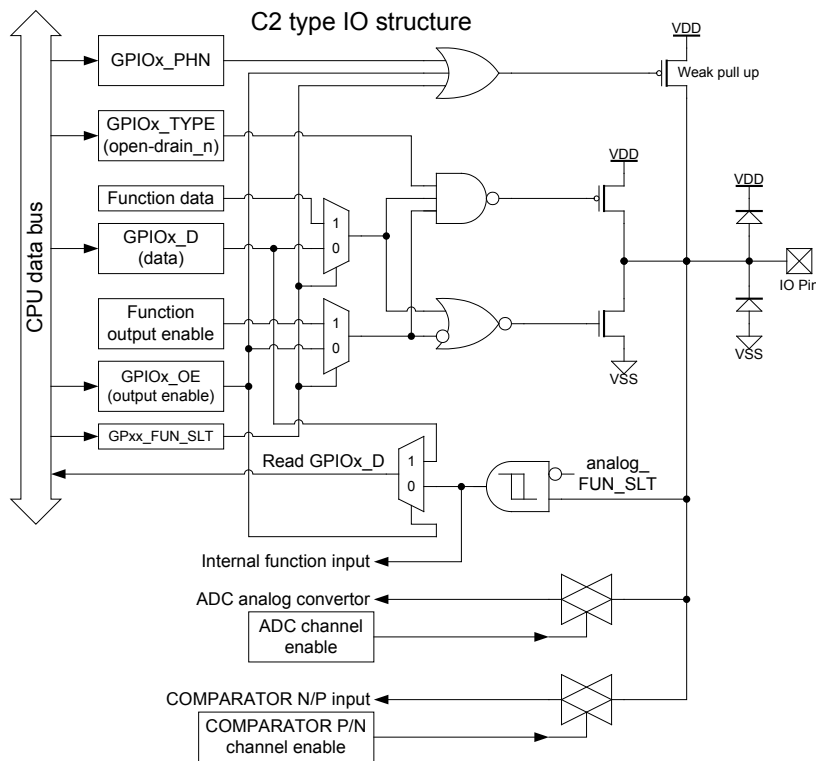
I/O 结构 (Type B)



I/O 结构 (Type C1)



I/O 结构 (Type C2)





## 5. 标准功能

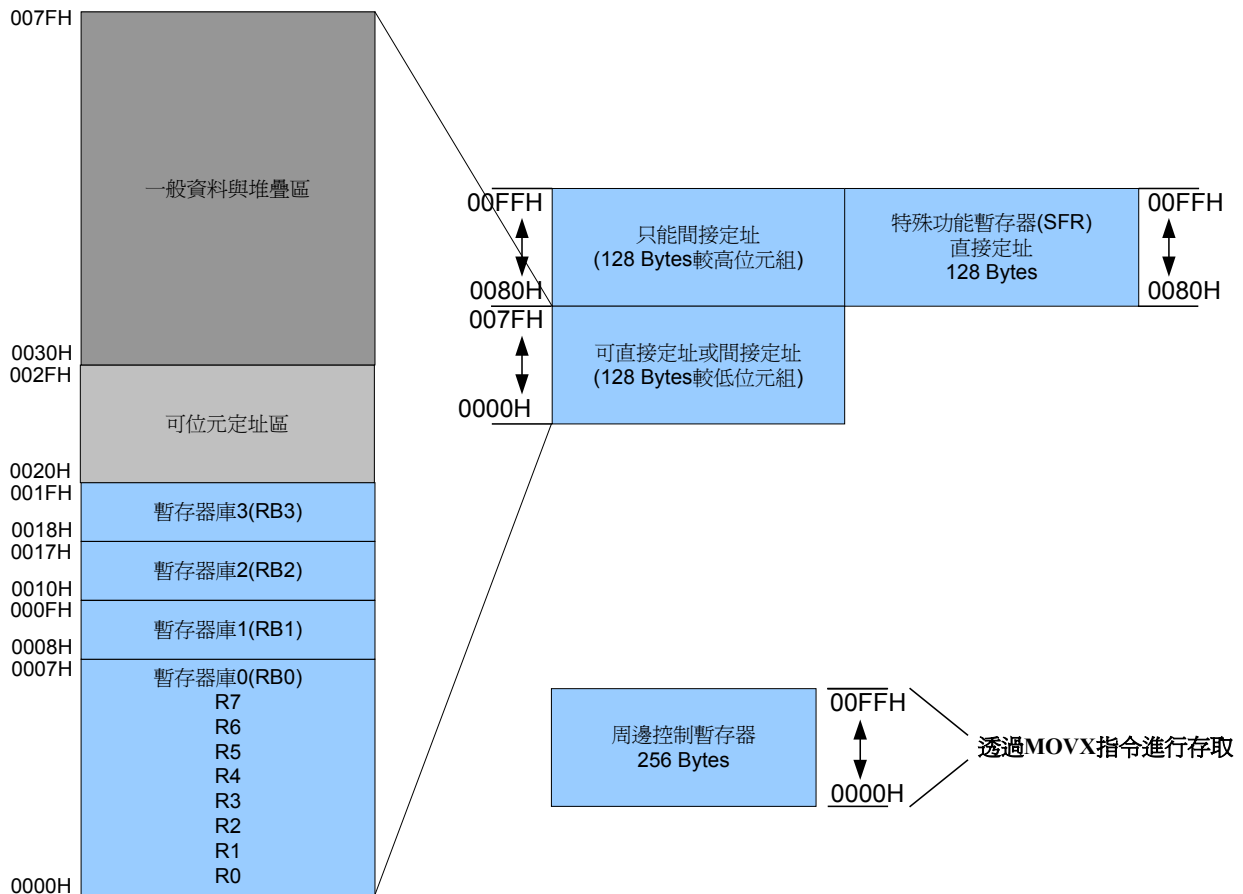
### 5.1 中央处理单元 (CPU)

内建一个八位 1T 之 8052 兼容之 CPU，具有 16 位地址寻址与八位数据存取功能，1T 8052 比传统 3T 8052 指令周期快三倍，比 12T 8052 指令周期快 12 倍，它的所有功能以及特殊功能寄存器 (SFR) 的详细定义将在以下章节说明。

### 5.2 随机数据存储器 (RAM)

WT51F104 具有 256 Bytes 的 SRAM 与通用的 8052 内部存储器结构一样。

下图为随机数据存储器 (RAM) 空间分配图，有关周边控制寄存器请参考 6.1 章节。



内部之一般数据内存 (SRAM) 包含:

128 字节之内部 SRAM，地址于 0x0000H ~ 0x007FH (可直接或间接寻址)

128 字节之内部 SRAM，地址于 0x0080H ~ 0x00FFH (间接寻址)

主要用途为担任程序中暂时存放数据的地方，所以也称为数据内存，WT51F104 的数据内存包含下面几部分:

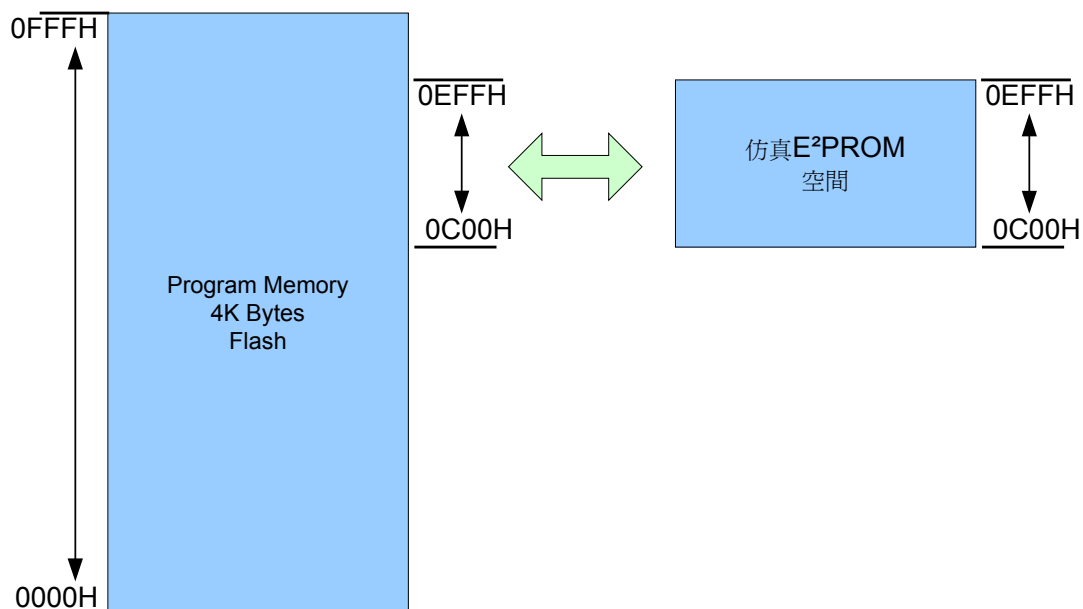
- (1) 低位 128 个字节之内部 SRAM，地址从 0000H ~ 007FH，可直接或间接寻址方式存取，其中包含:

- ◆ 一般用途缓存器，地址从 0000H ~ 001FH，共 32 个字节，其中分成四个缓存器库，每个缓存器库包含八个一般用途缓存器，即 R0 ~ R7，可利用 PSW 程序状态字组缓存器的选择位 RS1 与 RS0 来切换此四个缓存器库
  - ◆ 可位寻址区，地址从 20H ~ 2FH，共 16 个字节，此 16 个字节即包含 128 个位 (bit)，且每一个位皆可单独使用位寻址法来直接寻址存取
  - ◆ 一般数据储存区，地址从 0030H ~ 007FH，共 80 个字节可自由使用 (包括堆栈区共享)
- (2) 高位 128 个字节之内部 SRAM，地址从 0080H ~ 00FFH，采用间接寻址方式存取，亦即需利用 R0 或 R1 来进行存取 (\*)。
- (3) 特殊功能缓存器 (SFR)，地址从 0080H ~ 00FFH，采用直接寻址方式存取 (\*)。
- (\*) 缓存器 (SFR) 虽然与高位 128 个字节之内部 SRAM 同样拥有地址 0080H ~ 00FFH，但实际上为不同的两块内存区块，MCU 会藉由两个不同的存取方式来自动判断所要存取的区块来进行切换。

### 5.3 闪控程序存储器 (Flash Memory)

WT51F104 有 4K 的嵌入式 flash，可做为通用的程序存储或仿真式 E<sup>2</sup>PROM (0x0C00H ~ 0x0EFFH) 用途，特色如下：

- ◆ FLASH 内存总共为 4K 字节
- ◆ 工作电压即 1.8V ~ 5.5V
- ◆ 支持在线刻录 (ISP)
- ◆ 数据保存 10 年以上
- ◆ 具程序代码保护及加密功能
- ◆ 具仿真式 E<sup>2</sup>PROM 之功能



注: FLASH 内存最后 8 个字节为 Code Option，建议使用范围 0x000H ~ 0xFF7H。

## 5.4 内存映像 (Memory Mapping)

WT51F104 内置 128 字节的直接寻址缓存器，WT51F104 的标准 SFR 有以下几种：

- CPU 内核缓存器: ACC、B、PSW、SP、DPL0、DPH0、DPL1、DPH1、DPS
- 中断系统缓存器: IP、IE、XICON
- I/O 端口缓存器: P0
- 定时器缓存器: TCON、TMOD、TL0、TH0、TL1、TH1
- UART0 缓存器: SCON0、SBUF0、SBRG0H、SBRG0L、PCON

特殊功能缓存器分布图如下所示：

可位寻址	不可位寻址								
F8H								FFH	
F0H	B							F7H	
E8H								EFH	
E0H	ACC							E7H	
D8H								DFH	
D0H	PSW							D7H	
C8H								CFH	
C0H	XICON							C7H	
B8H	IP							BFH	
B0H								B7H	
A8H	IE							AFH	
A0H								A7H	
98H	SCON0	SBUF0	SBRG0H	SBRG0L				9FH	
90H								97H	
88H	TCON	TMOD	TL0	TL1	TH0	TH1		8FH	
80H	P0	SP	DPL0	DPH0	DPL1	DPH1	DPS	PCON	87H

下表为特殊功能缓存器 (SFR) 的内容说明：

缓存器名称	地址	复位值	说明
SP	81H	07h	Stack Pointer
DPL0	82H	00h	Data Pointer 0 low byte
DPH0	83H	00h	Data Pointer 0 high byte
DPL1	84H	00h	Data Pointer 1 low byte
DPH1	85H	00h	Data Pointer 1 high byte
DPS	86H	00h	Data Pointer select
PCON	87H	00h	Power Control Register
TCON	88H	00h	Timer 0/1 Counter Control
TMOD	89H	00h	Timer 0/1 Mode Control

本文件为伟诠电子股份有限公司机密数据，未经许可不得擅自复印或备份。

寄存器名称	地址	复位值	说明
TL0	8AH	00h	Timer 0, low byte
TL1	8BH	00h	Timer 1, low byte
TH0	8CH	00h	Timer 0, high byte
TH1	8DH	00h	Timer 1, high byte
SCON0	98H	00h	Serial Port 0, Control Register
SBUF0	99H	00h	Serial Port 0, Data Buffer
SBRG0H	9AH	00h	Serial Baud rate Generator, high byte
SBRG0L	9BH	00h	Serial Baud rate Generator, low byte
IE	A8H	00h	Interrupt Enable Register
IP	B8H	00h	Interrupt Priority Register 1
XICON	C0H	00h	Interrupt Enable Register (INT2/INT3)
PSW	D0H	00h	Program Status Word
ACC	E0H	00h	Accumulator
B	F0H	00h	B Register

注：特殊功能寄存器的重置值请参考 5.7“复位”章节。

WT51F104 CPU 相关 SFR 介绍如下：

**B: Address: F0H**

复位值: 00h

7	6	5	4	3	2	1	0
B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0

B 寄存器主要用来进行乘法与除法的运算，在乘法运算中用来存放乘数与运算结果的高字节；在除法运算中用来存放除数以及运算结果之余数，亦可当作一般寄存器来使用。

**ACC: Address: E0H**

复位值: 00h

7	6	5	4	3	2	1	0
ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0

累加器，大部分之运算都需透过累加器。

**PSW (Program Status Word): Address: D0H**

复位值: 00h

7	6	5	4	3	2	1	0
CY	AC	F0	RS1	RS0	OV	F1	PARITY

程序状态字符，含有程序运作时之相关讯息。

位编号	位符号	说明
7	CY	进位旗标 (Carry Flag)，用来表示算术指令运算后的结果，其数据的第 7 个位是否有进位或借位。 加法运算时 (ADD) 的结果: 有进位 CY = 1，没有进位 CY = 0。 减法运算时 (SUB) 的结果: 有借位 CY = 1，没有借位 CY = 0。
6	AC	半进位旗标 (Aux Carry Flag)，用来表示算术后数据的第 3 个位是否有向第 4 个位进位或借位。 加法运算时 (ADD) 的结果: 有进位 AC = 1，没有进位 AC = 0。 减法运算时 (SUB) 的结果: 有借位 AC = 1，没有借位 AC = 0。

位编号	位符号	说明
5	F0	一般用途旗标, 可作为一般的读/写位。
4	RS1	缓存器库选择 (请参考缓存器库选择表)
3	RS0	
2	OV	溢位旗标 (Overflow Flag), 表示程序经算术或逻辑运算后的结果是否有溢位, 若是 $OV = 1$ , 若不是 $OV = 0$
1	F1	一般用途旗标, 可作为一般的读/写位
0	P	同位旗标, 累加器 (ACC) 的内容若有奇数个 1 则此旗标为 1, 否则为 0

**缓存器库选择表**

缓存器库	地址	RS1	RS0
0	00H ~ 07H	0	0
1	08H ~ 0FH	0	1
2	10H ~ 17H	1	0
3	18H ~ 1FH	1	1

**SP (Stack Point) Address: 81H**
**复位值: 07h**

7	6	5	4	3	2	1	0
SP.7	SP.6	SP.5	SP.4	SP.3	SP.2	SP.1	SP.0

堆栈指针, 指向最后 PUSH 进入之堆栈地址。当使用 PUSH 操作时 SP 会自动先+1 再将值存入堆栈器内。

**DPL0 (DPTR0, low byte of the 16-bit data pointer 0) Address: 82H**
**复位值: 00h**

7	6	5	4	3	2	1	0
DPL0.7	DPL0.6	DPL0.5	DPL0.4	DPL0.3	DPL0.2	DPL0.1	DPL0.0

为 DPTR0 (数据指针) 之低字节, 搭配 DPH0 进行存取数据时的地址指针使用。

**DPH0 (DPTR0, high byte of the 16-bit data pointer 0) Address: 83H**
**复位值: 00h**

7	6	5	4	3	2	1	0
DPH0.7	DPH0.6	DPH0.5	DPH0.4	DPH0.3	DPH0.2	DPH0.1	DPH0.0

为 DPTR0 (数据指针) 之高字节, 搭配 DPL0 进行存取数据时的地址指针使用。

**DPL1 (DPTR1, low byte of the 16-bit data pointer 1) Address: 84H**
**复位值: 00h**

7	6	5	4	3	2	1	0
DPL1.7	DPL1.6	DPL1.5	DPL1.4	DPL1.3	DPL1.2	DPL1.1	DPL1.0

为第二组数据指针 (DPTR1) 之低字节, 搭配 DPH1 进行存取数据时的地址指针使用。

**DPH1 (DPTR1, high byte of the 16-bit data pointer 1) Address: 85H**

复位值: 00h

7	6	5	4	3	2	1	0
DPH1.7	DPH1.6	DPH1.5	DPH1.4	DPH1.3	DPH1.2	DPH1.1	DPH1.0

为第二组数据指针 (DPTR1) 之高字节, 搭配 DPL1 进行存取数据时的地址指针使用。

**DPS (Data point select) Address: 86H**

复位值: 00h

7	6	5	4	3	2	1	0
							DPS

数据指针 (DPTR) 选择, 当 DPS = 0, 使用 DPTR0 (DPH0, DPL0)

当 DPS = 1, 使用 DPTR1 (DPH1, DPL1)

注: 其它的特殊功能缓存器将在后面的章节介绍。

## 5.5 在线刻录 (ISP) (重要!!! 务必阅读!!!)

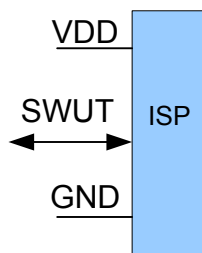
在线刻录 (In System Program) 即用户可以直接在系统目标板进行程序刻录。

ISP 界面可以采用:

3 线式: VDD、GND (VSS)、SWUT

2 线式: SWUT、GND (VSS), 当系统目标板已有 VDD 电源

下图为 ISP 界面接脚示意图:



注: 请参考 WLINK-SWUT ISP 操作说明书。

### 5.5.1 在线刻录注意事项

条件: MCU SOURCE clock 12 MHz (内部/外部晶振), 实际 ISP 应用线路请参考第 8 章节。

说明: 因这系列的 MCU 是使用单线式 UART (SWUT)来进行刻录, 且刻录的传输率为 115200 bps, 所以 MCU 的 SOURCE clock 必须选择在 12 MHz 下工作, 另外 MCU 在出厂(default)的初始设定为 IRC 12 MHz, 所以可直接刻录。如果 MCU 工作在外部 24 MHz、Green Mode、Idle Mode 及 Sleep Mode 需要增加触发或唤醒条件, 否则会导致无法刻录, 后续会针对上述的模式做说明。(ISP 的参考时钟源, 请参考 3.1 章节)

因为 GPIOxx/RESET/SWUT 脚位同时支持复位功能、输入口及刻录功能, 各个功能的准位也不同, 可参考下表说明。

Function (VDD = 5.0V)	VIH	VIL	Function (VDD = 3.5V)	VIH	VIL
SWUT	0.83 VDD	0.57 VDD	SWUT	0.81 VDD	0.52 VDD
NRST	0.45 VDD	0.24 VDD	NRST	0.49 VDD	0.27 VDD

SWUT 的刻录电压范围为 2.2V ~ 5.5V, 当刻录电压低于 2.7V 时, 必须禁能 GPIOA3 脚位的内部上拉电阻。(XFR 0x1C GPIOA\_PHN[3])

### 高速正常模式 (Normal Mode):

MCU 的 SOURCE clock 选择在 12 MHz (内部/外部晶振), 这时 MCU 只要上电复位正常, 刻录就能顺利进行。

MCU 搭配特别频率的外部晶振工作, 例如 1 MHz、4 MHz、8 MHz、24 MHz 的石英晶振荡器, 这时因 SWUT 速率不是 115200 bps, 所以 MCU 无法直接刻录, 需要设定 ISP 时钟源控制寄存器 (ISP\_CHG\_CTL) 致能两个控制位 Bit7 ISP\_CHG\_12M 及 Bit5 UART\_ISP\_CHG, 让 SWUT 脚位接收到触发讯号后, 让 MCU 自动切换到内部晶振 12 MHz 后才能顺利刻录, 详细请参考 6.7 章节。

**低速省电模式 (Green Mode):**

MCU 的 SOURCE clock 选择在 32 kHz (内部/外部晶振)工作就称为 Green Mode。在此模式下 MCU 是无法直接刻录，需要设定 ISP 时钟源控制缓存器 (ISP\_CHG\_CTL) 致能两个控制位 Bit7 ISP\_CHG\_12M 及 Bit5 UART\_ISP\_CHG，让 SWUT 脚位接收到触发讯号后，让 MCU 自动切到内部晶振 12 MHz 后才能顺利刻录，详细请参考 6.7 章节。

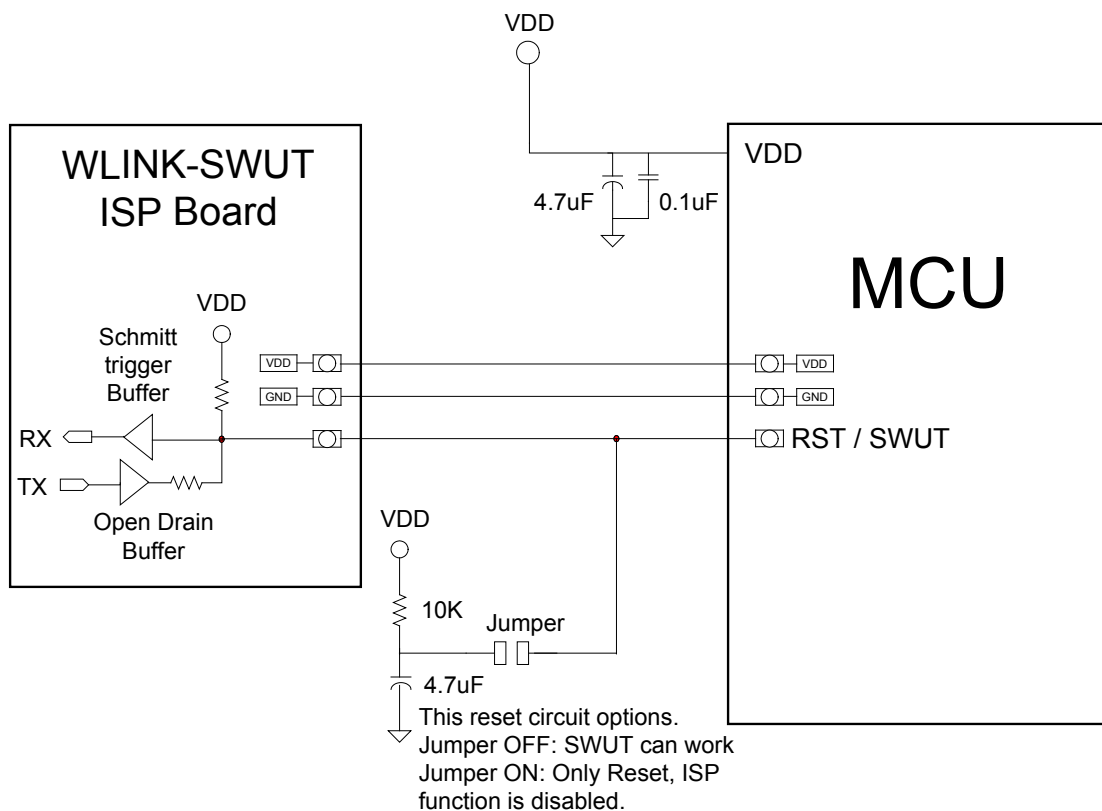
**空闲模式 (Idle Mode):**

在进入此模式前，除了设立 ISP 时钟源控制缓存器 (ISP\_CHG\_CTL) 致能两个控制位 Bit7 ISP\_CHG\_12M 及 Bit5 UART\_ISP\_CHG，一定要设定唤醒条件，可以让 MCU 切回到 12 MHz 下工作，并且能维持 2 至 3 秒来接收 SWUT 的刻录命令，详细请参考 6.7 章节。

**睡眠模式 (Sleep Mode):**

在进入此模式前，除了设立 ISP 时钟源控制缓存器 (ISP\_CHG\_CTL) 致能两个控制位 Bit7 ISP\_CHG\_12 M 及 Bit5 UART\_ISP\_CHG，一定要设定唤醒条件，可以让 MCU 切回到 12 MHz 下工作，并且能维持 2 至 3 秒来接收 SWUT 的刻录命令，详细请参考 6.7 章节。

**建议线路:**





## 5.6 计时/计数器 (Timer)

WT51F104 有二个 16 Bit 的计时/计数器 (Timer0 ~ 1), 可以被设定为计时或计数功能。

### 5.6.1 计时/计数器 0 与计时/计数器 1 (Timer 0/1)

WT51F104 内部计时/计数器 0 与计时/计数器 1 可利用特殊寄存器 TMOD 中的 M11、M10 或 M01、M00 来选择 4 种不同的工作模式, 如下说明:

**TMOD (8052 Timer0/1 mode control register) Address: 89H**

7	6	5	4	3	2	1	0
GATE1	C1/T1	M11	M10	GATE0	C0/T0	M01	M00

位编号	位符号	说明
7	GATE1	GATE1 = 1, 无作用 GATE1 = 0, 设定为内部启动, 只要 TR1 = 1 即可启用 Timer1
6	C1/T1	计时/计数器 1 切换开关 C1/T1 = 1, 设定为外部计数器, 计数信号由外部脚位 (GPIOA5/T1) 输入 C1/T1 = 0, 设定为内部定时器, 计数内部时钟源除以 12 的信号
5-4	M11-M10	计时/计数器 1 的模式选择位 00: 模式 0 为 13 位之计时/计数器 01: 模式 1 为 16 位之计时/计数器 10: 模式 2 为 8 位自动加载计时/计数器 11: 模式 3 计时/计数器 1, 此时停止计时/计数
3	GATE0	GATE0 = 1, 无作用 GATE0 = 0, 设定为内部启动, 只要 TR0 = 1 即可启用 Timer0
2	C0/T0	计时/计数器 0 切换开关 C0/T0 = 1, 设定为外部计数器, 计数信号由外部脚位 (GPIOA2/T0) 输入 C0/T0 = 0, 设定为内部定时器, 计数内部时钟源除以 12 的信号
1-0	M01-M00	计时/计数器 0 的模式选择位 00: 模式 0 为 13 位之计时/计数器 01: 模式 1 为 16 位之计时/计数器 10: 模式 2 为 8 位自动加载计时/计数器 11: 模式 3 为 8 位之计时/计数器 (TL0 由 TR0 启动, TH0 由 TR1 启动)

**TCON (8052 Timer 0/1 control register) Address: 88H**

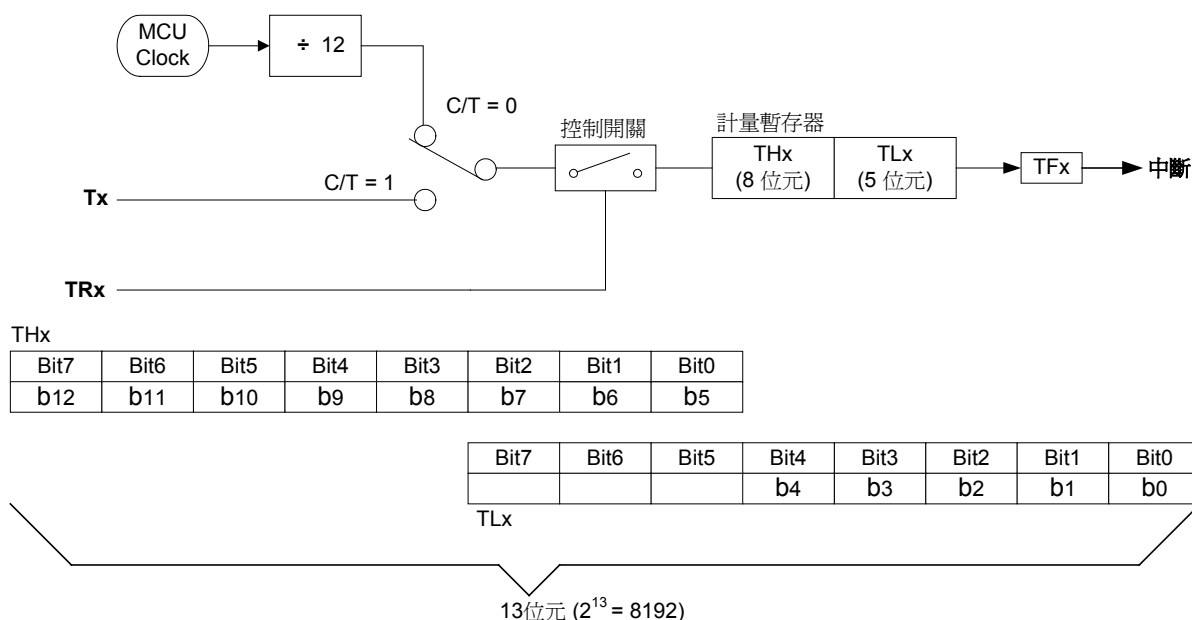
7	6	5	4	3	2	1	0
TF1	TR1	TF0	TR0	-	-	-	-

位编号	位符号	说明
7	TF1	计时/计数器 1 之溢位旗标。当计时或计数产生溢位时, 会自动令 TF1 = 1。当 CPU 跳至计时/计数器 1 的中断向量执行中断子程序时, 会自动令 TF1 = 0。
6	TR1	计时/计数器 1 之致能位。当 TR1=1 时, 计时/计数器 1 工作;

位编号	位符号	说明
		当 TR1 = 0 时, 计时/计数器 1 停止工作
5	TF0	计时/计数器 0 之溢位旗标。当计时或计数产生溢位时, 会自动令 TF0 = 1。当 CPU 跳至计时/计数器 0 的中断向量执行中断子程序时, 会自动令 TF0 = 0。
4	TR0	计时/计数器 0 之致能位。当 TR0 = 1 时, 计时/计数器 0 工作; 当 TR0 = 0 时, 计时/计数器 0 停止工作。
3-0	-	无作用

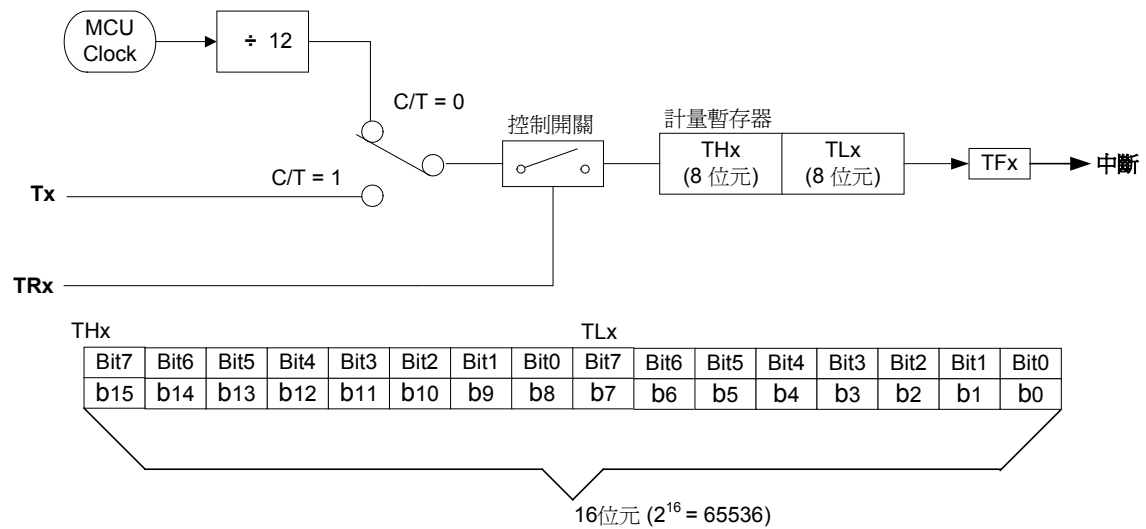
注: 计时/计数器 1 之传输速率产生器, 请参考 6.4 章节。

模式 0 :



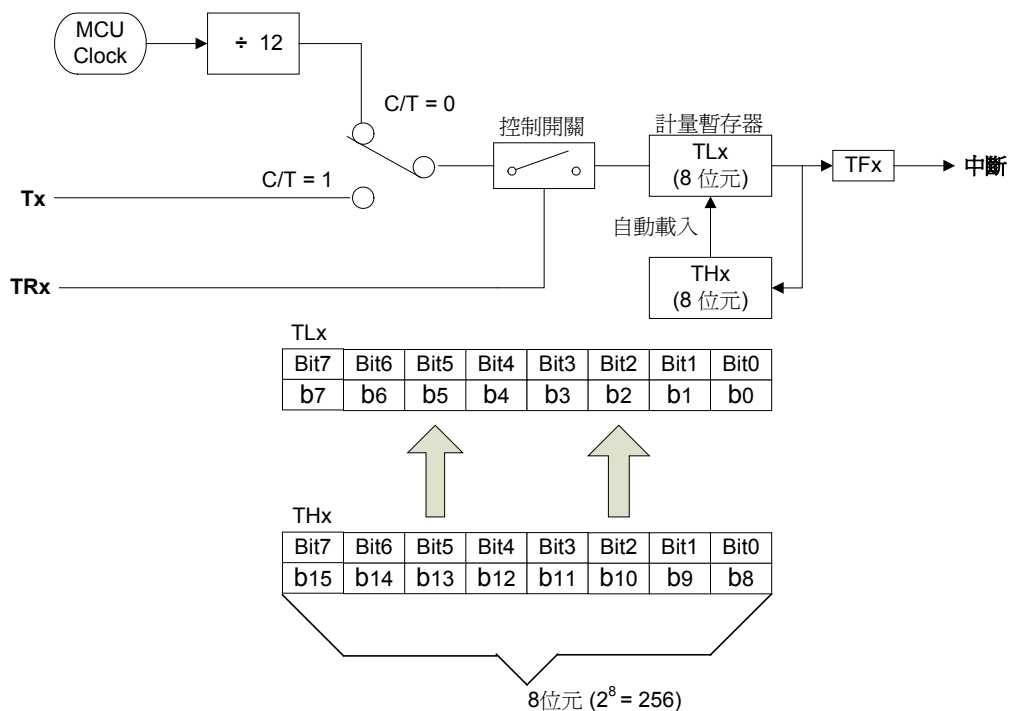
当计时/计数器 0 及计时/计数器 1 工作于模式 0 时, 两者的动作相同, 此时特殊功能寄存器 THx 与 TLx 组成 13 位之向上计时/计数器, 当计数至 13 个位全为 1, 此时再加 1 后会令这 13 个位全变为 0, 同时计时/计数之溢位旗标 TFx = 1 (TFx 位于特殊寄存器 TCON 中), 此时若有致能计时/计数器中断则会产生中断。

模式 1 :

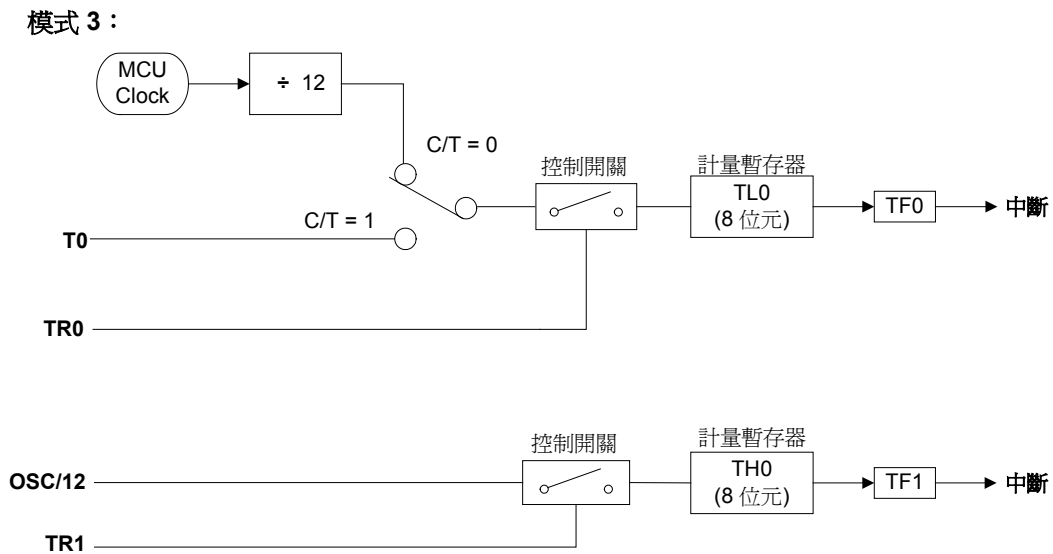


当计时/计数器 0 及计时/计数器 1 工作于模式 1 时，动作与模式 0 几乎一模一样，除了此时的 THx 与 TLx 是组成 16 位之向上计时/计数器。

模式 2 :



当计时/计数器 0 及计时/计数器 1 工作于模式 2 时，两者的动作相同，提供两个 8 位可自动加载的计时/计数器(Timer0 及 Timer1)，其计时或计数的量放置在 TLx 缓存器里，当 TLx 发生溢位时，除了会令 TFX = 1 之外，并且会自动将 THx 的值再加载 TLx 中，以继续计数下去。



当定时计数器 0 及定时计数器 1 工作于模式 3 时，两者的动作完全不同，分别如下：

定时/计数器 0 工作于模式 3 时，TL0 是一个 8 位之定时/计数器，TH0 则为 TR1 控制之 8 元计数器，此时要注意的是 TH0 借用定时/计数器 1 的溢位旗标，故其相对应的中断子程序地址是 001BH。

定时/计数器 1 工作于模式 3 时，此时停止定时/计数。

## 5.7 复位 (Reset)

WT51F104 具有 7 种复位机制，包括上电复位 (POR)、低压复位 (LVR)、低压侦测复位 (LVDR)、外部 NRST 脚位复位旗标、看门狗复位、ISP/ICE 命令复位、程序计数器溢位复位 (PC\_OVR)。当 WT51F104 发生任何一种复位，则几乎所有的缓存器皆会回复至复位值，此时利用复位旗标缓存器 (XFR 0x03) 来判断何种复位发生。

### 上电复位 (POR)

当 VDD 电压低于复位电压 (请参考 DC 电气特性章节)，则发生上电复位，此时 XFR: 0x03 上电复位 (POR) 旗标 RST\_FLG.POR\_RST\_FLG = 1。

### 低压复位 (LVR)

当 VDD 电压低于最低允许工作电压点时发生复位，此时 XFR: 0x03 低压复位 (LVR) 旗标 LVR\_RST\_FLG = 1。

### 低压侦测复位 (LVDR)

当 VDD 电压低于所设定之侦测电压位准时发生复位，此时 XFR: 0x03 低压侦测复位 (LVDR) 旗标 LVD\_RST\_FLG = 1。

### 外部 NRST 脚位复位

当外部复位脚位 (NRST) 电压低于此脚位之 VIL (请参考 DC 电气特性章节) 时发生复位，此时 XFR: 0x03 外部 NRST 脚位复位旗标 NRST\_FLG = 1。

### 看门狗复位 (Watchdog Timer Reset)

当看门狗定时器设定之时间到达后则发生复位，此时 XFR: 0x03 看门狗复位旗标 WDT\_RST\_FLG = 1。

### ISP/ICE 命令复位

当从 SWUT 脚位传送复位命令，则发生 ISP/ICE 复位，此时 XFR: 0x03 ISP 复位旗标 ISP\_RST\_FLG = 1。

### 程序计数器溢位复位 (PC\_OVR)

程序计数器为储存目前执行指令所在的地址，当地址超过闪控程序存储器 (Flash Address 0x0000 ~ 0x3FFF) 的范围，会产生复位，此时 XFR: 0x03 程序计数器溢位复位旗标 PC\_OVL\_RST\_FLG = 1。

### 复位状态

当发生上述状况，所有的特殊寄存器皆会回到初始默认值，其中 SFR 的部分如下表，而 XFR 的部分请参考下一章节。

特殊功能寄存器复位后的默认值，如下所示：

SFR	默认值	SFR	默认值
P0	11111111b	P2	11111111b
SP	0000111b	IE	0000000b
DPL0	0000000b	P3	11111111b
DPH0	0000000b	IP	xx00000b
DPL1	0000000b	T2CON	0000000b
DPH1	0000000b	T2MOD	xxxxxx00b
DPS	0000000b	RCAP2L	0000000b
PCON	0000000b	RCAP2H	0000000b
TCON	0000000b	TL2	0000000b
TMOD	0000000b	TH2	0000000b
TL0	0000000b	PSW	0000000b
TL1	0000000b	SCON1	0000000b
TH0	0000000b	SBUF1	0000000b
TH1	0000000b	ACC	0000000b
P1	11111111b	B	0000000b
SCON0	0000000b	XICON	0000000b
SBUF0	0000000b		
SBRG0H	0000000b		
SBRG0L	0000000b		

## 5.8 系统时钟及时钟来源

WT51F104 具有三种时钟源，即 32.768 kHz ~ 24 MHz 外部石英晶体振荡器、内部 12 MHz RC 振荡、内部 32 kHz RC 振荡器，其中可经由外部特殊寄存器 (XFR) SOURCE\_CLK\_SLT[1:0] 及 MCU\_CLK\_SLT[1:0] 来选择 MCU 时钟源，默认值为内部 12 MHz RC 振荡器且不经除频，此时 MCU 工作于 12 MHz 之频率，详细请参考 6.7 “电源管理”章节。

系统晶振表，如下所示：

主系统晶振来源	副系统晶振来源
DC ~ 24 MHz 石英晶体振荡器	32K 内部 RC 振荡器
12 MHz 内部 RC 振荡器	32K 内部 RC 振荡器
12 MHz 内部 RC 振荡器	32.768 kHz 石英晶体振荡器

## 6. 增强功能

### 6.1 外部特殊功能缓存器 (XFR)

外部特殊功能缓存器 (XFR) 地址为 0x00 ~ 0xFF，必须使用指令 MOVX 来进行数据存取。

以下是外部特殊缓存器功能对照表：

外部内存地址	说明
0000H ~ 000FH	系统缓存器及低压侦测与复位缓存器
0010H ~ 001FH	通用 I/O 端口缓存器
0020H ~ 002FH	通用 I/O 端口缓存器及复合功能缓存器
0030H ~ 003FH	中断致能缓存器
0040H ~ 004FH	外部中断要求缓存器 (IRQ)
0050H ~ 005FH	脉冲宽度调制缓存器 (PWM)
0060H ~ 006FH	唤醒缓存器
0070H ~ 007FH	内部振荡校正缓存器、看门狗缓存器、实时定时器缓存器
00A0H ~ 00AFH	I <sup>2</sup> C 串行接口缓存器
00B0H ~ 00BFH	增强型计时/计数器缓存器
00C0H ~ 00CFH	SPI 串行接口缓存器
00D0H ~ 00D7H	10 位模/数转换器缓存器
00DAH ~ 00DFH	比较器缓存器
00E0H ~ 00EFH	仿真式 E <sup>2</sup> PROM 缓存器

当发生 5.7 章节所提到的复位状况，外部特殊功能缓存器复位后的默认值，如下表所示：

外部特殊功能缓存器复位默认值对照表

缓存器名称	地址	复位默认值 (Hex)	参照章节
保留	-	-	
系统控制缓存器	0x01	80	6.9
低压侦测控制缓存器	0x02	A6	6.15; 6.16
复位旗标缓存器	0x03	01	6.16
ISP 时钟源控制缓存器	0x04	00	6.7
系统时钟源控制缓存器	0x05	A0	6.7
省电控制缓存器	0x06	50	6.7
时钟源开关控制缓存器	0x07	A2	6.7
振荡器驱动控制缓存器	0x08	54	6.7
外部时钟源除频控制缓存器 1	0x09	01	6.9
外部时钟源除频控制缓存器 2	0x0A	76	6.9
客户代码缓存器 1	0x0D	FF	6.18
客户代码缓存器 2	0x0E	FF	6.18
客户代码缓存器 3	0x0F	FF	6.18
通用 I/O 端口 A 输出致能控制缓存器	0x10	00	6.2
通用 I/O 端口 B 输出致能控制缓存器	0x11	00	6.2
通用 I/O 端口 C 输出致能控制缓存器	0x12	00	6.2

本文件为伟诠电子股份有限公司机密数据，未经许可不得擅自复印或备份。

缓存器名称	地址	复位默认值 (Hex)	参照章节
通用 I/O 端口 A 数据缓存器	0x16	00	6.2
通用 I/O 端口 B 数据缓存器	0x17	00	6.2
通用 I/O 端口 C 数据缓存器	0x18	00	6.2
通用 I/O 端口 A 致能内部上拉电阻缓存器	0x1C	3F	6.2
通用 I/O 端口 B 致能内部上拉电阻缓存器	0x1D	3F	6.2
通用 I/O 端口 C 致能内部上拉电阻缓存器	0x1E	3F	6.2
通用 I/O 端口 A 输出型态控制缓存器	0x22	3F	6.2
通用 I/O 端口 B 输出型态控制缓存器	0x23	3F	6.2
通用 I/O 端口 C 输出型态控制缓存器	0x24	3F	6.2
通用 I/O 端口 A 复合功能设定缓存器 1	0x25	00	6.2
通用 I/O 端口 A 复合功能设定缓存器 2	0x26	00	6.2
通用 I/O 端口 A 复合功能设定缓存器 3	0x27	00	6.2
通用 I/O 端口 B 复合功能设定缓存器 1	0x28	00	6.2
通用 I/O 端口 B 复合功能设定缓存器 2	0x29	00	6.2
通用 I/O 端口 B 复合功能设定缓存器 3	0x2A	00	6.2
通用 I/O 端口 C 复合功能设定缓存器 1	0x2B	00	6.2
通用 I/O 端口 C 复合功能设定缓存器 2	0x2C	00	6.2
通用 I/O 端口 C 复合功能设定缓存器 3	0x2D	00	6.2
8052 外部中断 0 控制缓存器	0x30	00	6.3
8052 外部中断 1 控制缓存器	0x31	00	6.3
8052 外部中断 2 控制缓存器	0x32	00	6.3
8052 外部中断 3 控制高字节缓存器	0x33	00	6.3
8052 外部中断 3 控制低字节缓存器	0x34	00	6.3
8052 外部中断 0(INT0)旗标缓存器	0x35	00	6.3
8052 外部中断 1(INT1)旗标缓存器	0x36	00	6.3
8052 外部中断 2(INT2)旗标缓存器	0x37	00	6.3
8052 外部中断 3(INT3)旗标高字节缓存器	0x38	00	6.3
8052 外部中断 3(INT3)旗标低字节缓存器	0x39	00	6.3
外部中断要求(IRQ)控制高字节缓存器	0x40	00	6.5
外部中断要求(IRQ)控制低字节缓存器	0x41	00	6.5
外部中断要求(IRQ)状态高字节缓存器	0x42	00	6.5
外部中断要求(IRQ)状态低字节缓存器	0x43	00	6.5
外部中断要求(IRQ)清除高字节缓存器	0x44	00	6.5
外部中断要求(IRQ)清除低字节缓存器	0x45	00	6.5
外部中断要求(IRQ)双向触发高字节缓存器	0x46	00	6.5
外部中断要求(IRQ)双向触发低字节缓存器	0x47	00	6.5
外部中断要求(IRQ)触发缘高字节缓存器	0x48	00	6.5
外部中断要求(IRQ)触发缘低字节缓存器	0x49	00	6.5
PWM 控制缓存器	0x50	00	6.6
PWM0 周期控制高字节缓存器	0x51	00	6.6
PWM0 周期控制低字节缓存器	0x52	01	6.6
PWM0 占空比控制高字节缓存器	0x53	00	6.6



缓存器名称	地址	复位默认值 (Hex)	参照章节
PWM0 占空比控制低字节缓存器	0x54	00	6.6
PWM1 周期控制高字节缓存器	0x55	00	6.6
PWM1 周期控制低字节缓存器	0x56	01	6.6
PWM1 占空比控制高字节缓存器	0x57	00	6.6
PWM1 占空比控制低字节缓存器	0x58	00	6.6
通用 I/O 端口 A 唤醒控制缓存器	0x60	00	6.7
通用 I/O 端口 B 唤醒控制缓存器	0x61	00	6.7
通用 I/O 端口 C 唤醒控制缓存器	0x62	00	6.7
周边中断唤醒控制缓存器	0x64	00	6.7
通用 I/O 端口 A 唤醒旗标缓存器	0x65	00	6.7
通用 I/O 端口 B 唤醒旗标缓存器	0x66	00	6.7
通用 I/O 端口 C 唤醒旗标缓存器	0x67	00	6.7
周边中断唤醒旗标缓存器	0x69	00	6.7
唤醒清除缓存器	0x6A	00	6.7
内部振荡调整缓存器	0x70	40	6.8
内部振荡计数数据高字节缓存器	0x71	00	6.8
内部振荡计数数据低字节缓存器	0x72	00	6.8
内部振荡校正控制缓存器	0x73	00	6.8
看门狗定时控制缓存器	0x78	02	6.9
实时定时器控制缓存器	0x7C	80	6.9
实时定时器速度选择缓存器	0x7D	00	6.9
主/从机 I <sup>2</sup> C 控制缓存器	0xA0	40	6.10
主/从机 I <sup>2</sup> C 状态缓存器	0xA1	00	6.10
主/从机 I <sup>2</sup> C 传送缓冲缓存器	0xA2	00	6.10
主/从机 I <sup>2</sup> C 传送及接收缓冲缓存器	0xA3	FF	6.10
从机 I <sup>2</sup> C 地址缓存器	0xA4	00	6.10
主/从机 I <sup>2</sup> C 延伸控制缓存器	0xA5	00	6.10
增强型计时/计数器控制缓存器 1	0xB0	00	6.11
增强型计时/计数器控制缓存器 2	0xB1	00	6.11
增强型计时/计数器中断缓存器	0xB2	00	6.11
增强型计时/计数器数据缓冲低字节缓存器	0xB3	00	6.11
增强型计时/计数器数据缓冲高字节缓存器	0xB4	80	6.11
SPI 控制缓存器 1	0xC0	00	6.12
SPI 控制缓存器 2	0xC1	00	6.12
SPI 中断控制缓存器	0xC2	00	6.12
SPI 中断清除缓存器	0xC3	00	6.12
SPI 旗标缓存器	0xC4	00	6.12
SPI 速度设定缓存器	0xC5	00	6.12
SPI 传输缓冲缓存器	0xC6	FF	6.12
SPI 接收缓冲缓存器	0xC7	00	6.12
模/数转换器控制缓存器	0xD0	80	6.13
模/数转换器设定控制缓存器	0xD1	40	6.13

缓存器名称	地址	复位默认值 (Hex)	参照章节
模/数转换器中断控制缓存器	0xD2	00	6.13
模/数转换器信道控制缓存器	0xD3	00	6.13
模/数转换器电压比较数据高字节缓存器	0xD4	80	6.13
模/数转换器电压比较数据低字节缓存器	0xD5	00	6.13
模/数转换器转换数据高字节缓存器	0xD6	00	6.13
模/数转换器转换数据低字节缓存器	0xD7	00	6.13
比较器控制缓存器	0xDA	E0	6.14
比较器旗标缓存器	0xDB	00	6.14
比较器参考电压缓存器	0xDC	00	6.14
E <sup>2</sup> PROM 致能缓存器 1	0xE0	00	6.17
E <sup>2</sup> PROM 致能缓存器 2	0xE1	00	6.17
E <sup>2</sup> PROM 地址低字节缓存器	0xE2	FF	6.17
E <sup>2</sup> PROM 地址高字节缓存器	0xE3	0F	6.17
E <sup>2</sup> PROM 控制缓存器	0xE4	08	6.17
E <sup>2</sup> PROM 数据缓存器	0xE8	00	6.17

## 6.2 I/O 端口

### 6.2.1 特性

- ◆ 共 18 个可程序化 I/O，其中包含 GPIOA[5:0]、GPIOB[5:0]、GPIOC[5:0]
- ◆ 某些 I/O 具有特殊功能 (如 IRQ、ADC、PWM 等)，可透过特殊缓存器进行设定

### 6.2.2 缓存器

WT51F104 的 I/O 相关缓存器分为以下几类:

- ◆ GPIOx\_OE: 控制输出/输入缓存器，用来设定 I/O 为输出或输入，当相对应的 GPIOx\_OE 位设为 1，则此 I/O 为输出埠，具有 4mA 之驱动能力
- ◆ GPIOx\_D: 数据缓存器，藉由此缓存器来读取 I/O 的数据或设定 I/O 的输出
- ◆ GPIOx\_PHN: 内部上拉电阻致能缓存器，当 I/O 设定为输入埠时 (透过 GPIOx\_OE)，此时此缓存器可以来设定 I/O 是否具有上拉电阻，当相对映的 GPIOx\_PHN 位设为 0，则此 I/O 具有内部上拉电阻
- ◆ GPIOx\_TYP: 输出模式设定缓存器，用来设定 I/O 为推拉式 (Push-Pull) 或开汲极 (Open Drain)

通用 I/O 端口 A 输出致能控制缓存器 GPIOA\_OE (外部内存地址: 0x10)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOA_OE[5:0]					

位编号	位符号	说明
7-6	保留	-
5-4	GPIOA_OE[5:4]	通用 I/O 端口 A 输出/输入设定 1: 输出 0: 输入 (默认值)
3	GPIOA_OE[3]	通用 I/O 端口 A 输出/输入设定 0: 输入 (默认值) 注: 只有输入模式
2-0	GPIOA_OE[2:0]	通用 I/O 端口 A 输出/输入设定 1: 输出 0: 输入 (默认值)

-: 未能使用。

通用 I/O 端口 B 输出致能控制缓存器 GPIOB\_OE (外部内存地址: 0x11)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOB_OE[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOB_OE[5:0]	通用 I/O 端口 B 输出/输入设定

位编号	位符号	说明
		1: 输出 0: 输入 (默认值)

-: 未能使用。

**通用 I/O 端口 C 输出致能控制缓存器 GPIOC\_OE (外部内存地址: 0x12)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOC_OE[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOC_OE[5:0]	通用 I/O 端口 C 输出/输入设定 1: 输出 0: 输入 (默认值)

-: 未能使用。

**通用 I/O 端口 A 数据缓存器 GPIOA\_D (外部内存地址: 0x16)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOA_D[5:0]					

位编号	位符号	说明
7-6	保留	-
5-4	GPIOA_D[5:4]	通用 I/O 端口 A 输出/输入数据
3	GPIOA_D[3]	GPIOA3 为输入脚仅有输入数据
2-0	GPIOA_D[2:0]	通用 I/O 端口 A 输出/输入数据

-: 未能使用。

**通用 I/O 端口 B 数据缓存器 GPIOB\_D (外部内存地址: 0x17)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOB_D[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOB_D[5:0]	通用 I/O 端口 B 输出/输入数据

-: 未能使用。

**通用 I/O 端口 C 数据缓存器 GPIOC\_D (外部内存地址: 0x18)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOC_D[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOC_D[5:0]	通用 I/O 端口 C 输出/输入数据

-: 未能使用。

**通用 I/O 端口 A 致能内部上拉电阻缓存器 GPIOA\_PHN (外部内存地址: 0x1C)**

复位值: 3Fh

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOA_PHN[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOA_PHN[5:0]	致能通用 I/O 端口 A 上拉电阻设定 1: 禁能上拉电阻 (默认值) 0: 致能上拉电阻

-: 未能使用。

**通用 I/O 端口 B 致能内部上拉电阻缓存器 GPIOB\_PHN (外部内存地址: 0x1D)**

复位值: 3Fh

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOB_PHN[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOB_PHN[5:0]	致能通用 I/O 端口 B 上拉电阻设定 1: 禁能上拉电阻 (默认值) 0: 致能上拉电阻

-: 未能使用。

**通用 I/O 端口 C 致能内部上拉电阻缓存器 GPIOC\_PHN (外部内存地址: 0x1E)**

复位值: 3Fh

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOC_PHN[5:0]					

位编号	位符号	说明
7-6	保留	-

位编号	位符号	说明
5-0	GPIOC_PHN[5:0]	致能通用 I/O 端口 A 上拉电阻设定 1: 禁能上拉电阻 (默认值) 0: 致能上拉电阻

-: 未能使用。

**通用 I/O 端口 A 输出型态控制缓存器 GPIOA\_TYP (外部内存地址: 0x22)**
**复位值: 3Fh**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	-	读/写	读/写	读/写
名称	保留		GPIOA_TYP[5:4]		保留	GPIOA_TYP[2:0]		

位编号	位符号	说明
7-6	保留	-
3	保留	-
5-4	GPIOA_TYP[5:4]	通用 I/O 端口 A 输出型态设定
2-0	GPIOA_TYP[2:0]	1: 输出型态为推拉式 (push-pull) (默认值) 0: 输出型态为开汲极 (open-drain)

-: 未能使用。

**通用 I/O 端口 B 输出型态控制缓存器 GPIOB\_TYP (外部内存地址: 0x23)**
**复位值: 3Fh**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOB_TYP[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOB_TYP[5:0]	通用 I/O 端口 B 输出型态设定 1: 输出型态为推拉式 (push-pull) (默认值) 0: 输出型态为开汲极 (open-drain)

-: 未能使用。

**通用 I/O 端口 C 输出型态控制缓存器 GPIOC\_TYP (外部内存地址: 0x24)**
**复位值: 3Fh**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOC_TYP[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOC_TYP[5:0]	通用 I/O 端口 C 输出型态设定 1: 输出型态为推拉式 (push-pull) (默认值) 0: 输出型态为开汲极 (open-drain)

-: 未能使用。

### 6.2.3 端口共享

主要用来设定 I/O 使用之功能，如 SPI、I<sup>2</sup>C、PWM、ADC 等。

通用 I/O 端口 A 复合功能设定缓存器 1 GPIOA\_FUN1 (外部内存地址: 0x25)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPA5_FUN_SLT[2:0]			保留	GPA4_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPA5_FUN_SLT[2:0]	设定 GPIOA5DH 复合功能 000: GPIO/IRQ15 (默认值) 001: ADC15 模拟输入 011: B 路径 PWM1 输出 010: T1 输入 101: P00 输出/输入 (对映至 8052 之 P0.0) <b>注: 当 GPIOA4DH 设定为 OSCO 时, GPIOA5DH 需设定为 GPIO 功能。</b>
3	保留	-
2-0	GPA4_FUN_SLT[2:0]	设定 GPIOA4DH 复合功能 000: GPIO/IRQ14/ETMIA (默认值) 001: ADC14 模拟输入 010: OSCO ( <b>选择 OSCO, 对映的 GPIOA5DH 需设为 GPIO 功能</b> ) 011: B 路径 PWM0 输出 101: P01 输出/输入 (对映至 8052 之 P0.1)

-: 未能使用。

注: 当使用增强型计时/计数器的外部输入脚位 ETMIA 及 ETMIB 时, 请把 GPIOA5/GPIOA4 设定为输入模式的 GPIO。

注: 使用外部晶体振荡器为 SOURCE clock 的设定程序:

- GPIOA5、GPIOA4 设定为输入口。(XFR 0x10 GPIOA\_OE[5:4])
- GPIOA5、GPIOA4 禁能内部上拉电阻, 如果致能上拉电阻会使振荡器输出频率不稳定。(XFR 0x1C GPIOA\_PHN[5:4])
- GPIOA4 设定为 OSCO 晶振脚位。(XFR 0x25 GPA4\_FUN\_SLT[2:0])
- GPIOA5 的复合功能设定为 GPIO 功能。(XFR 0x25 GPA5\_FUN\_SLT[2:0])
- 设定外部晶振的驱动能力。(XFR 0x08 CRY\_12M\_DR[1:0])
- 开启外部振荡器电源开关。(XFR 0x07 CRY\_12M\_PD)
- 将 SOURCE clock 切到外部晶振源。(XFR 0x05 SOURCE\_CLK\_SLT[1:0])

**注: 使用 8052 port (P0.x), 必须将对映的 rGPIO\_TYP 设为开汲极, 并且外拉上拉电阻。**

通用 I/O 端口 A 复合功能设定缓存器 2 GPIOA\_FUN2 (外部内存地址: 0x26)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPA3_FUN_SLT[2:0]			保留	GPA2_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPA3_FUN_SLT[2:0]	设定 GPIOA3D 复合功能 000: GPIO/IRQ13/ETMIB (默认值) 001: ADC13 模拟输入 010: 复位脚位 (NRST) 输入
3	保留	-
2-0	GPA2_FUN_SLT[2:0]	设定 GPIOA2DH 复合功能 000: GPIO/IRQ2 (默认值) 001: ADC2 模拟输入 010: CMPO, 比较器输出 011: C 路径 PWM1 输出 101: T0 输入

-: 未能使用。

**通用 I/O 端口 A 复合功能设定缓存器 3 GPIOA\_FUN3 (外部内存地址: 0x27)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPA1_FUN_SLT[2:0]			保留	GPA0_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPA1_FUN_SLT[2:0]	设定 GPIOA1DH 复合功能 000: GPIO/IRQ1 (默认值) 001: ADC1 模拟输入或 VREF 输入 010: CMPN, 比较器之负极输入脚位 100: RX0B, 为 UART0 的 B 路径 RX 101: I <sup>2</sup> C SCL 输入/输出脚位 110: A 路径 SPI 之 SCK 脚位 111: B 路径 SPI 之 MISO 数据脚位 注: ADC1 模拟输入可由模/数转换器信道控制缓存器的 EN_AD[3:0] 选择, 至于 VREF 输入是由模/数转换器设定控制缓存器的 ADC_VREF_SEL[1:0]选择
3	保留	-
2-0	GPA0_FUN_SLT[2:0]	设定 GPIOA0DH 复合功能 000: GPIO/IRQ0 (默认值) 001: ADC0 模拟输入 010: CMPP, 比较器之正极输入脚位 011: C 路径 PWM0 输出 100: TX0B, 为 UART0 的 B 路径 TX 101: I <sup>2</sup> C SDA 输入/输出脚位 110: A 路径 SPI 之 MISO 脚位 111: B 路径 SPI 之 SCK 数据脚位 注: 当 GPIOA1DH 设定为 I <sup>2</sup> C SCL 时, GPIOA0DH 需设定为 GPIO 功能。

注: 使用 UART0 B 路径、I<sup>2</sup>C, 必须将对映的 rGPIO\_TYP 设为开极, 并且外接上拉电阻。



**通用 I/O 端口 B 复合功能设定缓存器 1 GPIOB\_FUN1 (外部内存地址: 0x28)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPB5_FUN_SLT[2:0]			保留	GPB4_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPB5_FUN_SLT[2:0]	设定 GPIOB5 复合功能 000: GPIO/IRQ12 (默认值) 001: ADC12 模拟输入 010: RX0A, 为 UART0 的 A 路径 RX 011: A 路径 PWM1 输出 101: P02 输出/输入 (对映至 8052 之 P0.2)
3	保留	-
2-0	GPB4_FUN_SLT[2:0]	设定 GPIOB4 复合功能 000: GPIO/IRQ11 (默认值) 001: ADC11 模拟输入 010: TX0A, 为 UART0 的 A 路径 TX 011: D 路径 PWM1 输出 101: P03 输出/输入 (对映至 8052 之 P0.3) 注: 当 GPIOB5 设定为 RX0A 时, GPB4_FUN_SLT 会强制选择 TX0A, 其它 ADC11/PWM1D 会失效

-: 未能使用。

**注 1: 使用 8052 port (P0.x), 必须将对映的 rGPIO\_TYP 设为开汲极, 并且外接上拉电阻。**
**注 2: 使用 UART0 A 路径, 必须将对映的 rGPIO\_TYP 设为开汲极, 并且外接上拉电阻。**
**通用 I/O 端口 B 复合功能设定缓存器 2 GPIOB\_FUN2 (外部内存地址: 0x29)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPB3_FUN_SLT[2:0]			保留	GPB2_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPB3_FUN_SLT[2:0]	设定 GPIOB3 复合功能 000: GPIO/IRQ10 (默认值) 001: ADC10 模拟输入 011: A 路径 PWM0 输出
3	保留	-
2-0	GPB2_FUN_SLT[2:0]	设定 GPIOB2 复合功能 000: GPIO/IRQ5 (默认值) 001: ADC5 模拟输入 010: SPI 之 STB 脚位 011: D 路径 PWM0 输出

-: 未能使用。

**通用 I/O 端口 B 复合功能设定缓存器 3 GPIOB\_FUN3 (外部内存地址: 0x2A)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPB1_FUN_SLT[2:0]			保留	GPB0_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPB1_FUN_SLT[2:0]	设定 GPIOB1 复合功能 000: GPIO/IRQ4 (默认值) 001: ADC4 模拟输入 010: SPI 之 MOSI 脚位
3	保留	-
2-0	GPB0_FUN_SLT[2:0]	设定 GPIOB0 复合功能 000: GPIO/IRQ3 (默认值) 001: ADC3 模拟输入

-: 未能使用。

**通用 I/O 端口 C 复合功能设定缓存器 1 GPIOC\_FUN1 (外部内存地址: 0x2B)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPC5_FUN_SLT[2:0]			保留	GPC4_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPC5_FUN_SLT[2:0]	设定 GPIOC5 复合功能 000: GPIO/IRQ9 (默认值) 001: ADC9 模拟输入
3	保留	-
2-0	GPC4_FUN_SLT[2:0]	设定 GPIOC4 复合功能 000: GPIO/IRQ8 (默认值) 001: ADC8 模拟输入

-: 未能使用。

**通用 I/O 端口 C 复合功能设定缓存器 2 GPIOC\_FUN2 (外部内存地址: 0x2C)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPC3_FUN_SLT[2:0]			保留	GPC2_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPC3_FUN_SLT[2:0]	设定 GPIOC3 复合功能 000: GPIO (默认值)
3	保留	-

位编号	位符号	说明
2-0	GPC2_FUN_SLT[2:0]	设定 GPIOC2 复合功能 000: GPIO (默认值)

-: 未能使用。

**通用 I/O 端口 C 复合功能设定缓存器 3 GPIOC\_FUN3 (外部内存地址: 0x2D)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPC1_FUN_SLT[2:0]			保留	GPC0_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPC1_FUN_SLT[2:0]	设定 GPIOC1 复合功能 000: GPIO/IRQ7 (默认值) 001: ADC7 模拟输入
3	保留	-
2-0	GPC0_FUN_SLT[2:0]	设定 GPIOC0 复合功能 000: GPIO/IRQ6 (默认值) 001: ADC6 模拟输入

-: 未能使用。

**ADC 复合功能设定表:**

ADC	缓存器设定	Shared with GPIO
ADC15	GPA5_FUN_SLT[2:0] = 001	GPIOA5
ADC14	GPA4_FUN_SLT[2:0] = 001	GPIOA4
ADC13	GPA3_FUN_SLT[2:0] = 001	GPIOA3
ADC12	GPB5_FUN_SLT[2:0] = 001	GPIOB5
ADC11	GPB4_FUN_SLT[2:0] = 001	GPIOB4
ADC10	GPB3_FUN_SLT[2:0] = 001	GPIOB3
ADC9	GPC5_FUN_SLT[2:0] = 001	GPIOC5
ADC8	GPC4_FUN_SLT[2:0] = 001	GPIOC4
ADC7	GPC1_FUN_SLT[2:0] = 001	GPIOC1
ADC6	GPC0_FUN_SLT[2:0] = 001	GPIOC0
ADC5	GPB2_FUN_SLT[2:0] = 001	GPIOB2
ADC4	GPB1_FUN_SLT[2:0] = 001	GPIOB1
ADC3	GPB0_FUN_SLT[2:0] = 001	GPIOB0
ADC2	GPA2_FUN_SLT[2:0] = 001	GPIOA2
ADC1	GPA1_FUN_SLT[2:0] = 001	GPIOA1
ADC0	GPA0_FUN_SLT[2:0] = 001	GPIOA0

**ADC VREF 复合功能设定表:**

ADC VREF	缓存器设定	Shared with GPIO
VREF	GPA1_FUN_SLT[2:0] = 001	GPIOA1

**石英晶体振荡器复合功能设定表:**

CLKIO	缓存器设定	Shared with GPIO
OSCO	GPA4_FUN_SLT[2:0] = 010	GPIOA4
OSCI	GPA4_FUN_SLT[2:0] = 010	GPIOA5

**SPI 复合功能设定表**

SPI	缓存器设定	Shared with GPIO
STB	GPB2_FUN_SLT[2:0] = 010	GPIOB2
SCKA	GPA1_FUN_SLT[2:0] = 110	GPIOA1
SCKB	GPA0_FUN_SLT[2:0] = 111	GPIOA0
MOSI	GPB1_FUN_SLT[2:0] = 010	GPIOB1
MISOA	GPA0_FUN_SLT[2:0] = 110	GPIOA0
MISOB	GPA1_FUN_SLT[2:0] = 111	GPIOA1

**UART 复合功能设定表:**

UART	缓存器设定	Shared with GPIO
RX0A	GPIOB_OE[5] = 0 GPIOB_TYP[5] = 0 GPB5_FUN_SLT[2:0] = 010	GPIOB5
TX0A	GPIOB_OE[4] = 1 GPIOB_TYP[4] = 0 GPB4_FUN_SLT[2:0] = 010	GPIOB4
RX0B	GPIOA_OE[1] = 0 GPIOA_TYP[1] = 0 GPA1_FUN_SLT[2:0] = 100	GPIOA1
TX0B	GPIOA_OE[0] = 1 GPIOA_TYP[0] = 0 GPA0_FUN_SLT[2:0] = 100	GPIOA0

**I<sup>2</sup>C 复合功能设定表:**

Master I <sup>2</sup> C	缓存器设定	Shared with GPIO
SDA	GPIOA_OE[0] = 1 GPIOA_TYP[0] = 0 GPA0_FUN_SLT[2:0] = 101	GPIOA0
SCL	GPIOA_OE[1] = 1 GPIOA_TYP[1] = 0 GPA1_FUN_SLT[2:0] = 101	GPIOA1

Slave I <sup>2</sup> C	缓存器设定	Shared with GPIO
SDA	GPIOA_OE[0] = 0 GPIOA_TYP[0] = 0 GPA0_FUN_SLT[2:0] = 101	GPIOA0
SCL	GPIOA_OE[1] = 0 GPIOA_TYP[1] = 0 GPA1_FUN_SLT[2:0] = 101	GPIOA1

比较器复合功能设定表:

ACOM	缓存器设定	Shared with GPIO
COMPP	GPA0_FUN_SLT[2:0] = 010	GPIOA0
COMPN	GPA1_FUN_SLT[2:0] = 010	GPIOA1
COMPO	GPA2_FUN_SLT[2:0] = 010	GPIOA2

Timer0/1 脚位设定表:

Timer0/1	缓存器设定	Shared with GPIO
T0	GPA2_FUN_SLT[2:0] = 101	GPIOA2
T1	GPA5_FUN_SLT[2:0] = 010	GPIOA5

PWM0 复合功能设定表:

PWM0	缓存器设定	Shared with GPIO
PWM0A	GPB3_FUN_SLT[2:0] = 011	GPIOB3
PWM0B	GPA4_FUN_SLT[1:0] = 011	GPIOA4
PWM0C	GPA0_FUN_SLT[1:0] = 010	GPIOA0
PWM0D	GPB2_FUN_SLT[1:0] = 011	GPIOB2

PWM1 复合功能设定表:

PWM1	缓存器设定	Shared with GPIO
PWM1A	GPB5_FUN_SLT[2:0] = 011	GPIOB5
PWM1B	GPA5_FUN_SLT[2:0] = 011	GPIOA5
PWM1C	GPA2_FUN_SLT[1:0] = 011	GPIOA2
PWM1D	GPB4_FUN_SLT[2:0] = 011	GPIOB4

8052 Port 0 复合功能设定表:

8052 Port 0.x	缓存器设定	Shared with GPIO
P0.0	GPA5_FUN_SLT[2:0] = 101	GPIOA5
P0.1	GPA4_FUN_SLT[2:0] = 101	GPIOA4
P0.2	GPB5_FUN_SLT[2:0] = 101	GPIOB5
P0.3	GPB4_FUN_SLT[2:0] = 101	GPIOB4

### 6.3 中断

WT51F104 提供七个 8052 向量中断源，即 8052 外部中断 INT0、8052 外部中断 INT1、计时/计数器中断 TF0、计时/计数器中断 TF1、串行口中断 (RI0/TI0)、8052 外部中断 INT2、8052 外部中断 INT3。

每个中断源都在特殊寄存器 (SFR) 中有自己的致能控制位，透过特殊寄存器 IE0 及 XICON 选择致能或禁能。

当中断发生时，CPU 将会由主程序跳至中断程序向量，如下表所示，一旦多个中断同时发生，就从较高优先等级的中断先执行，再由 RETI 指令返回主程序。倘若有中断旗标位被设定，处理器将再进入中断处理程序。

8052 的七个中断向量表与优先权顺序：

Keil C 中断函数编号	中断源	中断向量地址	优先权顺序 (初始设定值)	开启中断设定
0	8052 外部中断 0	03H	1	IE.0 (EX0)
1	计时/计数器 0 中断	0BH	2	IE.1 (ET0)
2	8052 外部中断 1	13H	3	IE.2 (EX1)
3	计时/计数器 1 中断	1BH	4	IE.3 (ET1)
4	串行口 0 中断 (UART0)	23H	5	IE.4 (ES)
7	8052 外部中断 2	3BH	6	XICON.2 (EX2)
8	8052 外部中断 3	43H	7	XICON.6 (EX3)

#### 中断致能寄存器 0

IE (8052 interrupt enable register, 包括 INT0/INT1) Address: A8H

复位值: 00h

7	6	5	4	3	2	1	0
EA	ES1	ET2	ES	ET1	EX1	ET0	EX0

位编号	位符号	说明
7	EA	1: 致能所有中断功能 0: 禁能所有中断功能
6	ES1	1: 致能串行口 1 中断 (WT51F104 无此功能) 0: 禁能串行口 1 中断
5	ET2	1: 致能计时/计数器 2 中断 (WT51F104 无此功能) 0: 禁能计时/计数器 2 中断
4	ES	1: 致能串行口 0 中断 0: 禁能串行口 0 中断
3	ET1	1: 致能计时/计数器 1 中断 0: 禁能计时/计数器 1 中断
2	EX1	1: 致能 8052 外部中断 1 中断 0: 禁能 8052 外部中断 1 中断
1	ET0	1: 致能计时/计数器 0 中断 0: 禁能计时/计数器 0 中断
0	EX0	1: 致能 8052 外部中断 0 中断 0: 禁能 8052 外部中断 0 中断

**中断致能缓存器 1**
**XICON (8052 interrupt enable register, 包括 INT2/INT3) Address: C0H**
**复位值: 00h**

7	6	5	4	3	2	1	0
PX3	EX3	IE3	-	PX2	EX2	IE2	-

位编号	位符号	说明
7	PX3	定义外部中断 3 之中断优先权 1: INT3 具有高优先权 0: INT3 不具有高优先权
6	EX3	1: 致能外部中断 3 中断 0: 禁能外部中断 3 中断
5	IE3	当 CPU 侦测到外部中断 3 中断时, IE3 会由硬件自动清为 0 1: 有外部中断 3 请求 0: 无外部中断 3 请求
4	保留	-
3	PX2	定义外部中断 2 之中断优先权 1: INT2 具有高优先权 0: INT2 不具有高优先权
2	EX2	1: 致能外部中断 2 中断 0: 禁能外部中断 2 中断
1	IE2	当 CPU 侦测到外部中断 2 中断时, IE2 会由硬件自动清为 0 1: 有外部中断 2 请求 0: 无外部中断 2 请求
0	保留	-

-: 未能使用。

**中断优先权缓存器**
**IP (8052 interrupt priority register) Address: B8H**
**复位值: 00h**

7	6	5	4	3	2	1	0
-	PS1	PT2	PS	PT1	PX1	PT0	PX0

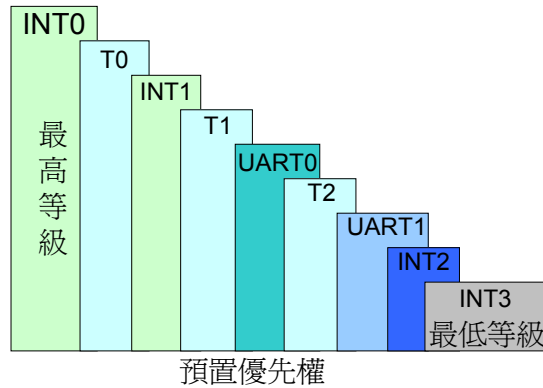
位编号	位符号	说明
7	Reserved	-
6	PS1	定义串行口 1 之中断优先权 1: 具有高优先权 0: 具有低优先权
5	PT2	定义计时/计数器 2 之中断优先权 1: 具有高优先权 0: 具有低优先权
4	PS	定义串行口 0 之中断优先权 1: 具有高优先权 0: 具有低优先权
3	PT1	定义计时/计数器 1 之中断优先权 1: 具有高优先权 0: 具有低优先权
2	PX1	定义外部中断 1 之中断优先权

位编号	位符号	说明
		1: 具有高优先权 0: 具有低优先权
1	PT0	定义计时/计数器 0 之中断优先权 1: 具有高优先权 0: 具有低优先权
0	PX0	定义外部中断 0 之中断优先权 1: 具有高优先权 0: 具有低优先权

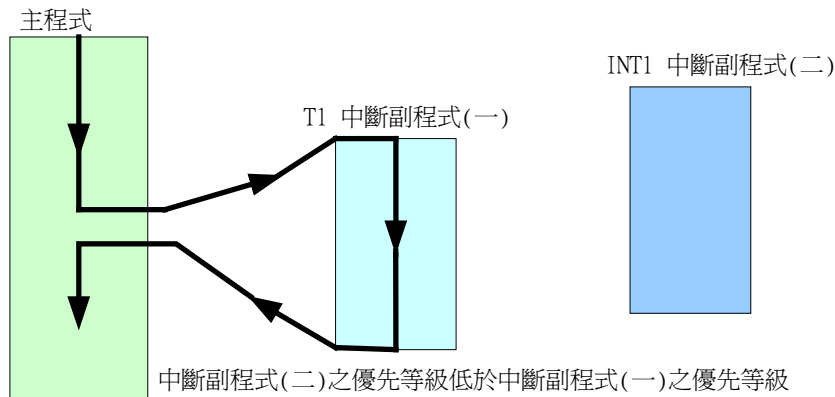
-: 未能使用。



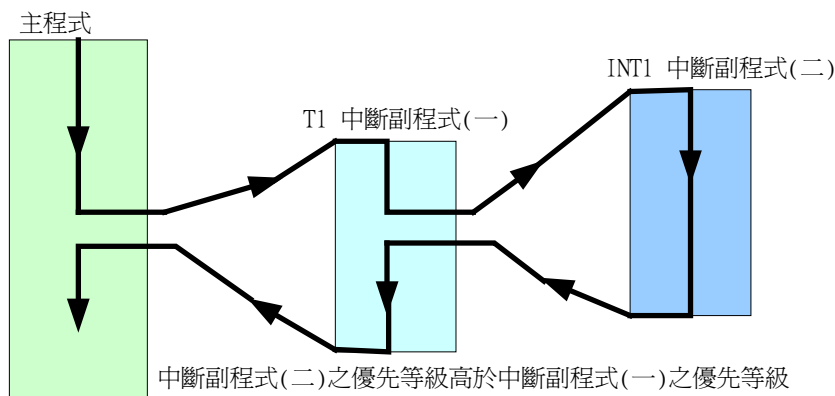
如下图所示，若都没有在中断优先级寄存器 (IP) 裡设定优先级，则中断的优先等级为「INT0 > T0 > INT1 > T1 > UART0 > T2 > UART1 > INT2 > INT3」；



若将其中任一个中断设为高优先等级，例如让 PT1 = 1，则中断的优先等级变为「T1 > INT0 > T0 > INT1 > UART0 > T2 > UART1 > INT2 > INT3」；



若让 PT1 = 1、PX1 = 1，则中断的优先等级变为「INT1 > T1 > INT0 > T0 > UART0 > T2 > UART1 > INT2 > INT3」，以此类推。如下图所示，分别是不同优先等级下，程序执行的流程：

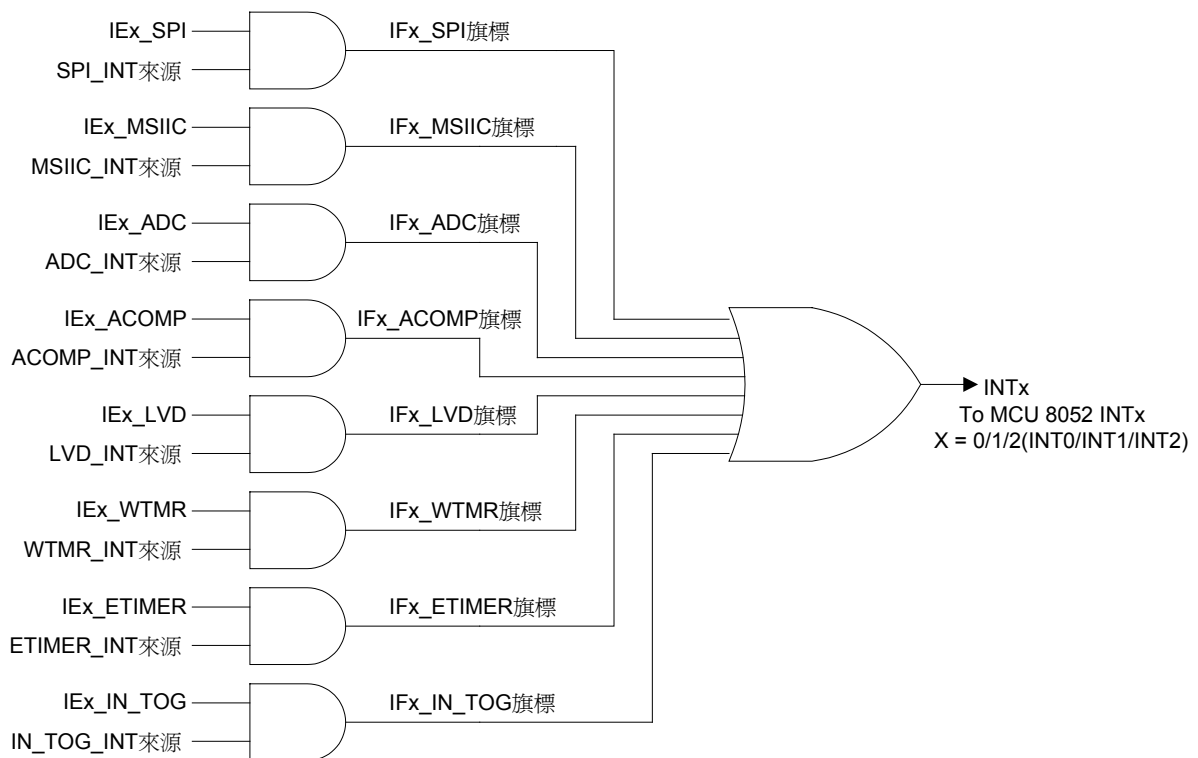


### 6.3.1 8052 外部中断 0/1/2

WT51F104 从 8052 的外部中断 0/1/2 衍生成八个周边中断如下:

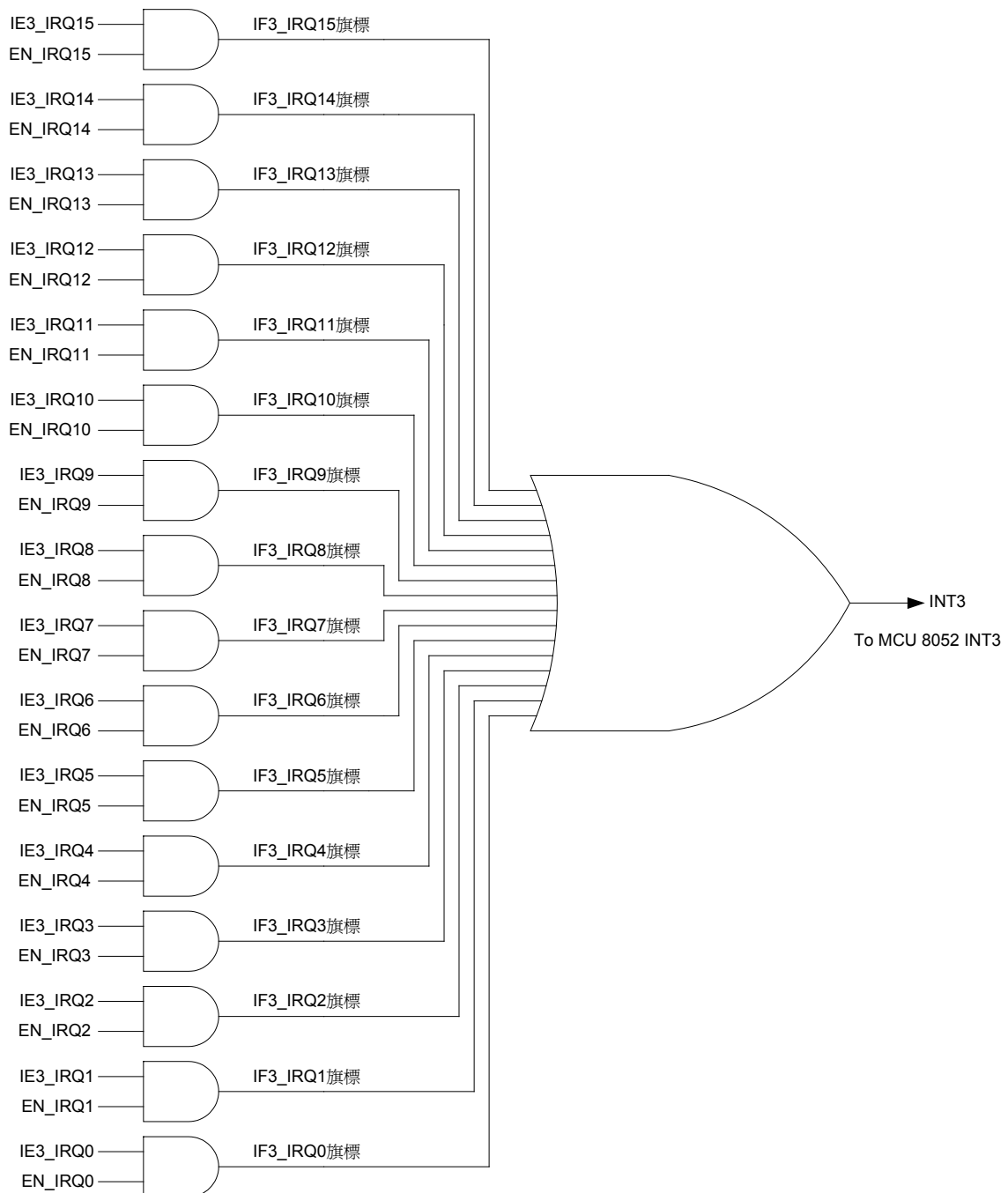
1. SPI 中断
2. I<sup>2</sup>C 中断
3. ADC 中断
4. 比较器 (ACOMP) 中断
5. 低压侦测 (LVD) 中断
6. 实时定时器中断
7. 增强型计时/计数器中断
8. 通用 I/O 端口输入触发中断

下图为 8052 外部中断 0/1/2 的中断来源示意图:



### 6.3.2 8052 外部中断 3

WT51F104 共有 16 根外部中断要求输入脚位，使用 8052 外部中断向量 3 来产生中断，示意图如下图所示 (详细请参考 6.5 章节)。



**8052 外部中断 0 控制缓存器 IE0\_CTL (外部内存地址: 0x30)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	IE0_SPI	IE0_MSIP <sup>2</sup> C	IE0_ADC	IE0_ACOMP	IE0_LVD	IE0_WTMR	IE0_ETIMER	IE0_IN_TOG

位编号	位符号	说明
7	IE0_SPI	1: 致能 SPI 中断由 INT0 产生 0: 禁能 SPI 中断由 INT0 产生
6	IE0_MSIP <sup>2</sup> C	1: 致能 M/S I <sup>2</sup> C 中断由 INT0 产生 0: 禁能 M/S I <sup>2</sup> C 中断由 INT0 产生
5	IE0_ADC	1: 致能 ADC 中断由 INT0 产生 0: 禁能 ADC 中断由 INT0 产生
4	IE0_ACOMP	1: 致能 ACOMP 中断由 INT0 产生 0: 禁能 ACOMP 中断由 INT0 产生
3	IE0_LVD	1: 致能 LVD 中断由 INT0 产生 0: 禁能 LVD 中断由 INT0 产生
2	IE0_WTMR	1: 致能 Watch Timer 中断由 INT0 产生 0: 禁能 Watch Timer 中断由 INT0 产生
1	IE0_ETIMER	1: 致能 Enhanced Timer 中断由 INT0 产生 0: 禁能 Enhanced Timer 中断由 INT0 产生
0	IE0_IN_TOG	1: 致能 All-Input Toggle 中断由 INT0 产生 0: 禁能 All-Input Toggle 中断由 INT0 产生

**8052 外部中断 1 控制缓存器 IE1\_CTL (外部内存地址: 0x31)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	IE1_SPI	IE1_MSIP <sup>2</sup> C	IE1_ADC	IE1_ACOMP	IE1_LVD	IE1_WTMR	IE1_ETIMER	IE1_IN_TOG

位编号	位符号	说明
7	IE1_SPI	1: 致能 SPI 中断由 INT1 产生 0: 禁能 SPI 中断由 INT1 产生
6	IE1_MSIP <sup>2</sup> C	1: 致能 M/S I <sup>2</sup> C 中断由 INT1 产生 0: 禁能 M/S I <sup>2</sup> C 中断由 INT1 产生
5	IE1_ADC	1: 致能 ADC 中断由 INT1 产生 0: 禁能 ADC 中断由 INT1 产生
4	IE1_ACOMP	1: 致能 ACOMP 中断由 INT1 产生 0: 禁能 ACOMP 中断由 INT1 产生
3	IE1_LVD	1: 致能 LVD 中断由 INT1 产生 0: 禁能 LVD 中断由 INT1 产生
2	IE1_WTMR	1: 致能 Watch Timer 中断由 INT1 产生 0: 禁能 Watch Timer 中断由 INT1 产生
1	IE1_ETIMER	1: 致能 Enhanced Timer 中断由 INT1 产生 0: 禁能 Enhanced Timer 中断由 INT1 产生

位编号	位符号	说明
0	IE1_IN_TOG	1: 致能 All-Input Toggle 中断由 INT1 产生 0: 禁能 All-Input Toggle 中断由 INT1 产生

**8052 外部中断 2 控制缓存器 IE2\_CTL (外部内存地址: 0x32)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	IE2_SPI	IE2_MSIP <sup>2</sup> C	IE2_ADC	IE2_ACOMP	IE2_LVD	IE2_WTMR	IE2_ETIMER	IE2_IN_TOG

位编号	位符号	说明
7	IE2_SPI	1: 致能 SPI 中断由 INT2 产生 0: 禁能 SPI 中断由 INT2 产生
6	IE2_MSIP <sup>2</sup> C	1: 致能 M/S I <sup>2</sup> C 中断由 INT2 产生 0: 禁能 M/S I <sup>2</sup> C 中断由 INT2 产生
5	IE2_ADC	1: 致能 ADC 中断由 INT2 产生 0: 禁能 ADC 中断由 INT2 产生
4	IE2_ACOMP	1: 致能 ACOMP 中断由 INT2 产生 0: 禁能 ACOMP 中断由 INT2 产生
3	IE2_LVD	1: 致能 LVD 中断由 INT2 产生 0: 禁能 LVD 中断由 INT2 产生
2	IE2_WTMR	1: 致能 Watch Timer 中断由 INT2 产生 0: 禁能 Watch Timer 中断由 INT2 产生
1	IE2_ETIMER	1: 致能 Enhanced Timer 中断由 INT2 产生 0: 禁能 Enhanced Timer 中断由 INT2 产生
0	IE2_IN_TOG	1: 致能 All-Input Toggle 中断由 INT2 产生 0: 禁能 All-Input Toggle 中断由 INT2 产生

**8052 外部中断 3 控制高字节缓存器 INT3\_IRQ[15:8] (外部内存地址: 0x33)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	IE3_IRQ[15:8]							

位编号	位符号	说明
7	IE3_IRQ15	1: 致能 IRQ15 中断由 INT3 产生 0: 禁能 IRQ15 中断由 INT3 产生
6	IE3_IRQ14	1: 致能 IRQ14 中断由 INT3 产生 0: 禁能 IRQ14 中断由 INT3 产生
5	IE3_IRQ13	1: 致能 IRQ13 中断由 INT3 产生 0: 禁能 IRQ13 中断由 INT3 产生
4	IE3_IRQ12	1: 致能 IRQ12 中断由 INT3 产生 0: 禁能 IRQ12 中断由 INT3 产生
3	IE3_IRQ11	1: 致能 IRQ11 中断由 INT3 产生 0: 禁能 IRQ11 中断由 INT3 产生

位编号	位符号	说明
2	IE3_IRQ10	1: 致能 IRQ10 中断由 INT3 产生 0: 禁能 IRQ10 中断由 INT3 产生
1	IE3_IRQ9	1: 致能 IRQ9 中断由 INT3 产生 0: 禁能 IRQ9 中断由 INT3 产生
0	IE3_IRQ8	1: 致能 IRQ8 中断由 INT3 产生 0: 禁能 IRQ8 中断由 INT3 产生

**8052 外部中断 3 控制低字节寄存器 INT3\_IRQ[7:0] (外部内存地址: 0x34)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	IE3_IRQ[7:0]							

位编号	位符号	说明
7	IE3_IRQ7	1: 致能 IRQ7 中断由 INT3 产生 0: 禁能 IRQ7 中断由 INT3 产生
6	IE3_IRQ6	1: 致能 IRQ6 中断由 INT3 产生 0: 禁能 IRQ6 中断由 INT3 产生
5	IE3_IRQ5	1: 致能 IRQ5 中断由 INT3 产生 0: 禁能 IRQ5 中断由 INT3 产生
4	IE3_IRQ4	1: 致能 IRQ4 中断由 INT3 产生 0: 禁能 IRQ4 中断由 INT3 产生
3	IE3_IRQ3	1: 致能 IRQ3 中断由 INT3 产生 0: 禁能 IRQ3 中断由 INT3 产生
2	IE3_IRQ2	1: 致能 IRQ2 中断由 INT3 产生 0: 禁能 IRQ2 中断由 INT3 产生
1	IE3_IRQ1	1: 致能 IRQ1 中断由 INT3 产生 0: 禁能 IRQ1 中断由 INT3 产生
0	IE3_IRQ0	1: 致能 IRQ0 中断由 INT3 产生 0: 禁能 IRQ0 中断由 INT3 产生

**8052 外部中断 0(INT0)旗标寄存器 IF0\_FLAG (外部内存地址: 0x35)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	IF0_SPI	IF0_MSI <sup>2</sup> C	IF0_ADC	IF0_ACOMP	IF0_LVD	IF0_WTMR	IF0_ETIMER	IF0_IN_TOG

位编号	位符号	说明
7	IF0_SPI	1: SPI 中断事件旗标, SPI 中断清除, 请参考 6.12 章节 0xC3
6	IF0_MSI <sup>2</sup> C	1: M/S I <sup>2</sup> C 中断事件旗标, M/S I <sup>2</sup> C 中断清除, 请参考 6.10 章节 0xA0
5	IF0_ADC	1: ADC 中断事件旗标, ADC 转换后自动清除
4	IF0_ACOMP	1: ACOMP 中断事件旗标, ACOMP 中断清除, 请参考 6.14 章节 0xDB
3	IF0_LVD	1: LVD 中断事件旗标, LVD 中断清除, 请参考 6.16 章节 0x03
2	IF0_WTMR	1: Watch Timer 中断事件旗标, Watch Timer 中断清除, 请参考 6.9 章节 0x7C

位编号	位符号	说明
1	IF0_ETIMER	1: Enhanced Timer 中断事件旗标, Enhanced Timer 中断清除, 请参考 6.11 章节 0xB2
0	IF0_IN_TOG	1: All-Input Toggle 中断事件旗标, Input Toggle 中断清除, 请参考 6.7 章节 0x6A

**8052 外部中断 1(INT1)旗标缓存器 IF1\_FLAG (外部内存地址: 0x36)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	IF1_SPI	IF1_MSI <sup>2</sup> C	IF1_ADC	IF1_ACOMP	IF1_LVD	IF1_WTMR	IF1_ETIMER	IF1_IN_TOG

位编号	位符号	说明
7	IF1_SPI	1: SPI 中断事件旗标, SPI 中断清除, 请参考 6.12 章节 0xC3
6	IF1_MSI <sup>2</sup> C	1: M/S I <sup>2</sup> C 中断事件旗标, M/S I <sup>2</sup> C 中断清除, 请参考 6.10 章节 0xA0
5	IF1_ADC	1: ADC 中断事件旗标, ADC 转换后自动清除
4	IF1_ACOMP	1: ACOMP 中断事件旗标, ACOMP 中断清除, 请参考 6.14 章节 0xDB
3	IF1_LVD	1: LVD 中断事件旗标, LVD 中断清除, 请参考 6.16 章节 0x03
2	IF1_WTMR	1: Watch Timer 中断事件旗标, Watch Timer 中断清除, 请参考 6.9 章节 0x7C
1	IF1_ETIMER	1: Enhanced Timer 中断事件旗标, Enhanced Timer 中断清除, 请参考 6.11 章节 0xB2
0	IF1_IN_TOG	1: All-Input Toggle 中断事件旗标, Input Toggle 中断清除, 请参考 6.7 章节 0x6A

**8052 外部中断 2(INT2)旗标缓存器 IF2\_FLAG (外部内存地址: 0x37)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	IF2_SPI	IF2_MSI <sup>2</sup> C	IF2_ADC	IF2_ACOMP	IF2_LVD	IF2_WTMR	IF2_ETIMER	IF2_IN_TOG

位编号	位符号	说明
7	IF2_SPI	1: SPI 中断事件旗标, SPI 中断清除, 请参考 6.12 章节 0xC3
6	IF2_MSI <sup>2</sup> C	1: M/S I <sup>2</sup> C 中断事件旗标, M/S I <sup>2</sup> C 中断清除, 请参考 6.10 章节 0xA0
5	IF2_ADC	1: ADC 中断事件旗标, ADC 转换后自动清除
4	IF2_ACOMP	1: ACOMP 中断事件旗标, ACOMP 中断清除, 请参考 6.14 章节 0xDB
3	IF2_LVD	1: LVD 中断事件旗标, LVD 中断清除, 请参考 6.16 章节 0x03
2	IF2_WTMR	1: Watch Timer 中断事件旗标, Watch Timer 中断清除, 请参考 6.9 章节 0x7C
1	IF2_ETIMER	1: Enhanced Timer 中断事件旗标, Enhanced Timer 中断清除, 请参考 6.11 章节 0xB2
0	IF2_IN_TOG	1: All-Input Toggle 中断事件旗标, Input Toggle 中断清除, 请参考 6.7 章节 0x6A

**8052 外部中断 3(INT3)旗标高字节缓存器 IF3\_IRQ[15:8] (外部内存地址: 0x38)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	IF3_IRQ[15:8]							

位编号	位符号	说明
7	IF3_IRQ15	1: IRQ15 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x44
6	IF3_IRQ14	1: IRQ14 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x44
5	IF3_IRQ13	1: IRQ13 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x44
4	IF3_IRQ12	1: IRQ12 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x44
3	IF3_IRQ11	1: IRQ11 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x44
2	IF3_IRQ10	1: IRQ10 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x44
1	IF3_IRQ9	1: IRQ9 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x44
0	IF3_IRQ8	1: IRQ8 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x44

**8052 外部中断 3(INT3)旗标低字节缓存器 IF3\_IRQ[7:0] (外部内存地址: 0x39)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	IF3_IRQ[7:0]							

位编号	位符号	说明
7	IF3_IRQ7	1: IRQ7 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x45
6	IF3_IRQ6	1: IRQ6 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x45
5	IF3_IRQ5	1: IRQ5 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x45
4	IF3_IRQ4	1: IRQ4 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x45
3	IF3_IRQ3	1: IRQ3 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x45
2	IF3_IRQ2	1: IRQ2 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x45
1	IF3_IRQ1	1: IRQ1 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x45
0	IF3_IRQ0	1: IRQ0 中断事件旗标, IRQ 中断清除, 请参考 6.5 章节 0x45



## 6.4 通用异步收发器 (UART)

WT51F104 有一个通用异步接收/传输器，即 UART0。

作为标准 8052 的 UART，其传输速率可通过 SFR 中的串行传输速率寄存器来选择。

特殊功能寄存器 SBUF0 在接收跟传输时，是对映到两个单独寄存器，即一个传输缓冲区和一个接收缓冲区。

传送数据: 写入数据到 SBUF0 寄存器并设定这些数据在串行输出缓冲区，并开始传输。

读取数据: 读取 SBUF0 寄存器的数据及从串行接收缓冲区读取数据，串行口可同时传输和接收数据，它也可在接收时缓存 1 字节，如 CPU 在第一个字节传输完成之前读取第二个字节，以防接收数据丢失。

### 通用异步收发器之相关寄存器:

特殊寄存器名称	地址	说明
PCON	87H	8052 power control register
SCON0	98H	Serial Port 0, Control Register
SBUF0	99H	Serial Port 0, Data Buffer
SBRG0H	9AH	Serial Baud rate Generator 0, high byte
SBRG0L	9BH	Serial Baud rate Generator 0, low byte

### UART0 相关寄存器

#### PCON (Power control register) Address: 87H

7	6	5	4	3	2	1	0
SMOD1	SMOD2	-	-	-	-	-	-

SMOD1: 串行口 0 (UART0) 双倍传输速率位。

SMOD2: 串行口 1 (UART1) 双倍传输速率位。

-: 未能使用。

#### SBUF0 (8052 UART0 buffer) Address: 99H

7	6	5	4	3	2	1	0
SBUF0.7	SBUF0.6	SBUF0.5	SBUF0.4	SBUF0.3	SBUF0.2	SBUF0.1	SBUF0.0

UART0 之串行数据缓冲区，用来存收从 UART0 所接收到的数据或等待传送之数据。

#### SBRG0H: Address: 9Ah

7	6	5	4	3	2	1	0
SBRG_EN	BRG_M[10]	BRG_M[9]	BRG_M[8]	BRG_M[7]	BRG_M[6]	BRG_M[5]	BRG_M[4]

用来规划 UART0 之传输速率，与 SBRG0L 搭配使用。

#### SBRG0L: Address: 9Bh

7	6	5	4	3	2	1	0
BRG_M[3]	BRG_M[2]	BRG_M[1]	BRG_M[0]	BRG_F[3]	BRG_F[2]	BRG_F[1]	BRG_F[0]

用来规划 UART0 之传输速率，与 SBRG0H 搭配使用。

**SCON0 (8052 UART0 control register) Address: 98H**

7	6	5	4	3	2	1	0
SM0_1	SM0_2	SM0_3	REN_0	TB8_0	RB8_0	TI_0	RI_0

位编号	位符号	说明
7-6	SM0_1, SM0_2	串行口 0 模式选择 00: 模式 0 01: 模式 1 10: 模式 2 11: 模式 3
5	SM0_3	多处理器通信致能位 模式 0 时, SM0_3 必须为 0; 此时将禁能多重处理器通讯功能。 模式 1、模式 2 或模式 3 时, 若 SM0_3 = 1, 将可执行多重处理器通讯功能。
4	REN_0	本位元为串行接收致能位, 须由软件清除禁止接收 REN_0 = 1, 开始接收。 REN_0 = 0, 停止接收
3	TB8_0	模式 2 或模式 3 传送资料时, 本位元为第 9 传送位, 可用软件來设定或清除。
2	RB8_0	模式 0 时, 本位元无作用。 模式 1 时, 若 SM0_3 = 0, 则本位元为停止位。 模式 2 或模式 3 接收资料时, 本位元为第 9 个接收位。
1	TI_0	本位元为传送中断旗标, 当中断结束时, 本位元并不会恢复为 0, 必须由软件清除。 模式 0 时, 若完成传送第 8 位, 则本位元自动设定为 1, 并提出 TI_0 中断。 模式 1、模式 2 或模式 3 时, 若完成传送停止位, 则本位元自动设定为 1, 并提出 TI_0 中断。
0	RI_0	本位元为接收中断旗标, 当中断结束时, 本位元并不会恢复为 0, 必须由软件清除。 模式 0 时, 若完成接收第 8 位, 则本位元自动设定为 1, 并提出 RI_0 中断。 模式 1、模式 2 或模式 3 时, 若完成接收到停止位, 则本位元自动设定为 1, 并提出 RI_0 中断。

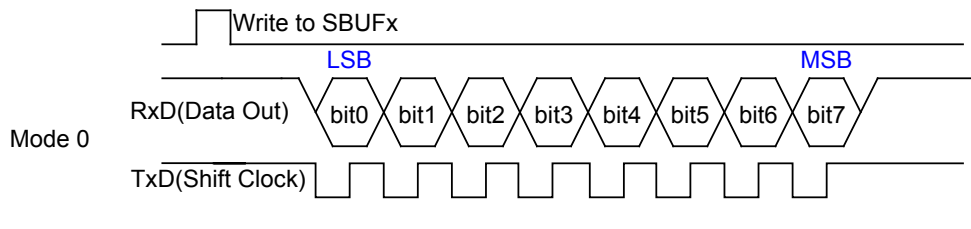
串行接口 0 可由以下四种模式来设定:

SM0_1	SM0_2	模式	功能	传输速率
0	0	0	移位寄存器	Fosc/12
0	1	1	8 位之 UART	软件规划
1	0	2	8 位之 UART	Fosc/32 或 Fosc/64
1	1	3	9 位之 UART	软件规划

\*Fosc = MCU clock

### 模式 0 (Mode 0)

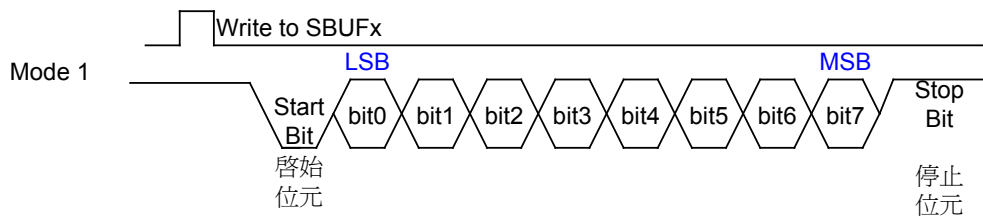
模式 0 是以固定速率之移位式资料传输，其速率为系统时钟源的十二分之一 (即  $f_{OSC}/12$ )，若在 12 MHz 下，则其速率为 1Mbps。在此模式下，不管是接收数据还是数据传送，CPU 的 Rx0 连接串行资料线，Tx0 连接移位脉波线。执行数据接收时，由 Tx0 接脚送出移位脉波，而由 Rx0 接脚收下串行资料；执行数据传送时，也是依据 Tx0 接脚所送出的移位脉波，而由 Rx0 接脚送出串行资料。



### 模式 1 (Mode 1)

模式 1 是以可变的速率进行串行数据传输，其速率可由 Timer 1 来控制 (若是支持 UART1 还可使用 Timer 2 控制速率)。

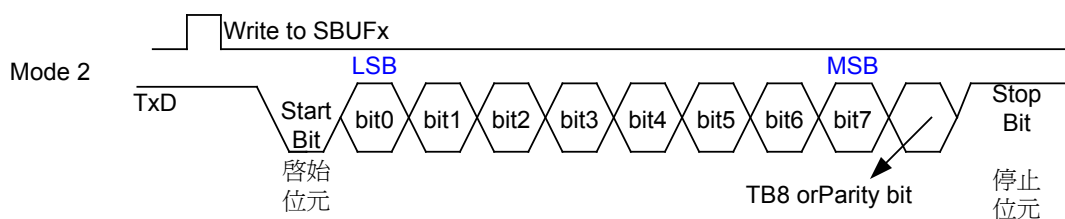
在此模式下，WT51F104 的 Rx0 接脚连接目的地的 TxD 接脚、WT51F104 的 Tx0 接脚连接目的地的 RxD 接脚。模式 1 的资料长度为 10 位，包括起始位 (start bit)、8 个位的资料，以及停止位 (stop bit)，其中第一个位就是低准位的起始位 (start bit = 0)，紧接着是由 bit 0 (即 LSB) 开始的 8 位资料，而接续于 bit 7 (MSB) 之后的是高准位的停止位 (stop bit = 1)。



### 模式 2 (Mode 2)

模式 2 是以  $f_{OSC}/32$  ( $SMOD = 1$ ) 或  $f_{OSC}/64$  ( $SMOD = 0$ ) 的速率进行串行数据传输，而其线路的连接，也是 WT51F104 的 Rx0 接脚连接目的地的 TxD 接脚、WT51F104 的 Tx0 接脚连接目的地的 RxD 接脚。模式 2 的资料是由 11 位所组成，包括起始位 (start bit)、8 个位的资料、同位位 (parity bit)，以及停止位 (stop bit)，其中第一个位就是低准位的起始位，紧接着是由 bit 0 (即 LSB) 开始的 8 位资料，而接续于 bit 7 之后的是同位位，最后则是高准位的停止位。

在传送中，SCON0 中的 TB8\_0 输出第九位；在接收中，SCON0 中的 RB8\_0 将被影响。



**模式 3 (Mode 3)**

模式 3 是以可变的鲍率进行串行数据传输，其鲍率可由 Timer 1 来控制 (若是支持 UART1 还可使用 Timer 2 控制鲍率)。除此之外，模式 3 与模式 2 几乎完全一样。

**UART0 之串行传输速率表:**

SBRG_EN (SBRG0H.7)	SMOD1 (PCON.7)	Baud Rate for UART0
0	0	$\frac{1}{32} \times \frac{f_{osc}}{12 \times (256 - TH1)}$
0	1	$\frac{1}{16} \times \frac{f_{osc}}{12 \times (256 - TH1)}$
1	X	$\frac{f_{osc}}{16 * (BRG\_M[10:0] + \frac{BRG\_F[3:0]}{16})}$

当 SBRG\_EN (SBRG0H.7) = 1

$$\text{UART0 之鲍率} = \frac{f_{osc}}{16 * (BRG\_M[10:0] + \frac{BRG\_F[3:0]}{16})}$$

**传输速率支援表:**

Bits/sec	12 MHz				
	Baud Rate Register	BRG_M	BRG_F	Actual	Error
600	1250	1250	0	600	0.0%
1200	625	625	0	1200	0.0%
2400	312.5	312	8	2400	0.0%
4800	156.25	156	4	4800	0.0%
9600	78.125	78	2	9600	0.0%
14400	52.083	52	1	14405	0.04%
19200	39.0625	39	1	19200	0.0%
38400	19.531	19	8	38461	0.16%
57600	13	13	0	57692	0.16%
115200	6.5	6	8	115384	0.16%
230400	3.25	3	4	230769	0.16%

## 6.5 外部中断要求 (IRQ)

- 支持 16 个输入中断，并内建数字滤波器 (数字滤波器的晶振来源为内部晶振 12 MHz)
- 支持单边正缘、负缘触发、正负缘同时触发
- 可以与 PWM 功能搭配，应用在马达转速的控制，请参考下表

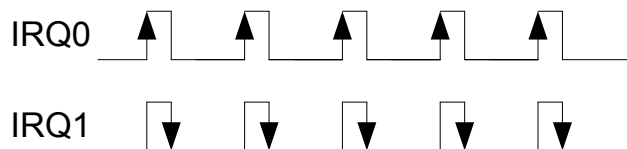
外部中断要求(IRQ) 与 PWM0 对映表:

外部中断要求(IRQ)脚位	PWM0	输出脚位
IRQ10	A 路径	GPIOB3
IRQ14	B 路径	GPIOA4
IRQ0	C 路径	GPIOA0
IRQ5	D 路径	GPIOB2

外部中断要求(IRQ)与 PWM1 对映表:

外部中断要求(IRQ)脚位	PWM1	输出脚位
IRQ12	A 路径	GPIOB5
IRQ15	B 路径	GPIOA5
IRQ2	C 路径	GPIOA2
IRQ11	D 路径	GPIOB4

单边触发:



正负缘同时触发:



**外部中断要求(IRQ)控制高字节寄存器 EN\_IRQ[15:8] (外部内存地址: 0x40)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	EN_IRQ[15:8]							

位编号	位符号	说明
7-0	EN_IRQ[15:8]	外部中断要求致能设定, 每个位对应至相关的 IRQ 脚位 1: 致能相对应脚位之外部中断要求 0: 禁能相对应脚位之外部中断要求

**外部中断要求(IRQ)控制低字节寄存器 EN\_IRQ[7:0] (外部内存地址: 0x41)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	EN_IRQ[7:0]							

位编号	位符号	说明
7-0	EN_IRQ[7:0]	外部中断要求致能设定, 每个位对应至相关的 IRQ 脚位 1: 致能相对应脚位之外部中断要求 0: 禁能相对应脚位之外部中断要求

**外部中断要求(IRQ)状态高字节寄存器 EVT\_IRQ[15:8] (外部内存地址: 0x42)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	EVT_IRQ[15:8]							

位编号	位符号	说明
7-0	EVT_IRQ[15:8]	外部中断要求状态, 每个位对应至相关的 IRQ 状态 1: 相对应之脚位发生中断触发 0: 相对应之脚位未发生中断触发

**外部中断要求(IRQ)状态低字节寄存器 EVT\_IRQ[7:0] (外部内存地址: 0x43)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	EVT_IRQ[7:0]							

位编号	位符号	说明
7-0	EVT_IRQ[7:0]	外部中断要求状态, 每个位对应至相关的 IRQ 状态 1: 相对应之脚位发生中断触发 0: 相对应之脚位未发生中断触发

**外部中断要求(IRQ)清除高字节寄存器 CLR\_IRQ[15:8] (外部内存地址: 0x44)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	写	写	写	写	写	写	写	写
名称	CLR_IRQ[15:8]							

位编号	位符号	说明
7-0	CLR_IRQ[15:8]	外部中断要求清除 1: 相对应位写 1 可清除此中断状态 0: 未动作

**外部中断要求(IRQ)清除低字节寄存器 CLR\_IRQ[7:0] (外部内存地址: 0x45)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	写	写	写	写	写	写	写	写
名称	CLR_IRQ[7:0]							

位编号	位符号	说明
7-0	CLR_IRQ[7:0]	外部中断要求清除 1: 相对应位写 1 可清除此中断状态 0: 未动作

**外部中断要求(IRQ)双向触发高字节寄存器 IRQ\_CHG[15:8] (外部内存地址: 0x46)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	IRQ_CHG[15:8]							

位编号	位符号	说明
7-0	IRQ_CHG[15:8]	外部中断要求触发设定 1: 双边触发 0: 单边触发 (根据 IRQ_EDGE[15:8]设定正缘或负缘触发)

**外部中断要求(IRQ)双向触发低字节寄存器 IRQ\_CHG[7:0] (外部内存地址: 0x47)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	IRQ_CHG[7:0]							

位编号	位符号	说明
7-0	IRQ_CHG[7:0]	外部中断要求触发设定 1: 双边触发 0: 单边触发 (根据 IRQ_EDGE[7:0]设定正缘或负缘触发)

**外部中断要求(IRQ)触发缘高字节寄存器 IRQ\_EDGE[15:8] (外部内存地址: 0x48)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	IRQ_EDGE[15:8]							

位编号	位符号	说明
7-0	IRQ_EDGE[15:8]	外部中断要求触发缘设定 1: 负缘触发 0: 正缘触发

**外部中断要求(IRQ)触发缘低字节寄存器 IRQ\_EDGE[7:0] (外部内存地址: 0x49)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	IRQ_EDGE[7:0]							

位编号	位符号	说明
7-0	IRQ_EDGE[7:0]	外部中断要求触发缘设定 1: 负缘触发 0: 正缘触发



### 6.6 脉冲宽度调制 (PWM)

WT51F104 提供两组 16 位精度的脉冲宽度调制模块，可以产生周期和占空比。

- 输出频率共有 65535 阶; 频率范围: 6 MHz ~ 183.1 Hz (工作于 IRC 12 MHz)
- Duty、Period 和 Source clock 彼此间有密切的关系，关系如下:

$$\boxed{\text{Source clock}} = 2^{\boxed{\text{Duty resolution}}} \times \boxed{\text{Period}}$$

举例: Source clock 是 IRC 12 MHz, 若 Duty 设为 10-bit 分辨率, 则 Period 的范围会在 11.7 kHz 以内

- 输出型态: 推拉输出 (push pull) 或开汲输出 (open drain), 可透过缓存器 GPIOx\_TYP[x] (请参考下表对映的脚位) 来设定
- 脉冲宽度输出可触发外部中断要求 (IRQ) 来产生中断, 来计算 PWM 输出数目, 以达到马达控制的应用
- PWM0 及 PWM1 可透过复合功能设定缓存器选择不同脚位输出, 减少占用脚位问题

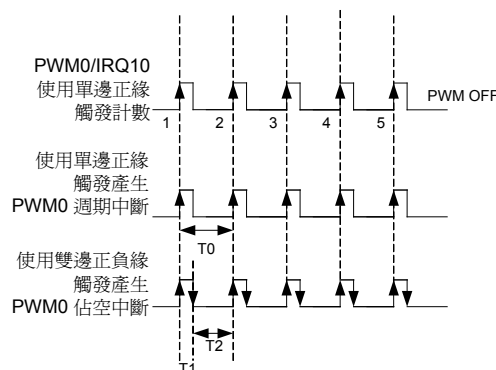
PWM0 可透过通用 I/O 端口 x 复合功能设定缓存器选择四支脚位, 其中一支脚位输出。

PWM0	输出脚位	外部中断要求(IRQ)脚位	通用 I/O 端口 x 复合功能设定缓存器
A 路径	GPIOB3	IRQ10	GPB3_FUN_SLT[2:0] = 011
B 路径	GPIOA4	IRQ14	GPA4_FUN_SLT[1:0] = 011
C 路径	GPIOA0	IRQ0	GPA0_FUN_SLT[1:0] = 010
D 路径	GPIOB2	IRQ5	GPB2_FUN_SLT[1:0] = 011

PWM1 可透过通用 I/O 端口 x 复合功能设定缓存器选择四支脚位, 其中一支脚位输出。

PWM1	输出脚位	外部中断要求(IRQ)脚位	通用 I/O 端口 x 复合功能设定缓存器
A 路径	GPIOB5	IRQ12	GPB5_FUN_SLT[2:0] = 011
B 路径	GPIOA5	IRQ15	GPA5_FUN_SLT[2:0] = 011
C 路径	GPIOA2	IRQ2	GPA2_FUN_SLT[1:0] = 011
D 路径	GPIOB4	IRQ11	GPB4_FUN_SLT[2:0] = 011

举例: 设计 PWM0 输出五个脉冲, 可利用 GPIOB3/IRQ10 的正缘触发中断, 来计数五次后, 再把 PWM 关闭, 另外也可以计算 PWM 的 period。



**PWM 控制缓存器 PWM\_CTL (外部内存地址: 0x50)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	-	读/写	读/写	读/写
名称	保留		PWM_PLRTY[1:0]		保留	LBYTE_UPD_EN	PWM_EN[1:0]	

位编号	位符号	说明
7-6	保留	-
5-4	PWM_PLRTY[1:0]	Bit 5: 1: PWM1 负缘输出 0: PWM1 正缘输出 Bit 4: 1: PWM0 负缘输出 0: PWM0 正缘输出
3	保留	-
2	LBYTE_UPD_EN	1: 致能写入 PWM 周期或占空比控制低字节缓存器时更新 PWM 输出 0: 禁能写入 PWM 周期或占空比控制低字节缓存器时更新 PWM 输出
1	PWM_EN[1:0]	1: 致能 PWM1 功能 0: 禁能 PWM1 功能
0		1: 致能 PWM0 功能 0: 禁能 PWM0 功能

-: 未能使用。

**PWM0 周期控制高字节缓存器 PWM0\_PRD[15:8] (外部内存地址: 0x51)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	PWM0_PRD[15:8]							

位编号	位符号	说明
7-0	PWM0_PRD[15:8]	PWM0_PRD[15:8]是设定 PWM0 的输出周期, 搭配 PWM0_PRD[7:0]组成 16 位的周期调整值。 PWM0 周期: 时钟源/ (PWM0_PRD[15:0]+1), 时钟源: 12 MHz IRC, DC ~ 24 MHz 石英晶体振荡器, 32 kHz IRC 和 32.768 kHz 石英晶体振荡器。

**PWM0 周期控制低字节缓存器 PWM0\_PRD[7:0] (外部内存地址: 0x52)**

复位值: 01h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	PWM0_PRD[7:0]							

位编号	位符号	说明
7-0	PWM0_PRD[7:0]	PWM0_PRD[7:0]是设定 PWM0 的输出周期, 搭配 PWM0_PRD[15:8]组成 16 位的周期调整值。 PWM0 周期: 时钟源/ (PWM0_PRD[15:0]+1), 时钟源: 12 MHz IRC, DC ~ 24 MHz 石英晶体振荡器, 32 kHz IRC 和 32.768 kHz 石英晶体振荡器。

**PWM0 占空比控制高字节寄存器 PWM0\_DUTY[15:8] (外部内存地址: 0x53)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	PWM0_DUTY[15:8]							

位编号	位符号	说明
7-0	PWM0_DUTY[15:8]	设定 PWM0 的占空比输出 PWM0_DUTY[15:8]是设定 PWM0 的占空比, 搭配 PWM0_DUTY[7:0]组成 16 位的占空比调整值。

注: 占空比输出的最大设定必须是合理的值。

**PWM0 占空比控制低字节寄存器 PWM0\_DUTY[7:0] (外部内存地址: 0x54)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	PWM0_DUTY[7:0]							

位编号	位符号	说明
7-0	PWM0_DUTY[7:0]	设定 PWM0 的占空比输出 PWM0_DUTY[7:0]是设定 PWM0 的占空比, 搭配 PWM0_DUTY[15:8]组成 16 位的占空比调整值。

注: 占空比输出的最大设定必须是合理的值。

**PWM1 周期控制高字节寄存器 PWM1\_PRD[15:8] (外部内存地址: 0x55)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	PWM1_PRD[15:8]							

位编号	位符号	说明
7-0	PWM1_PRD[15:8]	PWM1_PRD[15:0]是设定 PWM1 的输出周期, 搭配 PWM1_PRD[7:0]组成 16 位的周期调整值。 PWM1 周期: 时钟源/ (PWM1_PRD[15:0]+1), 时钟源: 12 MHz IRC, DC ~ 24 MHz 石英晶体振荡器, 32 kHz IRC 和 32.768 kHz 石英晶体振荡器。

**PWM1 周期控制低字节寄存器 PWM1\_PRD[7:0] (外部内存地址: 0x56)**

复位值: 01h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	PWM1_PRD[7:0]							

位编号	位符号	说明
7-0	PWM1_PRD[7:0]	PWM1_PRD[7:0]是设定 PWM1 的输出周期, 搭配 PWM1_PRD[15:8]组成 16 位的周期调整值。 PWM1 周期: 时钟源/ (PWM1_PRD[15:0]+1), 时钟源: 12 MHz IRC, DC ~ 24 MHz 石英晶体振荡器, 32 kHz IRC 和 32.768 kHz 石英晶体振荡器。

**PWM1 占空比控制高字节寄存器 PWM1\_DUTY[15:8] (外部内存地址: 0x57)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	PWM1_DUTY[15:8]							

位编号	位符号	说明
7-0	PWM1_DUTY[15:8]	设定 PWM1 的占空比输出 PWM1_DUTY[15:8]是设定 <b>PWM1</b> 的占空比, 搭配 PWM1_DUTY[7:0]组成 16 位的占空比调整值。

注: 占空比输出的最大设定必须是合理的值。

**PWM1 占空比控制低字节寄存器 PWM1\_DUTY[7:0] (外部内存地址: 0x58)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	PWM1_DUTY[7:0]							

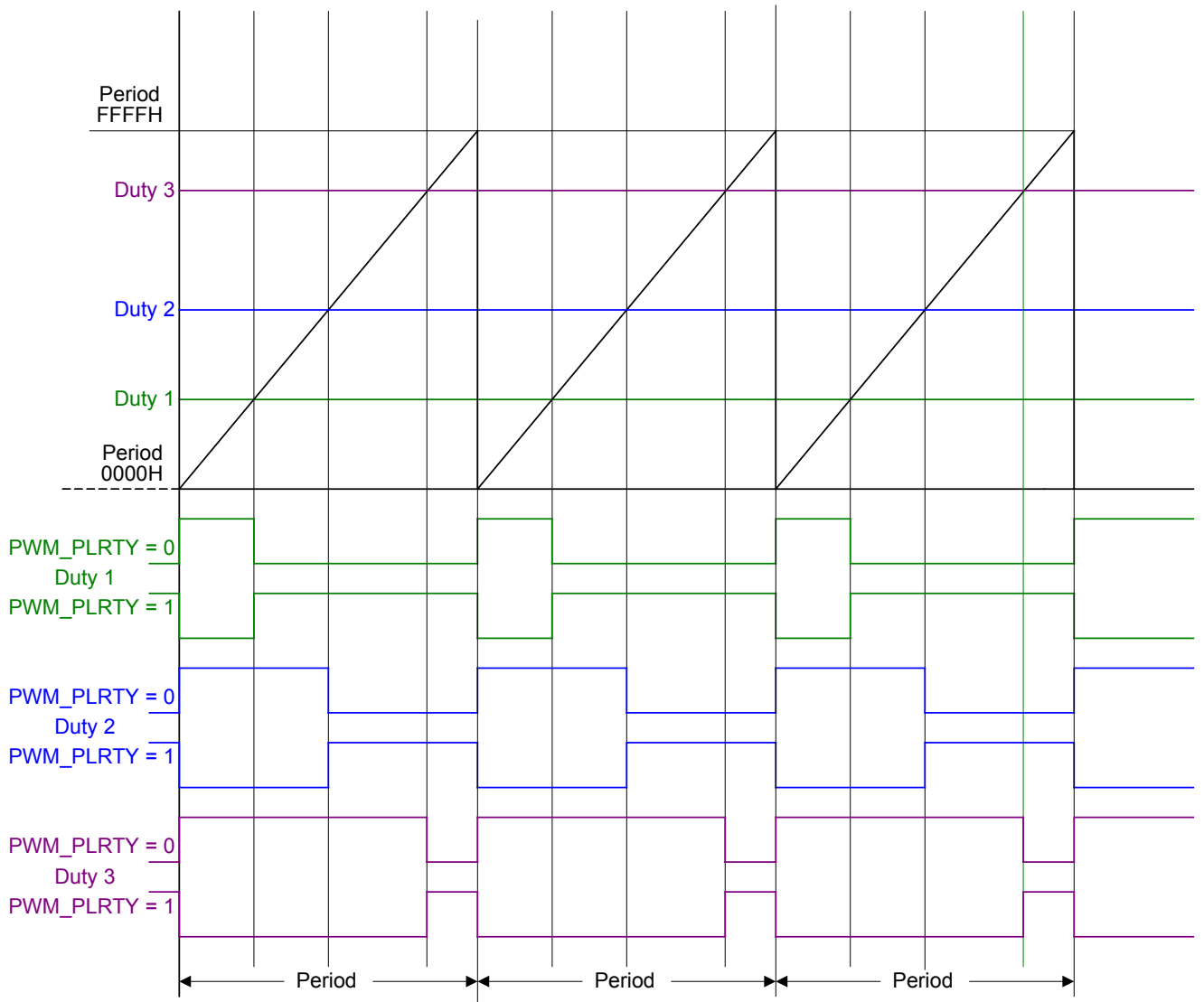
位编号	位符号	说明
7-0	PWM1_DUTY[7:0]	设定 PWM1 的占空比输出 PWM1_DUTY[7:0]是设定 <b>PWM1</b> 的占空比, 搭配 PWM1_DUTY[15:8]组成 16 位的占空比调整值。

注: 占空比输出的最大设定必须是合理的值。

PWM0/PWM1 Period 设定说明:

$$\text{Period} = \frac{\text{Source clock (if: IRC 12MHz)}}{\text{PWMx\_PRD} + 1}$$

PWMx_PRD	PWM 输出频率
1	6MHz (最大值)
3	3 MHz
11	1 MHz
23	500 kHz
59	200 kHz
119	100 kHz
239	50 kHz
599	20 kHz
1199	10 kHz
2399	5 kHz
2999	4 kHz
3999	3 kHz
5999	2 kHz
11999	1 kHz
23999	500 Hz
29999	400 Hz
39999	300 Hz
59999	200 Hz
65535	183.1 Hz (最小值)



## 6.7 电源管理

WT51F104 提供四种操作模式，如下：

- 高速正常模式 (Normal mode)
- 低速省电模式 (Green mode)
- 空闲模式 (Idle mode)
- 睡眠模式 (Sleep mode)

下图是四种操作模式的切换示意图：

Operating Mode	8052	Peripheral Clock	XTAL (12 MHz)	XTAL (32.768 kHz)	IRC (12 MHz)	IRC (32 kHz)	Power Consumption@5V	Note
Normal 1	on	on	off	off	on	on	3mA	*1
Normal 2	on	on	off	on	on	on	3mA	*2
Normal 3	on	on	on	off	off	off	3.5mA	*3
Green 1	on	on	off	off	off	on	17uA	*4 *6
Green 2	on	on	off	on	off	on	200uA	*5 *6
Idle 1	off	on	off	off	on	on	650uA	*7 *9 *12
Idle 2	off	off	off	off	on	on	500uA	*8 *9 *12
Sleep 1	off	off	off	off	off	off	300uA	*10 *12
Sleep 2	off	off	off	off	off	off	5uA	*11 *12

注：

1. LVD&LVDR 耗电流约 5uA@5V

2. LVR 耗电流约 5uA@5V

3. BLDO 耗电流 160uA@5V (只有在 Green 1 才可以关闭)

\*1 Normal 1 Mode: MCU 全部使用内部振荡器，故此模式最省成本，但 IRC 12 MHz 会受温度影响，请参考 7.5 章节。

\*2 Normal 2 Mode: 透过外部振荡器 32.768 kHz 来校正，IRC 12 MHz 可达到±1%。

\*3 Normal 3 Mode: 此模式针对高频准确的需求，因无外部 32.768 kHz 振荡器提供给实时定时器为系统参考源，故要实现万年历或时钟功能仅能使用 8052 定时器。

\*4 Green 1 Mode: 将 Source clock 选择内部 IRC 32 kHz 后，才可以手动关闭 main BLDO，让耗电流降低，至于内部 IRC 32 kHz 其频率误差为±30%。

\*5 **Green 2 Mode: Source clock** 也是选择内部 IRC 32 kHz 并且需手动开启外部晶体振荡器 32.768 kHz 的电源 (CRY\_32K\_PD), 因 main BLDO 控制整个外部振荡器的电源, 故 main BLDO 不可以关闭。另外实时定时器的系统参考源选择外部晶体振荡器 32.768 kHz, 并且将外部时钟源除频控制寄存器 (EN\_CRY\_DIV = 1 & CRY\_DIV[9:0]=1) 设定除 2, 此时实时定时器所选择的计时时间会延长一倍, 此模式为系统源为内部 IRC 32 kHz, 而实时定时器的系统参考源为外部晶体振荡器 32.768 kHz 除 2 为 16.384 kHz, , 才可以实现精确的万年历或时钟功能。

MCU 系统时钟源	实时定时器时钟源	耗电量	备注
IRC 32 kHz	IRC 32 kHz	< 20uA@5V	
IRC 32 kHz	Ext 32.768 kHz	< 220uA@5V	IRC 32 kHz ±30% This mode cannot capture the Interrupt Event of Watch Timer due to System Clock < Watch Timer Clock.
IRC 32 kHz	Ext 32.768 kHz / 2 = 16.384 kHz		EN_CRY_DIV = 1 & CRY_DIV[9:0] = 1
Ext 32.768 kHz	Ext 32.768 kHz	> 400uA@5V	

\*6 在 Green 1 模式下要切回 Normal x Mode 前需先开启 main BLDO 才可以将 Source clock 选择到内部 IRC 12 MHz 或外部振荡器 12 MHz 工作。

\*7 **Idle 1 Mode:** 致能 MCU\_CLK\_OFF 即进入 Idle 模式, 此模式唤醒快速且支持最多的唤醒源, 可参考下图唤醒源的示意图。

\*8 **Idle 2 Mode:** 致能 SYSTEM\_CLK\_OFF 即进入 Idle 模式, 此模式关闭 Peripheral Clock, 所以 MCU 无法使用 INT0/1/2\_WK 唤醒, 详细可参考下图唤醒源的示意图。

\*9 **Idle 1 及 Idle 2 Mode 的唤醒时间:** Source clock 为 12 MHz 的唤醒时间  $2 * (1/12 \text{ MHz}) = 166\text{ns}$ ; Source clock 为 32 kHz 的唤醒时间  $2 * (1/32 \text{ kHz}) = 62.5\mu\text{s}$ 。

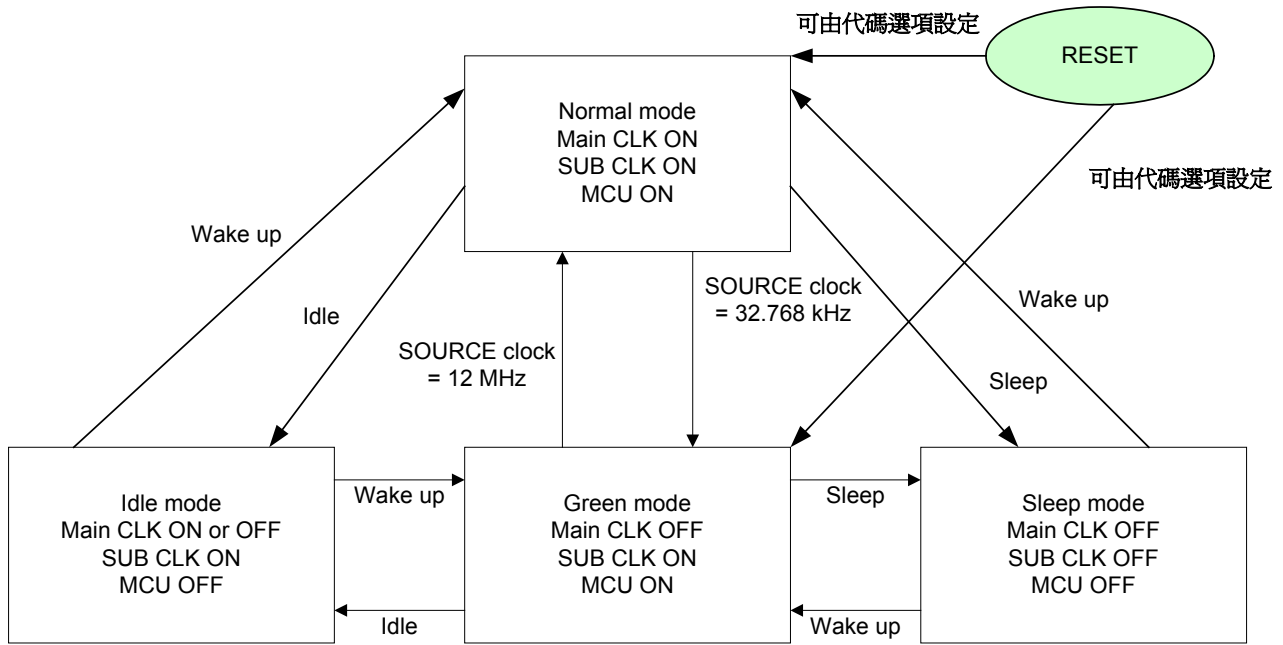
\*10 **Sleep 1 Mode.:** 此模式为针对 Source clock 在 IRC 12 MHz 下致能 IRC12M\_CLK\_OFF, 让 MCU 进入睡眠模式, 且支持快速唤醒, 唤醒时间为  $8 * (1/12 \text{ MHz}) = 666\text{ns}$ , 至于唤醒源可参考下图唤醒源的示意图。

\*11 **Sleep 2 Mode.:** 致能 SOURCE\_CLK\_OFF 即进入 Sleep 模式, 唤醒时间: Source clock 为 IRC 12 MHz 的唤醒时间  $128 * (1/12 \text{ MHz}) = 10.66\mu\text{s}$ ; Source clock 为外部晶振 12 MHz 的唤醒时间  $16 * 1024 * (1/12 \text{ MHz}) = 1360\mu\text{s}$ , 至于唤醒源可参考下图唤醒源的示意图。

\*12 在 Idle 及 Sleep 模式下采用实时定时器定时唤醒, 需开启副晶振荡器电源开关 (IRC\_32K\_PD 或 CRY\_32K\_PD) 来当作实时定时器定时的时钟源, 此时的耗电流也会增加。



下图为 MCU 工作模式图:



WT51F104 提供多种方式可唤醒，让 WT51F104 从 Sleep/Idle 模式回到 Normal 模式。

下图是各模式下唤醒源的示意图：

		Idle 1	Idle 2	Sleep Mode
SOURCE		MCU_CLK_OFF	SYSTEM_CLK_OFF	SOURCE_CLK_OFF IRC12M_CLK_OFF
NRST		○	○	○
GPIOx_WK[x]		○	○	○
INT0/1/2_WK	IE0/1/2_SPI	○	×	×
	IE0/1/2_MSIIC	○	×	×
	IE0/1/2_ADC	×	×	×
	IE0/1/2_ACOMP	○	×	×
	IE0/1/2_LVD	○	○	○
	IE0/1/2_WTMR	×	×	×
	IE0/1/2_ETIMER	○	×	×
	IE0/1/2_IN_TOG	○	○	○
INT3_WK	IRQ[15:0]	×	×	×
ADC_WK		○	○	○
ACOMP_WK		○	○	○
WTMR_WK		○	○	○

注：

1. GPIOx\_WK[x] 及 IE0/1/2\_IN\_TOG: 仅支援 18 根通用 I/O pin Toggle (GPIO A/B/C)。
2. IRQ[15:0]: IRQ 不支持唤醒，请使用 GPIOx\_WK[x]唤醒。
3. ADC\_WK: 针对输入源来作比较触发唤醒。
4. WTMR\_WK: 需开启副晶振 (IRC 32 kHz 或 Ext 32 kHz) 及副晶振荡器电源开关来当作实时定时器定时的时钟源。

**ISP 时钟源控制缓存器 ISP\_CHG\_CTL (外部内存地址: 0x04)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	-	读/写	读	-	-	读	读
名称	ISP_CHG_12M	保留	UART_ISP_CHG	ISP_CHG_FLAG	保留		LVD_RST_ACT_FLG	LVR_ACT_FLG

位编号	位符号	说明
7	ISP_CHG_12M	当 MCU 在低速省电及睡眠模式, ISP 脚位自动开启内部 12 MHz RC 振荡器 1: 致能 0: 禁能
6	保留	-
5	UART_ISP_CHG	UART 脚位 (GPIOA3) 触发 ISP 时钟源为内部 12 MHz RC 振荡器 1: 致能 0: 禁能
4	ISP_CHG_FLAG	ISP_CHG_FLAG = 1: MCU 被 SWUT 脚位强制唤醒, 自动开启内部 12 MHz RC 振荡器并且把 SOURCE clock 切换为 12 MHz。 清除 ISP_CHG_FLAG, 需将 ISP_CHG_12M 位设定为 0。
3-2	保留	-
1	LVD_RST_ACT_FLG	1: 电源电压 < 设定的低压侦测复位范围。(此旗标没有连接到模拟滤波器, 易受干扰, 仅供参考用)
0	LVR_ACT_FLG	1: 电源电压 < 内部的低压复位电压。(此旗标没有连接到模拟滤波器, 易受干扰, 仅供参考用)

-: 未能使用。

注: 当 Source clock 非 12 MHz 的应用时, 请将下述强制触发 SWUT 设定程序加到程序内, 可让 MCU 重复刻录。非 12 MHz 模式包括 Green、Sleep 模式或使用外部振荡器 (非 12 MHz), 可以致能 ISP\_CHG\_12M 及 UART\_ISP\_CHG 位让 MCU 透过 SWUT 脚位触发将 SOURCE clock 及 ISP clock 切到内部 12 MHz RC 振荡器, 这时 MCU 才能接收到正确的 ISP command。

强制触发 SWUT 设定程序:

1. 程序初始化致能 ISP\_CHG\_12M 及 UART\_ISP\_CHG 位。

```
rISP_CHG_CTL = 0xA0;
```

2. 程序主循环判断 ISP\_CHG\_FLAG 是否被触发, 并且针对 Sleep mode 增加一个软件唤醒机制, 可参考范例程序。

```
void DRV_CheckSwutTriggerWakeup(void)
{
    //If enable rISP_CHG_CTL of bit 7 and Bit.
    //When Swut pin have hi to low(2V) level, Mcu will change source clock to IRC 12 MHz
    if(rISP_CHG_CTL & 0x10)
    {
        DRV_SoftwareWakeup();
        //need delay 100ms(minimum) to wait ISP command, Don't remove this delay command
        DelayWhile(100); //This time MCU change source clock to IRC 12 MHz
        rISP_CHG_CTL = 0x00; //Disable ISP change clock. MCU go back to original setting
        rISP_CHG_CTL = 0xA0; //Enable ISP change clock
    }
}
```

**系统时钟源控制寄存器 SOURCE\_CLK\_SLT (外部内存地址: 0x05)**

复位值: A0h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	读/写	读/写	读/写	读/写
名称	保留				SOURCE_CLK_SLT[1:0]		MCU_CLK_SLT[1:0]	

位编号	位符号	说明
7-4	保留	必须等于"1010", 否则位[3:0]无法写入
3-2	SOURCE_CLK_SLT[1:0]	选择 SOURCE clock 来源 00: 内部 12 MHz RC 振荡器 (默认值) 01: 外部 DC ~ 24 MHz 石英晶体振荡器 10: 内部 32 kHz RC 振荡器 默认值可由 6.18 代码选项选择
1-0	MCU_CLK_SLT[1:0]	MCU clock 设定 00: MCU clock = SOURCE clock (默认值) 01: MCU clock = SOURCE clock / 2 10: MCU clock = SOURCE clock / 4 11: MCU clock = SOURCE clock / 12

-: 未能使用。

注:

- 因外部晶振脚位同时支持 12 MHz 及 32.768 kHz 石英晶体振荡器的缘故, 所以当 SOURCE clock 为外部 32.768 kHz 石英晶体振荡器时, 不可以将 BLDO\_PD 关闭, 否则会使 SOURCE clock 停止工作且无法刻录, 可选择 SOURCE clock 为内部 32 kHz RC 振荡器, 搭配实时定时器选择外部 32.768 kHz 石英晶体振荡器来操作。
- 当 SOURCE clock 为内部 32 kHz RC 振荡器且实时定时器的系统时钟源是选择外部 32.768 kHz 石英晶体振荡器时, 会因内部 32 kHz RC 振荡器误差太大, 执行速度比实时定时器产生的中断慢, 而无法实时捕捉到中断源, 所以在此模式下, 需要将外部时钟源除频控制寄存器 1 及外部时钟源除频控制寄存器 2 设定为除 2, 将实时定时器的时钟源除 2 为 16.384 kHz, 此时实时定时器所选择的时间都会增加一倍的计数时间, 这时 MCU 才能完全捕捉不会漏掉。

设定外部时钟源除 2 流程:

- 设定除频数据:  $CRY\_DIV[9:0] = 1, 32.768 \text{ kHz} / (CRY\_DIV[9:0] + 1) = 32.768 \text{ kHz} / 2 = 16.384 \text{ kHz}$
- 致能外部石英晶体振荡器之时钟源除频:  $EN\_CRY\_DIV = 1$

**省电控制寄存器 POWER\_SAVE\_CTL (外部内存地址: 0x06)**

复位值: 50h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	读/写	读/写	读/写	读/写
名称	保留				MCU_CLK_OFF	SYSTEM_CLK_OFF	SOURCE_CLK_OFF	IRC12M_CLK_OFF

位编号	位符号	说明
7-4	-	必须等于"0101", 否则位[3:0]无法写入
3	MCU_CLK_OFF	1: MCU clock 关闭 (包含 MCU 与部份周边硬件), MCU 需等待 2 个 MCU clock 才可工作 0: MCU clock 开启
2	SYSTEM_CLK_OFF	1: System clock 关闭 (包含 MCU 与全部周边硬件), MCU 需等待 2 个 MCU clock 才可工作 0: MCU clock 开启

位编号	位符号	说明
1	SOURCE_CLK_OFF (bias OFF)	1: SOURCE clock 关闭 SOURCE clock 来源: (MCU clock 全部关闭且 bias OFF) 为外部 24 MHz 或 32.768 kHz 石英晶体振荡器, MCU 需等待 1024 个 SYSTEM clock 才可工作 为内部 24 MHz 或 32 kHz RC 振荡器, MCU 需等待 128 个 SYSTEM clock 才可工作 0: MCU clock 开启
0	IRC12M_CLK_OFF (bias ON)	1: 内部 12 MHz RC 振荡器关闭但 bias ON, MCU 需等待 8 个 SYSTEM clock 才可工作 0: MCU clock 开启

∴ 未能使用。

注: 请参考 3.1 章节系统时钟方块图。

**时钟源开关控制缓存器 IRC\_12M\_PD (外部内存地址: 0x07)**
**复位值: A2h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	读/写	读/写	读/写	读/写	-
名称	保留			IRC_12M_PD1	IRC_12M_PD2	IRC_32K_PD	CRY_12M_PD	保留

位编号	位符号	说明
7-5	-	必须等于"101", 否则位[4:0]无法写入
4	IRC_12M_PD1	1: 内部 12 MHz RC 振荡器部份电源关闭 (默认值不关闭) 0: 不关闭
3	IRC_12M_PD2	1: 内部 12 MHz RC 振荡器全部电源关闭 (默认值不关闭) 0: 不关闭
2	IRC_32K_PD	1: 内部 32 kHz RC 振荡器电源关闭 (默认值不关闭) 0: 不关闭
1	CRY_12M_PD	1: 外部 12 MHz ~ 32 kHz 石英晶体振荡器电源关闭 (默认值关闭) 0: 不关闭
0	保留	-

∴ 未能使用。

**振荡器驱动控制缓存器 CRY\_12M\_DR[1:0] (外部内存地址: 0x08)**
**复位值: 54h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	-	读/写	读/写	读/写
名称	保留				保留	CRY_12M_DR[1:0]	BLDO_PD	

位编号	位符号	说明
7-4	保留	必须等于"0101", 否则位[3:0]无法写入
3	保留	-
2-1	CRY_12M_DR[1:0]	外部石英晶体振荡器驱动能力设定 00: 频率为小于 100 kHz 之晶体振荡器 01: 频率为 100 kHz ~ 1 MHz 之晶体振荡器 10: 频率为 1 MHz ~ 12 MHz 之晶体振荡器 (默认值) 11: 频率为 12 MHz ~ 24 MHz 之晶体振荡器

位编号	位符号	说明
		默认值可由 6.18 代码选项选择
0	BLDO_PD	内部稳压器 (main LDO) 1: 关闭 main LDO 0: 开启 main LDO (默认值) 默认值可由 6.18 代码选项选择

-: 未能使用。

注: main LDO 关闭仅针对 Green 模式, 如果 SOURCE clock 为 12 MHz (IRC 内部或外部晶振) 都必须开启, 否则会造成工作异常且不能刻录。

注: 因 WT51F104 仅支持一组外部振荡器输入, 须根据外部石英晶体振荡器的频率来设定振荡器的驱动能力, 详细请参考下表。

外部石英晶体振荡器	CRY_12M_DR[1:0]
24 MHz	11
12 MHz	10
32.768 kHz	00

通用 I/O 端口 A 唤醒控制缓存器 GPIOA\_WK[5:0] (外部内存地址: 0x60)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOA_WK[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOA_WK[5:0]	通用 I/O 端口 A 唤醒 MCU 致能设定 Bit 5 = 1: 致能通用 I/O 端口 A5 唤醒 MCU 之功能, 为"0"禁能 Bit 4 = 1: 致能通用 I/O 端口 A4 唤醒 MCU 之功能, 为"0"禁能 Bit 3 = 1: 致能通用 I/O 端口 A3 唤醒 MCU 之功能, 为"0"禁能 Bit 2 = 1: 致能通用 I/O 端口 A2 唤醒 MCU 之功能, 为"0"禁能 Bit 1 = 1: 致能通用 I/O 端口 A1 唤醒 MCU 之功能, 为"0"禁能 Bit 0 = 1: 致能通用 I/O 端口 A0 唤醒 MCU 之功能, 为"0"禁能

-: 未能使用。

通用 I/O 端口 B 唤醒控制缓存器 GPIOB\_WK[5:0] (外部内存地址: 0x61)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOB_WK[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOB_WK[5:0]	通用 I/O 端口 B 触发唤醒 MCU 致能设定 Bit 5 = 1: 致能通用 I/O 端口 B5 触发唤醒 MCU 之功能, 为"0"禁能 Bit 4 = 1: 致能通用 I/O 端口 B4 触发唤醒 MCU 之功能, 为"0"禁能 Bit 3 = 1: 致能通用 I/O 端口 B3 触发唤醒 MCU 之功能, 为"0"禁能

位编号	位符号	说明
		Bit 2 = 1: 致能通用 I/O 端口 B2 触发唤醒 MCU 之功能, 为"0"禁能 Bit 1 = 1: 致能通用 I/O 端口 B1 触发唤醒 MCU 之功能, 为"0"禁能 Bit 0 = 1: 致能通用 I/O 端口 B0 触发唤醒 MCU 之功能, 为"0"禁能

∴ 未能使用。

**通用 I/O 端口 C 唤醒控制寄存器 GPIOC\_WK[5:0] (外部内存地址: 0x62)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留		GPIOC_WK[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOC_WK[5:0]	通用 I/O 端口 C 触发唤醒 MCU 致能设定 Bit 5 = 1: 致能通用 I/O 端口 C5 触发唤醒 MCU 之功能, 为"0"禁能 Bit 4 = 1: 致能通用 I/O 端口 C4 触发唤醒 MCU 之功能, 为"0"禁能 Bit 3 = 1: 致能通用 I/O 端口 C3 触发唤醒 MCU 之功能, 为"0"禁能 Bit 2 = 1: 致能通用 I/O 端口 C2 触发唤醒 MCU 之功能, 为"0"禁能 Bit 1 = 1: 致能通用 I/O 端口 C1 触发唤醒 MCU 之功能, 为"0"禁能 Bit 0 = 1: 致能通用 I/O 端口 C0 触发唤醒 MCU 之功能, 为"0"禁能

∴ 未能使用。

**周边中断唤醒控制寄存器 PERIPHERAL\_WK (外部内存地址: 0x64)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	-
名称	INT_WK[3:0]				ADC_WK	ACOMP_WK	WTMR_WK	保留

位编号	位符号	说明
7-4	INT_WK[3:0]	外部 8052 INT0/1/2/3 唤醒 MCU 致能设定 Bit 7 = 1: 致能 8052 INT3 唤醒 MCU 之功能, 为"0"禁能 Bit 6 = 1: 致能 8052 INT2 唤醒 MCU 之功能, 为"0"禁能 Bit 5 = 1: 致能 8052 INT1 唤醒 MCU 之功能, 为"0"禁能 Bit 4 = 1: 致能 8052 INT0 唤醒 MCU 之功能, 为"0"禁能
3	ADC_WK	ADC 比较模式唤醒 MCU 致能设定 1: 致能 ADC 比较完成后唤醒 MCU 之功能 0: 禁能 ADC 比较完成后唤醒 MCU 之功能
2	ACOMP_WK	比较器唤醒 MCU 致能设定 1: 致能比较器触发后唤醒 MCU 之功能 0: 禁能比较器触发后唤醒 MCU 之功能
1	WTMR_WK	实时定时器唤醒 MCU 致能设定 1: 致能实时定时器触发后唤醒 MCU 之功能 0: 禁能实时定时器触发后唤醒 MCU 之功能
0	保留	-

∴ 未能使用。

**通用 I/O 端口 A 唤醒旗标寄存器 GPIOA\_TOG[5:0] (外部内存地址: 0x65)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读	读	读	读	读	读
名称	保留		GPIOA_TOG[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOA_TOG[5:0]	通用 I/O 端口 A 触发唤醒旗标, 若产生唤醒, 则旗标位 = 1 Bit 5: I/O 端口 A5 唤醒旗标 Bit 4: I/O 端口 A4 唤醒旗标 Bit 3: I/O 端口 A3 唤醒旗标 Bit 2: I/O 端口 A2 唤醒旗标 Bit 1: I/O 端口 A1 唤醒旗标 Bit 0: I/O 端口 A0 唤醒旗标

-: 未能使用。

**通用 I/O 端口 B 唤醒旗标寄存器 GPIOB\_TOG[5:0] (外部内存地址: 0x66)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读	读	读	读	读	读
名称	保留		GPIOB_TOG[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOB_TOG[5:0]	通用 I/O 端口 B 触发唤醒旗标, 若产生唤醒, 则旗标位 = 1 Bit 5: I/O 端口 B5 唤醒旗标 Bit 4: I/O 端口 B4 唤醒旗标 Bit 3: I/O 端口 B3 唤醒旗标 Bit 2: I/O 端口 B2 唤醒旗标 Bit 1: I/O 端口 B1 唤醒旗标 Bit 0: I/O 端口 B0 唤醒旗标

-: 未能使用。

**通用 I/O 端口 C 唤醒旗标寄存器 GPIOC\_TOG[5:0] (外部内存地址: 0x67)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	读	读	读	读	读	读
名称	保留		GPIOC_TOG[5:0]					

位编号	位符号	说明
7-6	保留	-
5-0	GPIOC_TOG[5:0]	通用 I/O 端口 C 触发唤醒旗标, 若产生唤醒, 则旗标位 = 1 Bit 5: I/O 端口 C5 唤醒旗标 Bit 4: I/O 端口 C4 唤醒旗标 Bit 3: I/O 端口 C3 唤醒旗标 Bit 2: I/O 端口 C2 唤醒旗标 Bit 1: I/O 端口 C1 唤醒旗标



位编号	位符号	说明
		Bit 0: I/O 端口 C0 唤醒旗标

-: 未能使用。

**周边中断唤醒旗标缓存器 PERIPHERAL\_TOG (外部内存地址: 0x69)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	-
名称	INT_WK_EVT [3:0]				ADC_TOG	ACOMP_TOG	WTMR_EVT	保留

位编号	位符号	说明
7-4	INT_WK_EVT[3:0]	中断唤醒旗标 Bit 7 = 1: MCU 是由 INT3 中断唤醒 Bit 6 = 1: MCU 是由 INT2 中断唤醒 Bit 5 = 1: MCU 是由 INT1 中断唤醒 Bit 4 = 1: MCU 是由 INTO 中断唤醒
3	ADC_TOG	ADC 触发比较模式 (唤醒) 旗标 1: ADC 比较模式发生触发 (唤醒) 0: ADC 比较模式未发生触发 (唤醒)
2	ACOMP_TOG	比较器触发 (唤醒) 旗标 1: 比较器发生触发 (唤醒) 0: 比较器未发生触发 (唤醒)
1	WTMR_EVT	实时定时器触发 (唤醒) 旗标 1: 实时定时器发生触发 (唤醒) 0: 实时定时器未发生触发 (唤醒)
0	保留	-

-: 未能使用。

**唤醒清除缓存器 CLR\_IN\_TOG (外部内存地址: 0x6A)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	写	-	-	-	-	-	-	读
名称	CLR_IN_TOG	保留						IN_TOG

位编号	位符号	说明
7	CLR_IN_TOG	1: 清除所有输入触发唤醒
6-1	保留	-
0	IN_TOG	1: 所有的通用 I/O 端口触发唤醒旗标

-: 未能使用。

**进入睡眠模式及唤醒的设定程序:**

1. 设定 RST\_NDF = 1
2. 禁能看门狗定时器 (DIS\_WDT[7:5] = 101)
3. 选择唤醒的来源

来源		Sleep Mode	Idle Mode	
		No Clock	Sub: 32 kHz	Main: 12 MHz
1.	NRST 脚位为低电位	●	●	●
2.	外部中断 INT0/1/2 来源			
	> SPI 中断			●
	> 比较器中断			●
	> 低压侦测中断	●	●	●
	> 实时定时器中断		●	●
	> 增强型计时/计数中断			●
	> 18 根通用 I/O pin Toggle 中断			●
3.	外部中断 INT3 来源 (GPIO A/B/C)			
	> 16 根 IRQ 中断			●
4.	18 根通用 I/O pin Toggle (GPIO A/B/C)	●	●	●
5.	ADC_WK (Compare Mode)	●	●	●
6.	ACOMP_WK	●	●	●
7.	WTMR_WK	●	●	●

4. 清除所有输入触发唤醒 (CLR\_IN\_TOG = 1)
5. 将 SOURCE clock 选择内部 12 MHz RC 振荡器 (SOURCE\_CLK\_SLT[1:0] = 00)
6. 进入睡眠电模式 (SOURCE\_CLK\_OFF = 1)
7. 等待唤醒触发

SOURCE clock 为 IRC 12M, 需要等待 128 clock 才可回主程序工作

SOURCE clock 为 Crystal, 需要等待 16 x 1024 clock 才可回主程序工作

## 6.8 12 MHz RC 振荡器校正

WT51F104 内建 12 MHz RC 振荡器，可减少外挂石英晶体振荡器的成本，但如果要较精确的系统时钟，除了利用外部石英晶体振荡器 12 MHz 之外，使用 32.768 kHz (石英晶体振荡器) 来校正内部 RC 12 MHz 振荡器，也是一种较佳的选择 (校正可以达到  $\pm 1\%$  在  $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ )。

内部振荡调整缓存器 RC\_LADJ (外部内存地址: 0x70)

复位值: 40h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	保留	RC_LADJ_C[2:0]			RC_LADJ_F[3:0]			

位编号	位符号	说明
7	保留	-
6-4	RC_LADJ_C[2:0]	内部 RC 振荡频率每一阶 8%粗调 (默认值'100'), 共有 7 阶
3-0	RC_LADJ_F[3:0]	内部 RC 振荡频率每一阶 0.5%细调 (默认值'1000'), 共有 15 阶

-: 未能使用。

注: 内部振荡调整缓存器 RC\_LADJ\_C[2:0]及 RC\_LADJ\_F[3:0]直接调整 IRC 12 MHz 的控制电路。

内部振荡计数数据高字节缓存器 RC12M\_CNT[9:2] (外部内存地址: 0x71)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	RC12M_CNT[9:2]							

位编号	位符号	说明
7-0	RC12M_CNT[9:2]	内部 12 MHz RC 振荡器的计数值 RC12M_CNT [9:2], 搭配 RC12M_CNT[1:0] 组成 10 位计数值

内部振荡计数数据低字节缓存器 RC12M\_CNT[1:0] (外部内存地址: 0x72)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	-	-	读	读
名称	保留						RC12M_CNT[1:0]	

位编号	位符号	说明
7-2	保留	-
1-0	RC12M_CNT[1:0]	内部 12 MHz RC 振荡器的计数值 RC12M_CNT [1:0], 搭配 RC12M_CNT[9:2]组成 10 位计数值

-: 未能使用。

内部振荡校正控制寄存器 RC\_CALIB\_EN (外部内存地址: 0x73)

复位值: 00h

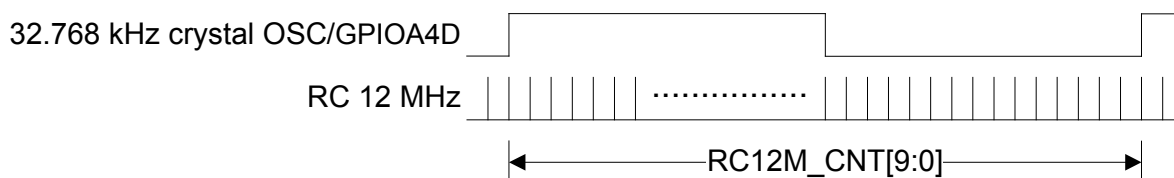
位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	-	读/写	-	-	-	-	-
名称	RC_CALIB_EN	保留	AUTO_CAL_EN	保留				

位编号	位符号	说明
7	RC_CALIB_EN	1: 致能 RC 振荡器校正功能
6	保留	-
5	AUTO_CAL_EN	1: 致能 H/W 自动更正功能
4-0	保留	-

-: 未能使用。

注: 手动校正: 致能 RC\_CALIB\_EN, 并且搭配 Firmware 调整。

自动更正: 致能 RC\_CALIB\_EN 及 AUTO\_CAL\_EN。



### 校正原理:

当外部采用 32.768 kHz 振荡器, 可利用内部 RC 12 MHz 在一个精准的 32.768 kHz 的固定宽度计数个数, 所得到的计数值, 再经由控制内部振荡调整寄存器 RC\_LADJ\_C[2:0]及 RC\_LADJ\_F[3:0]去作补偿, 在室温下达到  $\pm 1\%$  的标准。

### 校正粗调及细调的范围:

粗调: 目前内部 RC 频率  $\pm$  (内部 RC 频率 \* 0.08); RC\_LADJ\_C[2:0]共有 000 ~ 111, 中间值为 100。

细调: 目前内部 RC 频率  $\pm$  (内部 RC 频率 \* 0.005); RC\_LADJ\_F[3:0]共有 0000 ~ 1111, 中间值为 1000。

RC12M_CNT[9:0]	外挂 32.768 kHz 取样 (Hz)	目标值 (Hz)	误差 %
360	11796480	12000000	+1.70
361	11829248	12000000	+1.42
362	11862016	12000000	+1.15
363	11894784	12000000	+0.88
364	11927552	12000000	+0.60
365	11960320	12000000	+0.33
366	11993088	12000000	+0.06
367	12025856	12000000	-0.22
368	12058624	12000000	-0.49
369	12091392	12000000	-0.76
370	12124160	12000000	-1.03

注:

1. WT51F104 从睡眠中被唤醒时，RC 振荡器校正功能至少需要等待 83.3ns (在 12 MHz)，才可以正常工作。
2. 当致能 RC 振荡器校正功能后，必须读取 RC12M\_CNT[9:2]及 RC12M\_CNT[1:0]寄存器两次，并且确认数据相同才可进行校正。
3. 当 RC12M\_CNT[9:0] 内部振荡计数数据寄存器为 511 (0x1FF)，表示没有外部振荡器或是没有致能外部振荡器。
4. 当系统复位时，WT51F104 会自动加载 RC 12 MHz 振荡器的校正值到内部振荡调整寄存器 0x70。
5. 当致能 AUTO\_CAL\_EN 且 MCU 的外部 32.768 kHz 振荡器也起振，MCU 会每 30.5us 自动更正一次。  
(条件: CRY\_12M\_PD、IRC\_12M\_PD1 及 IRC\_12M\_PD2 不可关闭)

## 6.9 看门狗定时器与实时定时器

### 6.9.1 看门狗定时器 (WDT)

看门狗定时器可迅速发现 CPU 的故障，比如由噪声或、电源干扰，或断电等导致软件死循环，进而使 CPU 恢复正常状态。当看门狗定时器的内部计数器溢出时会产生复位讯号，并将 CPU 复位。

看门狗定时器不同于通用的 8052 的定时器 0/1/2，为了防止看门狗定时器产生复位，可以透过软件定时清除看门狗计数器。当不可预料的复位发生时，用户应该检查复位旗标缓存器的 WDT\_RST\_FLG 位，来判断上次是否是由看门狗产生的复位。

- 看门狗定时器的时钟来源: 内部 32 kHz 或 外部 32.768 kHz 石英晶体振荡器
- 重置时间: 16 ms、32 ms、1.024 S、2.048 S

看门狗定时控制缓存器 WDT\_CTL (外部内存地址: 0x78)

复位值: 02h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	-	-	-	读/写	读/写
名称	DIS_WDT[2:0]			保留			WDT_TM_SLT[1:0]	

位编号	位符号	说明
7-5	DIS_WDT[2:0]	看门狗定时器开关 101: 禁能看门狗定时器同时清除计数 其它值: 致能看门狗定时器
4-2	保留	-
1-0	WDT_TM_SLT[1:0]	看门狗复位时间设定 当看门狗使用内部 RC 32 kHz 振荡器: 00: 16 ms 01: 32 ms 10: 1.024 S 11: 2.048 S  当看门狗使用外部 32.768 kHz 石英晶体振荡器: 00: 15.625 ms 01: 31.25 ms 10: 1 S 11: 2 S

-: 未能使用。

注意:

1. 内部 32 kHz RC 振荡器的频率误差约为  $\pm 30\%$ 。
2. 看门狗定时器的时钟源可由系统控制缓存器 (外部内存地址: 0x01) 的 WDT\_CLK\_SLT 来选择，细节描述在后。

**系统控制缓存器 SYS\_CTL (外部内存地址: 0x01)**

复位值: 80h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	-			读/写	读/写
名称	RST_NDF	LVR_PD	EN_PC_OVL_RST	保留			WDT_CLK_SLT	WTMR_CLK_SLT

位编号	位符号	说明
7	RST_NDF	1: NRST 脚位没有数字滤波功能 0: NRST 脚位有数字滤波功能 (4 个 clock)
6	LVR_PD	1: 关闭低压复位电源 0: 开启低压复位电源
5	EN_PC_OVL_RST	1: 致能程序计数器溢位复位 0: 禁能程序计数器溢位复位
4-2	保留	-
1	WDT_CLK_SLT	1: 看门狗定时器使用外部 12 MHz ~ 32 kHz 石英晶体振荡器 0: 看门狗定时器使用内部 32 kHz RC 振荡器
0	WTMR_CLK_SLT	1: 实时定时器使用外部 12 MHz ~ 32 kHz 石英晶体振荡器 0: 实时定时器使用内部 32 kHz RC 振荡器

-: 未能使用。

注: 当 WDT\_CLK\_SLT = 1 或 WTMR\_CLK\_SLT = 1 时, 必须同时致能 EN\_CRY\_DIV 并且设定 CRY\_DIV[9:0], 让看门狗定时器及实时定时器使用准确的时钟源 32 kHz。

**外部时钟源除频控制缓存器 1 CRY\_DIV[9:8] (外部内存地址: 0x09)**

复位值: 01h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	-	-	-	-	-	读/写	读/写
名称	EN_CRY_DIV	保留					CRY_DIV[9:8]	

位编号	位符号	说明
7	EN_CRY_DIV	1: 致能外部石英晶体振荡器之时钟源除频 0: 禁能外部石英晶体振荡器之时钟源除频
6-2	保留	-
1-0	CRY_DIV[9:8]	外部石英晶体振荡器之时钟源除频数据[9:8], 搭配 CRY_DIV[7:0]组成 10 位除频数据

-: 未能使用。

**外部时钟源除频控制缓存器 2 CRY\_DIV[7:0] (外部内存地址: 0x0A)**

复位值: 76h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	CRY_DIV[7:0]							

位编号	位符号	说明
7-0	CRY_DIV[7:0]	外部石英晶体振荡器之时钟源除频数据[7:0], 搭配 CRY_DIV[9:8]组成 10 位除频数据

**注: 当致能 EN\_CRY\_DIV 时, CRY\_DIV[9:0]不可以为零, 会导致 MCU 无法工作。**

举例:

1. 当SOURCE clock选择外部24 MHz 石英晶体振荡器，且看门狗定时器及实时定时器要使用频率误差较低的时钟源，须致能外部时钟源除频控制缓存器及除频数据。
  1. 设定除频数据:  $CRY\_DIV[9:0] = 731$ ,  $24\text{ MHz} / (CRY\_DIV[9:0] + 1) = 24\text{ MHz} / 732 = 32.768\text{ kHz}$
  2. 致能外部石英晶体振荡器之时钟源除频:  $EN\_CRY\_DIV = 1$
  3. 选择看门狗定时器及实时定时器的时钟源为外部振荡器:  $WDT\_CLK\_SLT = 1$ ;  $WTMR\_CLK\_SLT = 1$
  
2. 当SOURCE clock选择外部12 MHz 石英晶体振荡器，且看门狗定时器及实时定时器要使用频率误差较低的时钟源，须致能外部时钟源除频控制缓存器及除频数据。
  1. 设定除频数据:  $CRY\_DIV[9:0] = 365$ ,  $12\text{ MHz} / (CRY\_DIV[9:0] + 1) = 12\text{ MHz} / 366 = 32.768\text{ kHz}$
  2. 致能外部石英晶体振荡器之时钟源除频:  $EN\_CRY\_DIV = 1$
  3. 选择看门狗定时器及实时定时器的时钟源为外部振荡器:  $WDT\_CLK\_SLT = 1$ ;  $WTMR\_CLK\_SLT = 1$
  
3. 当SOURCE clock选择内部32 kHz，且看门狗定时器及实时定时器要使用外部32.768 kHz 石英晶体振荡器来当时钟源，须致能外部时钟源除频控制缓存器及除频数据。
  1. 设定除频数据:  $CRY\_DIV[9:0] = 1$ ,  $32.768\text{ kHz} / (CRY\_DIV[9:0] + 1) = 32.768\text{ kHz} / 2 = 16.384\text{ kHz}$
  2. 致能外部石英晶体振荡器之时钟源除频:  $EN\_CRY\_DIV = 1$
  3. 选择看门狗定时器及实时定时器的时钟源为外部振荡器:  $WDT\_CLK\_SLT = 1$ ;  $WTMR\_CLK\_SLT = 1$



### 6.9.2 实时定时器 (Watch Timer)

实时定时器的应用功能包括: 定时中断、定时唤醒、定时模/数转换等功能。

- 实时定时器的时钟源为 32 kHz 内部 RC 振荡器或 32.768 kHz 外部振荡器。利用此时钟源, 可以产生八组基准时间

实时定时器控制寄存器 **WTMR\_CTL** (外部内存地址: **0x7C**)

复位值: **80h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读	写	-	-	-	-	-
名称	DIS_WTMR	WTMR_EVT	CLR_WTMR_EVT	保留				

位编号	位符号	说明
7	DIS_WTMR	1: 禁能实时定时器 0: 致能实时定时器
6	WTMR_EVT	1: 表示产生实时定时器事件 (实时定时器计数到 WTMR[2:0]的设定时间) 0: 硬件自动设定为 0, 当 CLR_WTMR_EVT = 1
5	CLR_WTMR_EVT	1: 清除实时定时器事件, 使 WTMR_EVT = 0
4-0	保留	-

-: 未能使用。

实时定时器速度选择寄存器 **WTMR\_SLT[2:0]** (外部内存地址: **0x7D**)

复位值: **00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	-	读/写	读/写	读/写
名称	保留					WTMR_SLT[2:0]		

位编号	位符号	说明
7-3	保留	-
2-0	WTMR_SLT[2:0]	实时定时器时间基础选择位 (若要精准, 建议采用外部石英晶体振荡器 12 MHz or 32.768 kHz, 请参考 6.9.1 章节) 000: watch time = 3.91 ms 001: watch time = 31.25 ms 010: watch time = 62.50 ms 011: watch time = 125 ms 100: watch time = 0.25 S 101: watch time = 0.5 S 110: watch time = 1 S 111: watch time = 2 S

-: 未能使用。

## 6.10 I<sup>2</sup>C 串行界面

I<sup>2</sup>C 模块使用 SCL (时钟) 和 SDA (数据) 线来联系其它的 I<sup>2</sup>C 接口, 其速度可以由软件设定特殊缓存器 (XFR) 中的 MI<sup>2</sup>C\_CLK[1:0], 从而使其高达 400KBpS (最大值)。

I<sup>2</sup>C 模块可以提供主/从机模式, 可由缓存器来设定。

主/从机 I<sup>2</sup>C 控制缓存器 MI<sup>2</sup>C\_CTL (外部内存地址: 0xA0)

复位值: 40h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	写	写	读/写	写	写
名称	MI <sup>2</sup> C_EN	MI <sup>2</sup> C_CLK[1:0]	MI <sup>2</sup> C_START	MI <sup>2</sup> C_STOP	MI <sup>2</sup> C_TXNAK	MI <sup>2</sup> C_CLR_RT	MI <sup>2</sup> C_CLR_STP	MI <sup>2</sup> C_CLR_STP

位编号	位符号	说明
7	MI <sup>2</sup> C_EN	1: 致能 I <sup>2</sup> C 功能 0: 禁能 I <sup>2</sup> C 功能
6-5	MI <sup>2</sup> C_CLK[1:0]	I <sup>2</sup> C 速度段位选择位 00: SCL clock = 400 kHz 在 12 MHz 晶振下 01: SCL clock = 200 kHz 在 12 MHz 晶振下 10: SCL clock = 100 kHz 在 12 MHz 晶振下 11: SCL clock = 50 kHz 在 12 MHz 晶振下
4	MI <sup>2</sup> C_START	1: 致能 I <sup>2</sup> C 传送开始位 0: 禁能 I <sup>2</sup> C 传送开始位
3	MI <sup>2</sup> C_STOP	1: 致能 I <sup>2</sup> C 传送停止位 0: 禁能 I <sup>2</sup> C 传送停止位
2	MI <sup>2</sup> C_TXNAK	主机模式下在接收下笔数据前的应答位 1: 传送 NACK 0: 传送 ACK
1	MI <sup>2</sup> C_CLR_RT	1: 清除传送及接收中断
0	MI <sup>2</sup> C_CLR_STP	1: 清除从机模式停止状态中断

注: 如果更改主机 I<sup>2</sup>C 速度, 需要等待 10us (SOURCE clock 为 12 MHz), 给内部的参考时钟稳定, 才可以让主机 I<sup>2</sup>C 开始工作。

主/从机 I<sup>2</sup>C 状态缓存器 MI<sup>2</sup>C\_STA (外部内存地址: 0xA1)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	-
名称	MI <sup>2</sup> C_RDY	MI <sup>2</sup> C_INT_RT	MI <sup>2</sup> C_INT_STOP	MI <sup>2</sup> C_BB	MI <sup>2</sup> C_FIRST	MI <sup>2</sup> C_RW	MI <sup>2</sup> C_RXNAK	保留

位编号	位符号	说明
7	MI <sup>2</sup> C_RDY	接收/传输第九位或从机模式接收到停止位的中断发生
6	MI <sup>2</sup> C_INT_RT	接收/传输第九位中断发生状态位
5	MI <sup>2</sup> C_INT_STOP	从机模式接收到停止位中断发生
4	MI <sup>2</sup> C_BB	从机模式线路忙碌状态位
3	MI <sup>2</sup> C_FIRST	从机模式的接收第一个字节状态位, 这是第一个字节从主机 I <sup>2</sup> C 与特定从机地址。
2	MI <sup>2</sup> C_RW	从机模式的读/写模式状态位 (第一个字节的第八位) 1: 从机 I <sup>2</sup> C 为传送模式 0: 从机 I <sup>2</sup> C 为接收模式

位编号	位符号	说明
1	MI <sup>2</sup> C_RXNAK	从机传输模式应答状态位 1: 主机回复 NACK 0: 主机回复 ACK
0	保留	-

-: 未能使用

**主/从机 I<sup>2</sup>C 传送缓冲寄存器 MI<sup>2</sup>C\_DSLV[7:0] (外部内存地址: 0xA2)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	MI <sup>2</sup> C_DSLV[7:0]							

位编号	位符号	说明
7-0	MI <sup>2</sup> C_DSLV[7:0]	主机模式下所要传输的从机地址

**主/从机 I<sup>2</sup>C 传送及接收缓冲寄存器 MI<sup>2</sup>C\_DTRX[7:0] (外部内存地址: 0xA3)**
**复位值: FFh**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	MI <sup>2</sup> C_DTRX[7:0]							

位编号	位符号	说明
7-0	MI <sup>2</sup> C_DTRX[7:0]	I <sup>2</sup> C 传输及接收的缓冲区 对此寄存器作写入的动作, 将会把数据从 I <sup>2</sup> C 传送缓冲区传出去 对此寄存器作读取的动作, 将会把数据从 I <sup>2</sup> C 接收缓冲区接收出去

**从机 I<sup>2</sup>C 地址寄存器 MI<sup>2</sup>C\_SADR (外部内存地址: 0xA4)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	MI <sup>2</sup> C_SADR							MI <sup>2</sup> C_SLVE

位编号	位符号	说明
7-1	MI <sup>2</sup> C_SADR	从机的地址 The slave address
0	MI <sup>2</sup> C_SLVE	致能 I <sup>2</sup> C 为从机模式 1: I <sup>2</sup> C 为从机 0: I <sup>2</sup> C 为主机

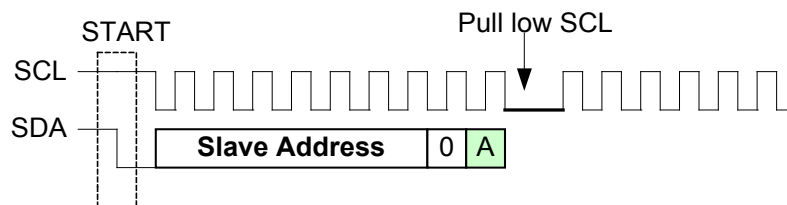
**主/从机 I<sup>2</sup>C 延伸控制寄存器 MI<sup>2</sup>C\_EXTEND (外部内存地址: 0xA5)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	-	-	读/写	读/写
名称	保留						MI <sup>2</sup> C_AUTOSTP	MI <sup>2</sup> C_WAIT

位编号	位符号	说明
7-2	保留	-
1	MI <sup>2</sup> C_AUTOSTP	致能主机 I <sup>2</sup> C 自动传送停止位，当接收到 NACK 位时
0	MI <sup>2</sup> C_WAIT	致能 SCL 延长 (在第九个 SCL 后拉低 SCL 准位)

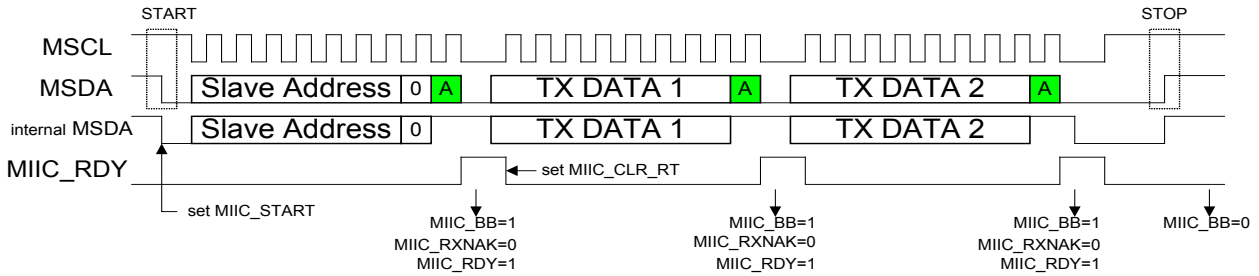
∴ 未能使用

当韧体处理时间比 I<sup>2</sup>C 接收九个位的时间还慢时，韧体必须设定 MI<sup>2</sup>C\_WAIT，使 WT51F104 在第九个 SCL 后拉低准位，请主机等待它。

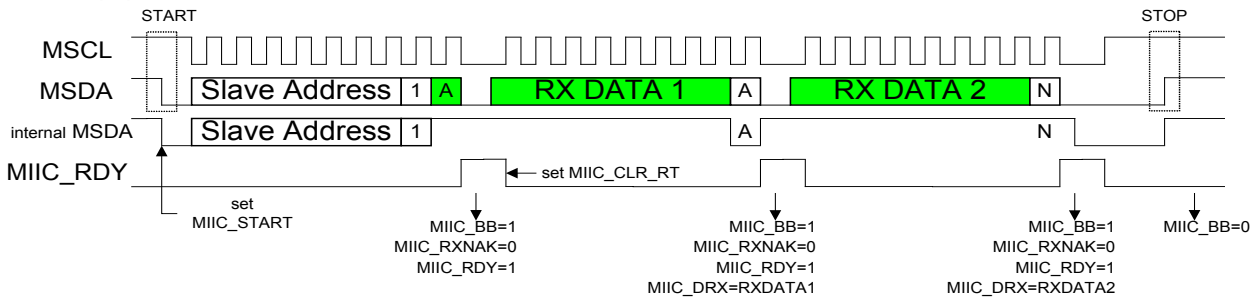


**WT51F104 Master/Slave I<sup>2</sup>C Data Flow**

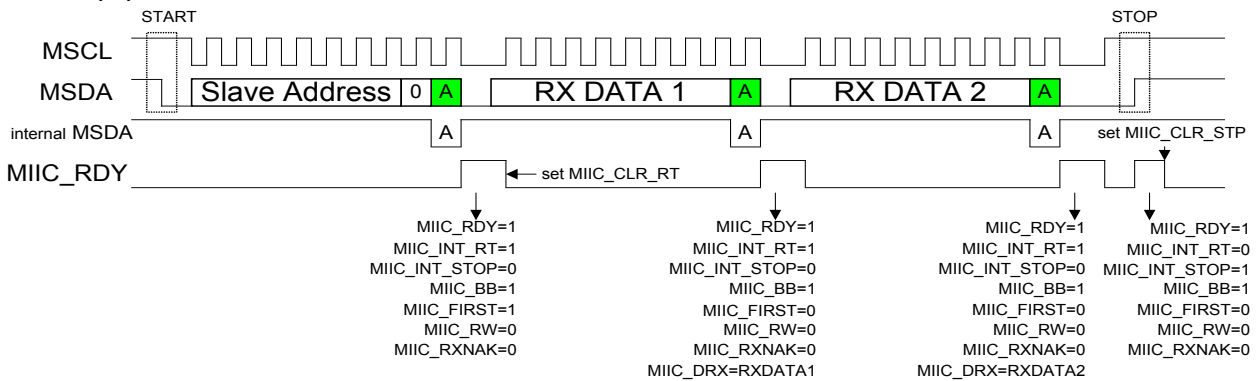
**(1) Master write mode :**



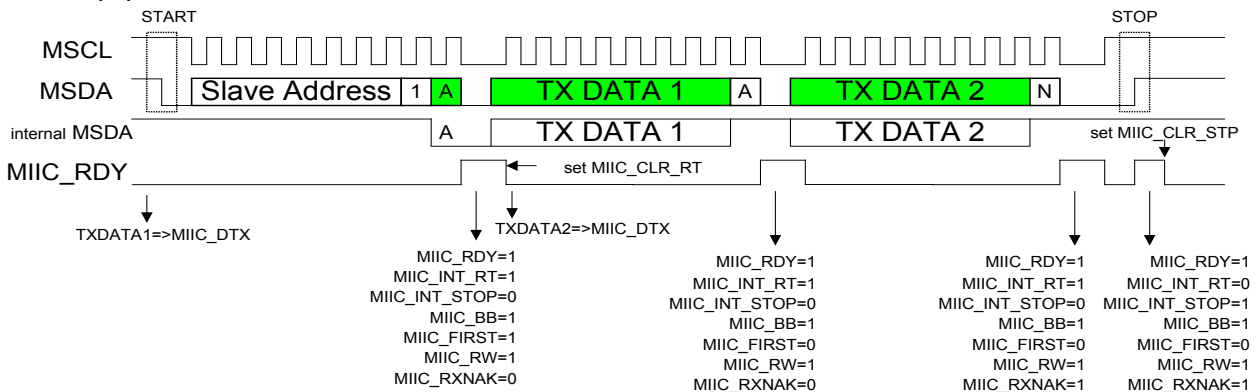
**(2) Master read mode :**



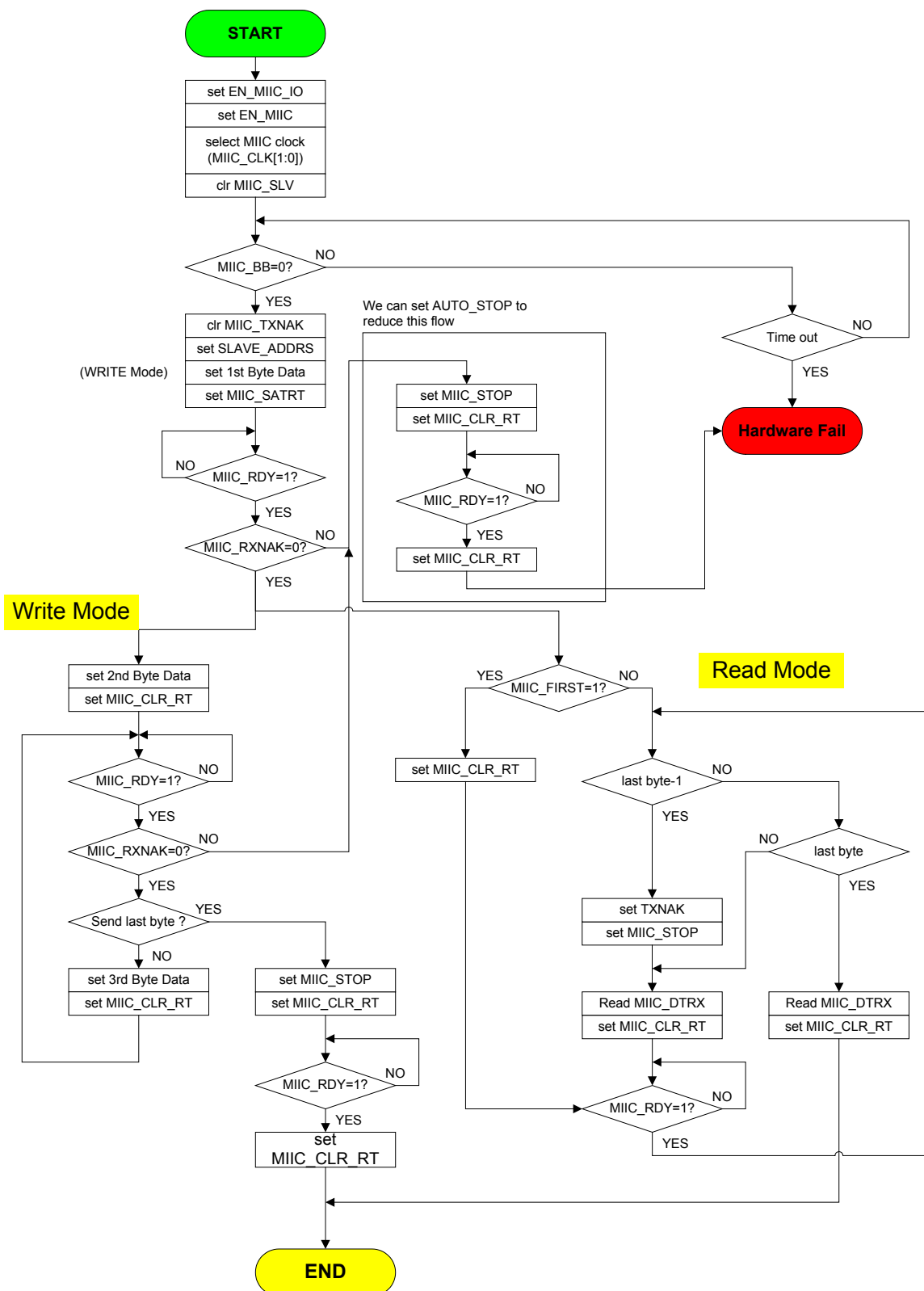
**(3) Slave write mode :**



**(4) Slave read mode :**



WT51F104 Master/Slave I<sup>2</sup>C Data Flow



## 6.11 增强型计时/计数器 (Enhanced Timer/Counter)

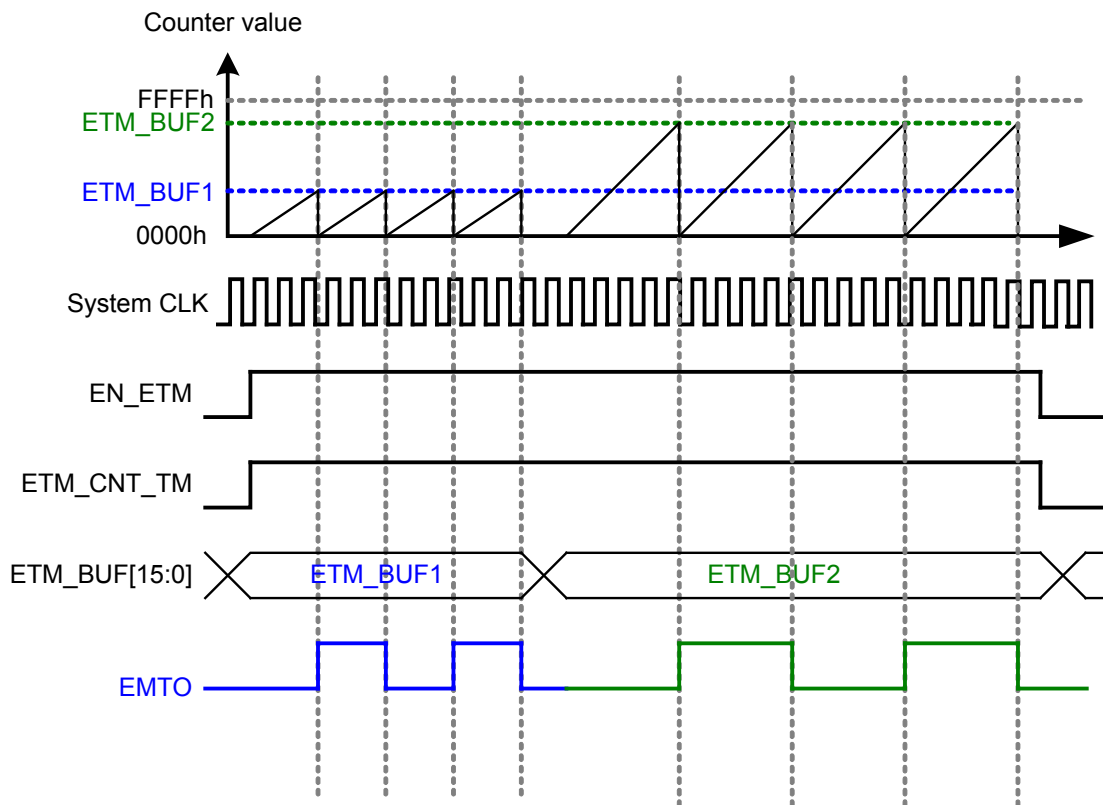
增强型计时/计数器的时钟源有内部时钟源或是由外部输入，可由缓存器设定。

增强型计时/计数器主要可分两个模式: 1. 比较模式 2. 捕捉模式; 且它也提供三种捕捉匹配条件的选择: 高准位、低准位及周期的捕捉模式。

### 1. 比较模式:

增强型计时/计数器内部有一个 16 位计数器及一个 16 位增强型缓冲器 (ETM\_BUF[15:0])，当致能增强型计时/计数器 (EN\_ETM = 1) 并且设定为比较模式后 (ETM\_CNT\_TM = 1)，定时器会依据时钟源进行计数，当计数器与增强型缓冲器的数据匹配时会产生中断。每次的匹配发生会将 ETMO (无此功能) 触发输出，且会自动清除内部 16 位计数器的计数值，请参考下图。

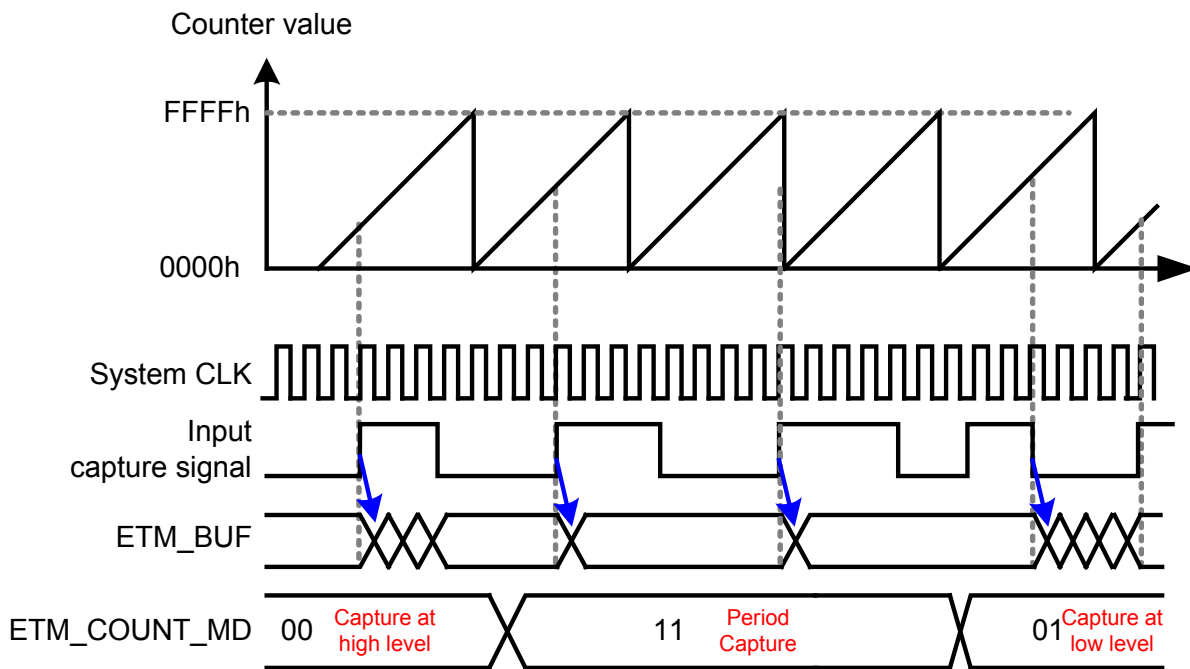
比较模式操作图:



**2. 捕捉模式:**

增强型计时/计数器设定为捕捉模式 (ETM\_CNT\_TM = 0)，然后致能增强型计时/计数器 (EN\_ETM = 1)，此时开始捕捉，当输入端的状态变化与所设定的捕捉条件匹配时，会清除内部 16 位计数器并重新计数后，再将计数值自动载到 16 位增强型缓冲器 (ETM\_BUF[15:0])，此时软件可由增强型计时/计数器数据缓冲寄存器 (缓存器 B3H 及 B4H) 读取计数值，同时会产生捕捉中断、捕捉旗标和输出 ETMO (无此功能)，请参考下图。

捕捉模式操作图:



增强型计时/计数器控制缓存器 1 ETM\_CTL1 (外部内存地址: 0xB0)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	EN_ETM	ETM_CNT_TM	ETM_CLK_PSCAL[1:0]	ETM_CLK_SEL	ETM_EXCLK_SEL	ETM_EXCLK_SEL[1:0]	ETM_CLK_DIV12	

位编号	位符号	说明
7	EN_ETM	1: 致能增强型计时/计数器
6	ETM_CNT_TM	1: 比较模式 (SOURCE clock = 12 MHz) 0: 捕捉模式 (capture)
5-4	ETM_CLK_PSCAL[1:0]	设定内部 16 位计数器之时钟源预除器 00: 增强型计时/计数器时钟源 = SOURCE clock/1 01: 增强型计时/计数器时钟源 = SOURCE clock/4 10: 增强型计时/计数器时钟源 = SOURCE clock/8 11: 增强型计时/计数器时钟源可选择除以 16 或除以 12 (ETM_CLK_DIV12: 0 -> SOURCE clock/16; ETM_CLK_DIV12: 1 -> SOURCE clock /12)



位编号	位符号	说明
3	ETM_CLK_SEL	设定增强型计时/计数器时钟源 1: 外部时钟源 (可由 ETM_EXCLK_SEL[1:0], 选择输入的时钟源) 0: 内部时钟源 (SOURCE clock)
2-1	ETM_EXCLK_SEL[1:0]	设定增强型计时/计数器输入的外部时钟源通道 00: GPIOA4 (设定 GPIOA4DH 为 GPIO input, GPA4_FUN_SLT[2:0] = 000) 01: GPIOA3 (设定 GPIOA3D 为 GPIO input, GPA3_FUN_SLT[2:0] = 000) 10: GPIOA2 (设定 GPIOA2DH 为 GPIO input, GPA2_FUN_SLT[2:0] = 000) 11: ACOMP_TGATE_O (内部讯号, 请参考 6.14 章节)
0	ETM_CLK_DIV12	1: SOURCE clock/12 0: SOURCE clock/16

-: 未能使用

注: 当设定增强型计时/计数器输入的外部时钟源通道为 **GPIOA4**、**GPIOA3**、**GPIOA2** 其中一个, 必须将 **GPIO** 的复合功能设定为 **GPIO** 且 I/O 端口为输入状态。

**增强型计时/计数器控制缓存器 2 ETM\_CTL2 (外部内存地址: 0xB1)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	-	-	读/写	读/写	读/写	读/写
名称	ETM_IN_SOURCE[1:0]		保留		ETM_IN_PSCAL[1:0]		ETM_COUNT_MD[1:0]	

位编号	位符号	说明
7-6	ETM_IN_SOURCE[1:0]	设定增强型计时/计数器输入比较或捕捉通道 00: GPIOA4 (设定 GPIOA4DH 为 GPIO input, GPA4_FUN_SLT[2:0] = 000) 01: GPIOA3 (设定 GPIOA3D 为 GPIO input, GPA3_FUN_SLT[2:0] = 000) 10: GPIOA2 (设定 GPIOA2DH 为 GPIO input, GPA2_FUN_SLT[2:0] = 000) 11: ACOMP_TGATE_O (内部讯号, 请参考 6.13 章节)
5-4	保留	-
3-2	ETM_IN_PSCAL[1:0]	设定输入信道周期预除器 00: 输入周期除以 1 01: 输入周期除以 4 10: 输入周期除以 8 11: 输入周期除以 16
1-0	ETM_COUNT_MD[1:0]	捕捉的计数模式选择 00: 捕捉高准位的间隔 01: 捕捉低准位的间隔 1x: 捕捉周期间隔 (根据 ETM_IN_PSCAL[1:0]的设定去捕捉)

-: 未能使用

注: 当设定增强型计时/计数器输入比较或捕捉通道为 **GPIOA4**、**GPIOA3**、**GPIOA2** 其中一个, 必须将 **GPIO** 的复合功能设定为 **GPIO** 且 I/O 端口为输入状态。

**增强型计时/计数器中断寄存器 ETM\_INT (外部内存地址: 0xB2)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读	读	读	-
名称	EN_CAPINT	EN_OVRINT	EN_CMPINT	CLR_FLAG	CAPF	OVRF	CPMF	保留

位编号	位符号	说明
7	EN_CAPINT	1: 致能输入捕捉中断 0: 禁能输入捕捉中断
6	EN_OVRINT	1: 致能溢位中断 0: 禁能溢位中断
5	EN_CMPINT	1: 致能比较匹配时产生中断 0: 禁能比较匹配时产生中断
4	CLR_FLAG	1: 清除增强型计时/计数器的所有旗标
3	CAPF	输入捕捉旗标
2	OVRF	溢位旗标 当内部 16 位计数器产生溢位时, OVRF = 1
1	CPMF	比较匹配旗标 当内部 16 位计数器与 ETM_BUF 的数据相同时, CPMF = 1
0	保留	-

-: 未能使用

**增强型计时/计数器数据缓冲低字节寄存器 ETM\_BUF[7:0] (外部内存地址: 0xB3)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	ETM_BUF[7:0]							

位编号	位符号	说明
7-0	ETM_BUF[7:0]	搭配 ETM_BUF[15:8], 组成 16 位计数值 读取: 在捕捉模式下, 捕捉到输入讯号的计数值 写入: 在比较模式下, 作为与内部 16 位计数器的比较值

**增强型计时/计数器数据缓冲高字节寄存器 ETM\_BUF[15:8] (外部内存地址: 0xB4)**

复位值: 80h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	ETM_BUF[15:8]							

位编号	位符号	说明
7-0	ETM_BUF[15:8]	搭配 ETM_BUF[7:0], 组成 16 位计数值 读取: 在捕捉模式下, 捕捉到输入讯号的计数值 写入: 在比较模式下, 作为与内部 16 位计数器的比较值

注: 在捕捉模式下, ETM\_BUF[15:8]与 ETM\_BUF[7:0]组成 16 位计数值, 实际应用时必须将计数值加 1 才是真正的计数值。

说明 1:

因捕捉源的内部有经过滤波器，所以输入讯号高电平的脉波宽度与低电平脉波宽度须大于两个 SYSTEM Clock 的宽度。

说明 2:

**ETM\_IN\_PSCAL[3:2] = 00:** 选择捕捉输入源一个周期，则有效捕捉讯号精准度 (Capture effective Resolution) 为  $1 / 12 \text{ MHz} / 1 = 83.333 \text{ ns}$

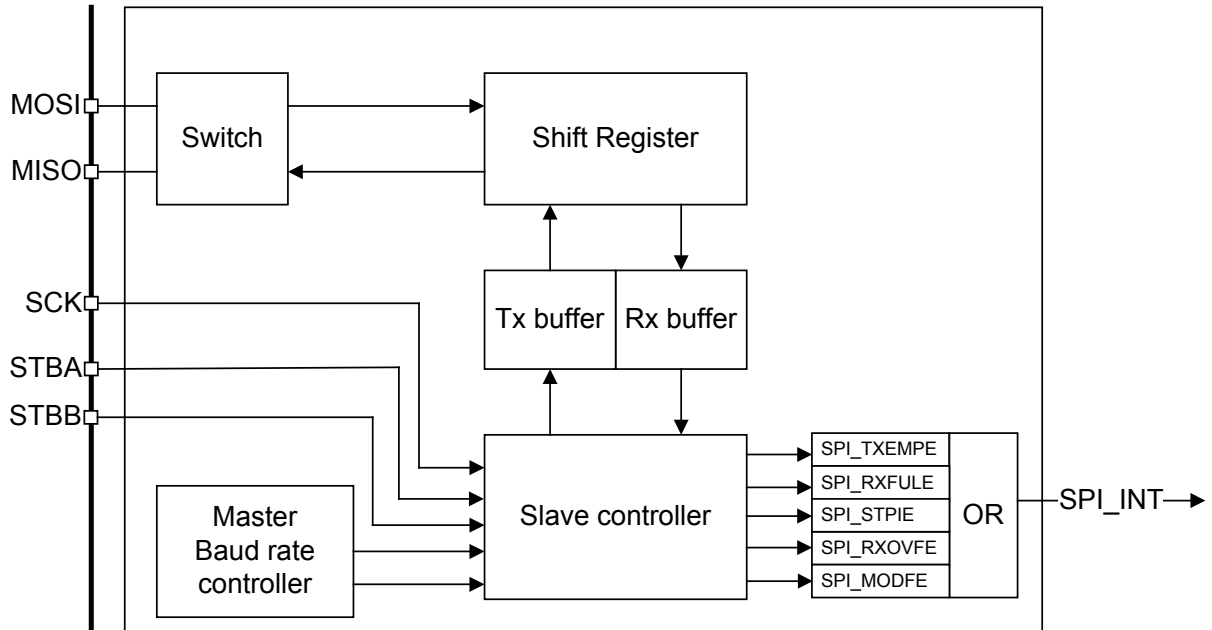
**ETM\_IN\_PSCAL[3:2] = 11:** 选择捕捉输入源 16 个周期，则有效捕捉讯号精准度 (Capture effective Resolution) 为  $1 / 12 \text{ MHz} / 16 = 5.208 \text{ ns}$

当选择捕捉 16 个周期可以让增强型计时/计数器得到更多的有效位数，减少捕捉的误差。

## 6.12 SPI 串行界面 (SPI)

SPI 是一个同步串行接口，允许主机和从机沟通，支持全双工数据传输，及支持三或四线讯号传输。

- SPI 支援: 主机及从机模式
- 传送的串行数据可选择 LSB 或 MSB 优先传输
- SPI 串行接口传输速度，频率范围: 6 MHz ~ 23.4375 kHz (Bit Rate)



SPI 通信使用四个引脚，分别为：

MOSI: 在主机模式中数据输出；在从机模式中数据输入。

MISO: 在主机模式中数据输入；在从机模式中数据输出。

SCK: 在主机模式中时钟输出；从机模式时钟输入，达到数据同步。

STBA、STBB: 在主机模式中为输出；在从机模式中为输入。

主机模式下，当做致能从机的 I/O 端口：

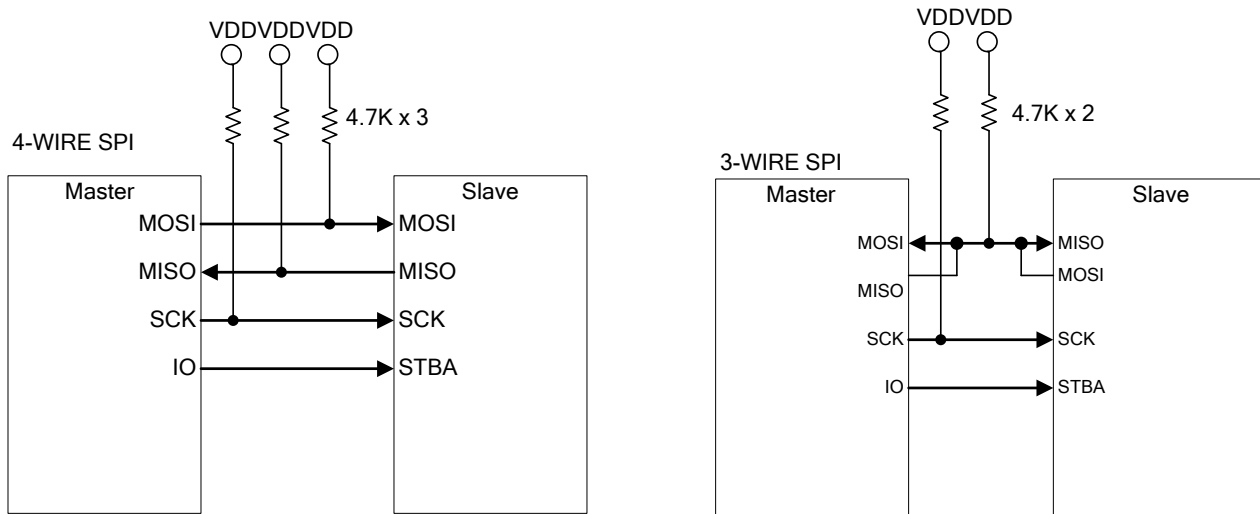
STBx = 0: 主机致能从机

STBx = 1: 主机禁能从机

使用 SPI 串行接口，须透过软件设定 SPI 相关脚位为输出或输入状态，如下图所示：

四线式 SPI	主机模式	从机模式	备注
MOSI (GPIOB1)	输出 (Output)	输入 (Input)	
MISO (GPIOA0/GPIOA1)	输入 (Input)	输出 (Output)	A 路径: GPIOA0 B 路径: GPIOA1
SCK (GPIOA1/GPIOA0)	输出 (Output)	输入 (Input)	A 路径: GPIOA1 B 路径: GPIOA0
STB (GPIOB2)	输出 (Output)	输入 (Input)	

四线式及三线式 SPI 连结图:



**SPI 控制寄存器 1 SPI\_CTL1 (外部内存地址: 0xC0)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	-	读/写	-	-
名称	SPI_EN	SPI_MASTER	SPI_CPOL	SPI_CPHA	保留	SPI_LSBFE	保留	

位编号	位符号	说明
7	SPI_EN	1: 致能 SPI 模块 0: 禁能 SPI 模块
6	SPI_MASTER	SPI 主/从机模式选择 1: SPI 为主机模式 0: SPI 为从机模式
5	SPI_CPOL	SPI 频率极性位选择 1: 频率为低电压准位动作 0: 频率为高电压准位动作
4	SPI_CPHA	SPI 频率相位位选择 1: 在输入的时钟源由 high 转 low 时取样数据 0: 在输入的时钟源由 low 转 high 时取样数据
3	保留	-
2	SPI_LSBFE	起始位选择 1: 数据起始为最低有效位 0: 数据起始为最高有效位
1-0	保留	-

-: 未能使用

\*SPI 串行接口模式是由 SPI\_CPOL 及 SPI\_CPHA 字节成以下四组模式:

SPI_CPOL	SPI_CPHA	接收数据方式	传送数据方式	SPI Mode
0	0	正缘触发	负缘触发	0
0	1	负缘触发	正缘触发	1
1	0	负缘触发	负缘触发	2
1	0	正缘触发	正缘触发	3

\*传送与接收方式, 请参考后面 SPI Mode Timing

**SPI 控制寄存器 2 SPI\_CTL2 (外部内存地址: 0xC1)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	-	-	-	-
名称	SPI_RXONLY	SPI_DFBYP	SPI_DLY[1:0]		保留			

位编号	位符号	说明
7	SPI_RXONLY	SPI 接收致能位 (只限主机模式使用) 1: 致能 SPI 接收模式
6	SPI_DFBYP	输入数字滤波器旁路致能位 (只限从机模式) 1: 致能数字滤波器
5-4	SPI_DLY[1:0]	主机 SPI 字节延迟控制 00: 无延迟 01: 延迟 1 个字节 10: 延迟 2 个字节 11: 延迟 3 个字节
3-0	保留	-

-: 未能使用

**SPI 中断控制寄存器 SPI\_INT (外部内存地址: 0xC2)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	-	-	-
名称	SPI_TXEMPE	SPI_RXFULE	SPI_STPIE	SPI_RXOVFE	SPI_MODFE T	保留		

位编号	位符号	说明
7	SPI_TXEMPE	1: 致能 SPI 传送数据缓冲区 empty 所产生的中断
6	SPI_RXFULE	1: 致能 SPI 接收数据缓冲区 full 所产生的中断
5	SPI_STPIE	1: 致能 SPI 传输序列完成中断旗标
4	SPI_RXOVFE	1: 致能 SPI 接收数据缓冲区溢出旗标
3	SPI_MODFE	1: 致能 SPI 模式故障中断 (只限从机模式)
2-0	保留	-

-: 未能使用

**SPI 中断清除寄存器 SPI\_CLR (外部内存地址: 0xC3)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	写	写	写	写	-	-	-	-
名称	CLR_TXEMP	CLR_RXFUL	CLR_STPIF	CLR_RXOVF	保留			

位编号	位符号	说明
7	CLR_TXEMP	1: 清除 SPI 传输中断旗标
6	CLR_RXFUL	1: 清除 SPI 接收中断旗标
5	CLR_STPIF	1: 清除 SPI 序列完成中断旗标
4	CLR_RXOVF	1: 清除 SPI 接收缓冲区溢出旗标
3-0	保留	-

-: 未能使用

**SPI 旗标寄存器 SPI\_FLG (外部内存地址: 0xC4)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	-	-
名称	SPI_TXEMP	SPI_RXFUL	SPI_STPIF	SPI_RXOVF	SPI_MODF	SPI_BUSY	保留	

位编号	位符号	说明
7	SPI_TXEMP	SPI 传输数据缓冲器清空状态旗标*1 1: SPI 传输缓冲器已清空
6	SPI_RXFUL	SPI 接收数据缓冲器填满状态旗标 1: SPI 接收缓冲器已经填满
5	SPI_STPIF	SPI 传输/接收数据完成状态旗标 (SS pin goes high) 1: SPI 传输/接收完成
4	SPI_RXOVF	SPI 接收数据缓冲区产生溢位状态旗标*2 1: SPI 接收数据缓冲区产生溢位
3	SPI_MODF	SPI 模式故障状态旗标 (只限从机模式)*3 1: SPI 模式故障
2	SPI_BUSY	SPI 忙碌状态旗标*4 1: SPI 在忙碌状态
1-0	保留	-

-: 未能使用

- \*1. 韧体必须确认 SPI\_TXEMP = 1 时, 才可以 SPI 传输缓冲寄存器写入(SPI\_RXBUF[7:0]) 下一笔数据。
- \*2. 清除 SPI\_RXOVF 旗标, 可以透过读取 SPI 接收缓冲寄存器(SPI\_RXBUF[7:0])。
- \*3. 清除 SPI\_MODF 旗标, 必须致能 SPI 串行接口模块。
- \*4. SPI\_BUSY 旗标是 WT51F104 的内部硬件脚位的状态, 可以用来监视 SPI 完成与否。

**SPI 速度设定寄存器 SPI\_BRS[7:0] (外部内存地址: 0xC5)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	SPI_BRS[7:0]							

位编号	位符号	说明
7-0	SPI_BRS[7:0]	SPI 位速率选择 (SPI 最高速度 = mcu_clk / 2) SPI Bit Rate = mcu_clk / (SPI_BRS[7:0]+1) x 2 如果 mcu_clk = 12 MHz SPI_BRS[7:0] = 0, SPI Bit Rate 为 6 MHz SPI_BRS[7:0] = 1, SPI Bit Rate 为 3 MHz ... SPI_BRS[7:0] = 255, SPI Bit Rate 为 23.4375 kHz

**SPI 传输缓冲寄存器 SPI\_TXBUF[7:0] (外部内存地址: 0xC6)**
**复位值: FFh**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	SPI_TXBUF[7:0]							

位编号	位符号	说明
7-0	SPI_TXBUF[7:0]	SPI 传输缓冲器

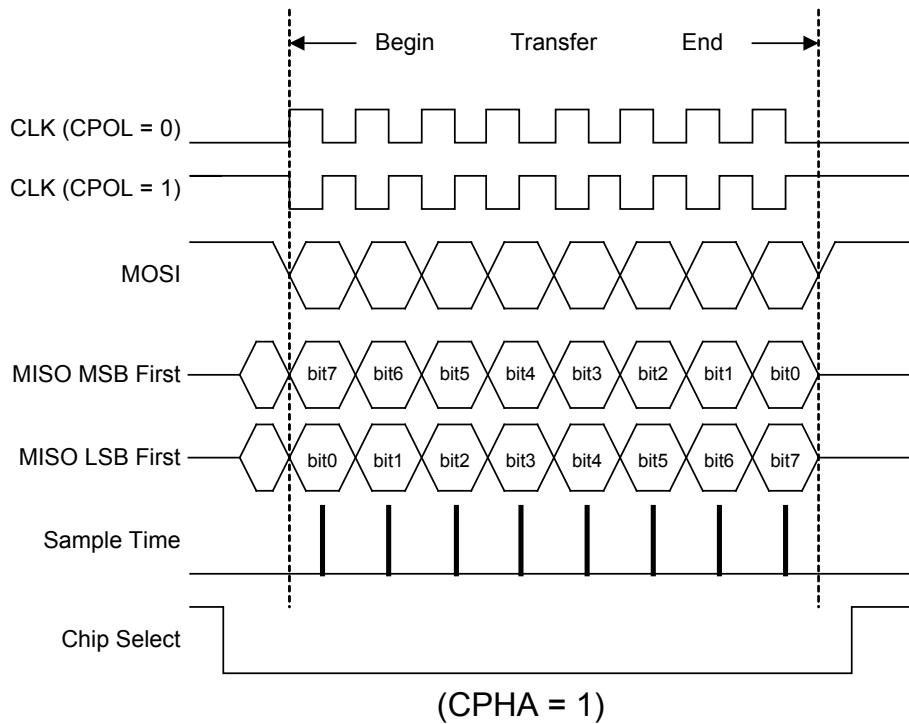
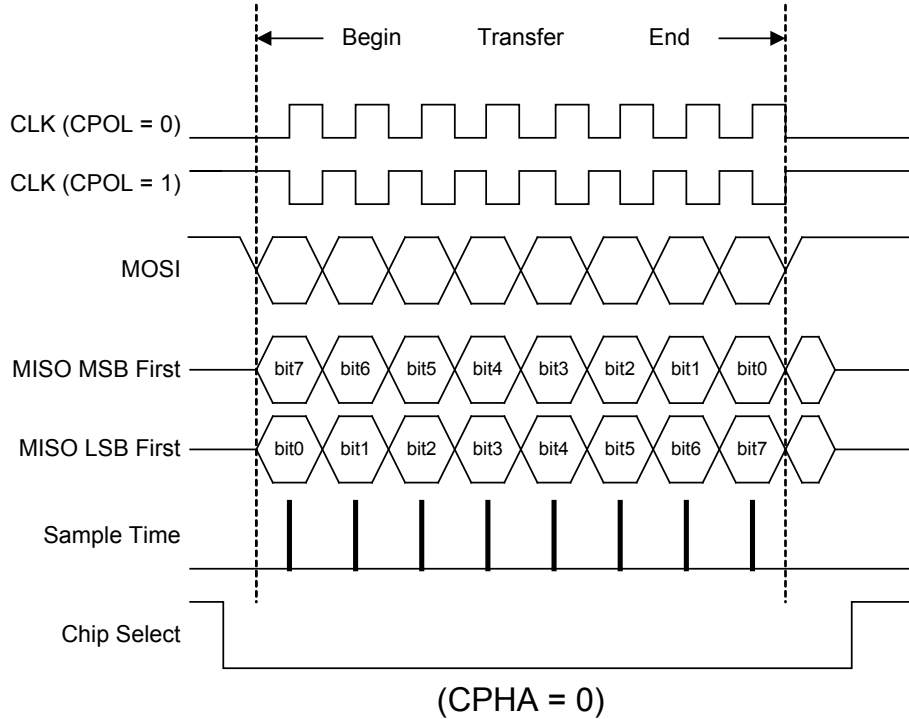
**SPI 接收缓冲寄存器 SPI\_RXBUF[7:0] (外部内存地址: 0xC7)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	SPI_RXBUF[7:0]							

位编号	位符号	说明
7-0	SPI_RXBUF[7:0]	SPI 接收缓冲器



**SPI Mode Timing**



### 6.13 模/数转换器 (ADC)

WT51F104 内建 16 信道 10 位模/数转换器，提供四种转换模式 (单一 Single、连续 Continuous、电压比较、定时器自动) 与四种转换速率 (1 MHz、500 kHz、125 kHz、31.25 kHz) 的选择。

#### 单一转换模式 (Single Mode):

首先要开启模/数转换器电源 (ADC 控制缓存器中  $ADC\_PD = 0$ )，并且把模/数转换器控制缓存器  $ADC\_SINGLE\_CVT = 1$  开始转换;  $ADC\_SINGLE\_CVT = 0$  转换结束。当转换完成时，更新模/数转换器数据缓存器，模/数转换器中断控制缓存器中的  $EN\_ADFINSH\_INT$  位为 1，并产生一个中断事件 (如果模/数转换器的中断被致能)。

#### 连续转换模式 (Continuous Mode):

若再启动  $ADC\_CNTNU\_CVT$  连续转换控制位，则系统进入连续转换模式。

#### 电压比较模式 (Compare Mode):

当开启模/数转换器电源 (ADC 控制缓存器中  $ADC\_PD = 0$ )，且启动比较功能 (模/数转换器控制缓存器中  $EN\_ADC\_CMP = 1$ ) 时，可以对模拟输入 ( $ADC\_IN$ ) 进行 AD 转换并与电压比较数据缓存器 ( $ADC\_CMP\_V$ ) 中的数据比较。当相应的电压仿真输入的数字值大于 ( $ADC\_BIG = 0$ ) 或小于 ( $ADC\_BIG = 1$ ) 模/数转换器电压比较数据缓存器 ( $ADC\_CMP\_V$ ) 中的设定值时，会产生模/数转换器中断，模/数转换器集成数字电压比较功能，能在睡眠模式下工作，并且可以将 WT51F104 唤醒。另外搭配  $ADCMP\_TM$  可以选择 ADC 开启时间方式，达到省电目的。

#### 定时器自动模式 (Timer Auto Mode):

当启动  $ADC\_AUTO\_CVT$ ，并配合 Watch Timer 的设定，每次 Timer 事件时会自动启动 ADC 做一次转换。

- 模/数转换器的转换时间为 **16 us** (取样时间 6 us + 转换时间 10 us) 基于 1 MHz 转换速率
- 参考电压源  $VREF$  有三个选择: 电源电压  $VDD$ 、内建基准电压  $VBGAP$ 、外接基准电压  $VREF$

模/数转换器控制缓存器  $ADC\_CTL$  (外部内存地址:  $0xD0$ )

复位值: 80h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	-	读/写
名称	$ADC\_PD$	$ADC\_SINGLE\_CVT$	$ADC\_CNTNU\_CVT$	$ADC\_AUTO\_CVT$	$EN\_ADC\_CMP$	$EN\_ADC\_FLT$	保留	$ADC\_BIG$

位编号	位符号	说明
7	$ADC\_PD$	模/数转换器电源控制 1: 关闭模/数转换器电源 0: 开启模/数转换器电源
6	$ADC\_SINGLE\_CVT$	模/数转换器开始转换位 (单一转换模式) 1: 开始转换 1=> 0: 转换完成 (硬件会自动清除为"0")
5	$ADC\_CNTNU\_CVT$	1: 致能模/数转换器连续转换 (连续转换模式) 0: 禁能模/数转换器连续转换

位编号	位符号	说明
4	ADC_AUTO_CVT	1: 致能模/数转换器根据实时定时器所设定时间 WTMR_SLT[2:0]自动转换一次 (定时器比较模式)
3	EN_ADC_CMP	1: 致能模/数转换器比较器模式 (电压比较模式)
2	EN_ADC_FLT	1: 致能模/数转换器滤波器 (需要等待 332ns) 0: 不开启滤波功能
1	保留	-
0	ADC_BIG	模/数转换器数据比较旗标 1: 当 $V_{in} < ADC\_CMP\_V[9:0]$ 所设定数据 0: 当 $V_{in} > ADC\_CMP\_V[9:0]$ 所设定数据 Vin: 由 EN_AD[3:0] 所选择的通道

注: ADC 转换模式在同一时间只可以致能一种转换模式, 否则会造成 ADC 工作异常。

**模/数转换器设定控制寄存器 ADC\_SEL (外部内存地址: 0xD1)**
**复位值: 40h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	-	-	-	读/写	读/写
名称	ADC_CLK_SEL[1:0]		ADCCMP_TM	保留			ADC_VREF_SEL[1:0]	

位编号	位符号	说明
7	ADC_CLK_SEL[1:0]	模/数转换器转换频率选择 00: 1 MHz 01: 500 kHz 10: 125 kHz 11: 31.25 kHz
6		
5	ADCCMP_TM	1: 模/数转换器是根据实时定时器, 固定 32u sec 开启电压比较功能, 达到省电目的 0: 模/数转换器一直打开来做电压比较功能
4-2	保留	-
1-0	ADC_VREF_SEL[1:0]	模/数转换器参考电压脚位选择 00: VDD 01: VREF pin 1x: 内部参考电压 BGAP (Bandgap)

-: 未能使用。

注: 内部参考电压 **Bandgap** 出厂未校正, 且容易受温度及电源电压影响, 但可透过缓存器读取实际电压值, 详细请参考下列及 7.6、7.7 “电气特性”章节。

VBGAP Voltage 存放地址:

外部内存地址	说明
E04H[1:0]	记录内部 <b>Bandgap</b> 电压低字节 = ADC[1:0]
E05H[7:0]	记录内部 <b>Bandgap</b> 电压高字节 = ADC[9:2]

VBGAP Voltage 计算公式:  $VBGAP = (5 * ADC[9:0]) / 1024$

举例:

E04H[1:0] = 0x01

E05H[7:0] = 0x42

$VBGAP = (5 * 0x109) / 1024 = 1.294V$

**模/数转换器中断控制寄存器 ADC\_INT (外部内存地址: 0xD2)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	-	-	读	读	-	-
名称	EN_ADCMP_INT	EN_ADFINSH_INT	保留		ADCMP_FLG	ADFINSH_FLG	保留	

位编号	位符号	说明
7	EN_ADCMP_INT	1: 致能模/数转换器电压比较中断 0: 禁能模/数转换器电压比较中断
6	EN_ADFINSH_INT	1: 致能模/数转换器转换完成后产生中断 0: 禁能模/数转换器转换完成后产生中断
5-4	保留	-
3	ADCMP_FLG	ADC 电压比较模式旗标, 根据模/数转换器控制寄存器的 ADC_BIG 位所选择条件成立时 ADCMP_FLG = 1
2	ADFINSH_FLG	ADC 转换完成中断旗标 (单一与连续模式及定时器模式在完成转换, 此旗标 ADFINSH_FLG = 1)
1-0	保留	-

-: 未能使用。

注: 当读取 AD\_DATA[9:0]时, 硬件会自动清除 ADCMP\_FLG 与 ADFINSH\_FLG 旗标。

**模/数转换器信道控制寄存器 ADC\_ENCH (外部内存地址: 0xD3)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	读/写	读/写	读/写	读/写
名称	保留				EN_AD[3:0]			

位编号	位符号	说明
7-4	保留	-
3-0	EN_AD[3:0]	模/数转换器通道选择 0000: 选择通道 CH0 0001: 选择通道 CH1 0010: 选择通道 CH2 0011: 选择通道 CH3 0100: 选择通道 CH4 0101: 选择通道 CH5 0110: 选择通道 CH6 0111: 选择通道 CH7 1000: 选择通道 CH8 1001: 选择通道 CH9 1010: 选择通道 CH10 1011: 选择通道 CH11 1100: 选择通道 CH12 1101: 选择通道 CH13 1110: 选择通道 CH14 1111: 选择通道 CH15

-: 未能使用。

模/数转换器电压比较数据高字节寄存器 **ADC\_CMP\_V[9:2]** (外部内存地址: 0xD4) 复位值: 80h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	ADC_CMP_V[9:2]							

位编号	位符号	说明
7-0	ADC_CMP_V[9:2]	ADC_CMP_V[9:2] 唤醒电压值设定, 搭配 ADC_CMP_V[1:0]组成 10 位数据

 模/数转换器电压比较数据低字节寄存器 **ADC\_CMP\_V[1:0]** (外部内存地址: 0xD5) 复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	-	-	读/写	读/写
名称	保留						ADC_CMP_V[1:0]	

位编号	位符号	说明
7-2	保留	-
1-0	ADC_CMP_V[1:0]	ADC_CMP_V[1:0]唤醒电压值设定, 搭配 ADC_CMP_V[9:2]组成 10 位数据

-: 未能使用。

 模/数转换器转换数据高字节寄存器 **AD\_DATA[9:2]** (外部内存地址: 0xD6) 复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	AD_DATA[9:2]							

位编号	位符号	说明
7-0	AD_DATA[9:2]	AD_DATA[9:2]转换数据值设定, 搭配 AD_DATA[1:0]组成 10 位数据

-: 未能使用。

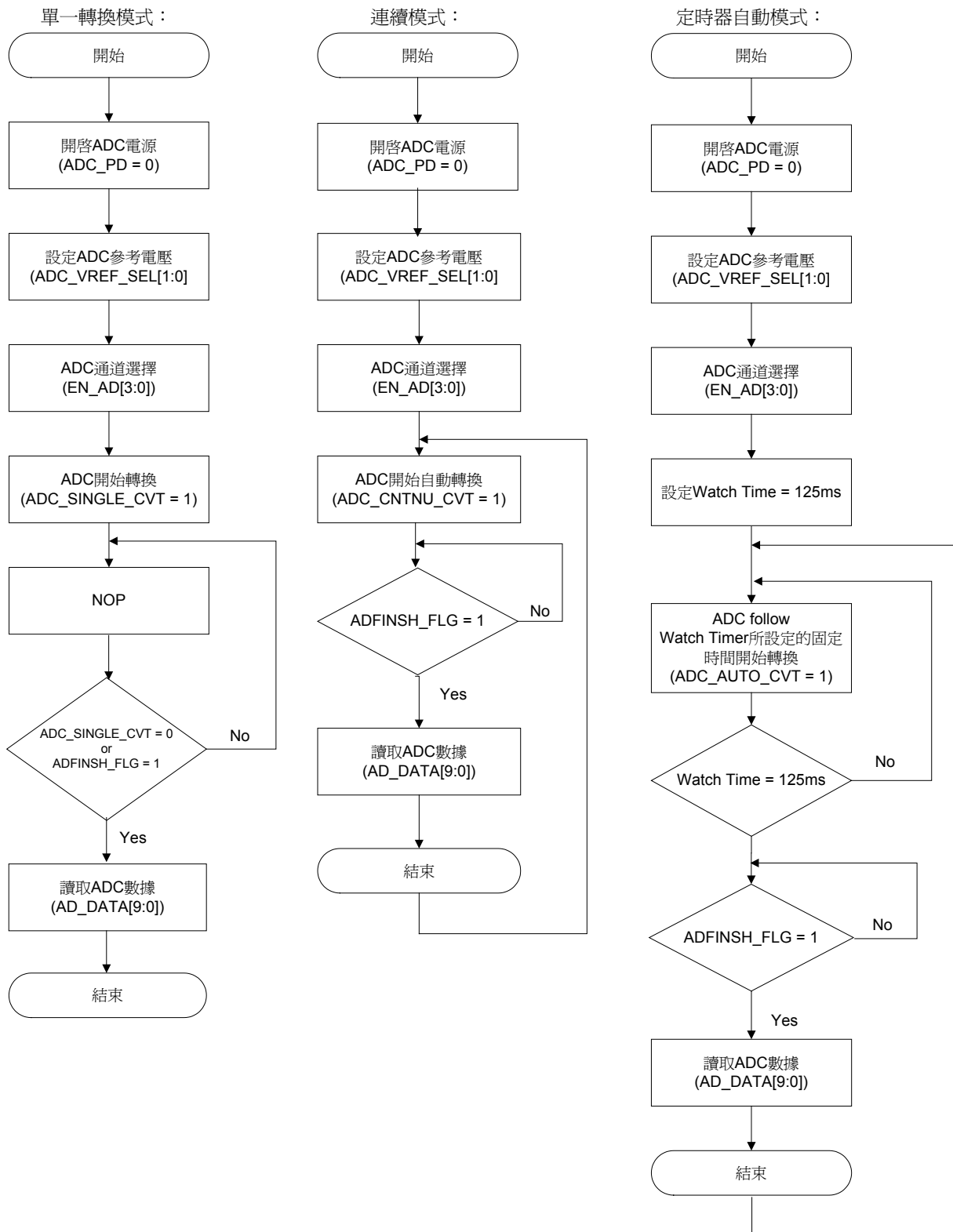
 模/数转换器转换数据低字节寄存器 **AD\_DATA[1:0]** (外部内存地址: 0xD7) 复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	-	-	读	读
名称	保留						AD_DATA[1:0]	

位编号	位符号	说明
7-2	保留	-
1-0	AD_DATA[1:0]	AD_DATA[1:0]转换数据值设定, 搭配 AD_DATA[9:2]组成 10 位数据

-: 未能使用

致能模/數轉換器轉換數據流程圖



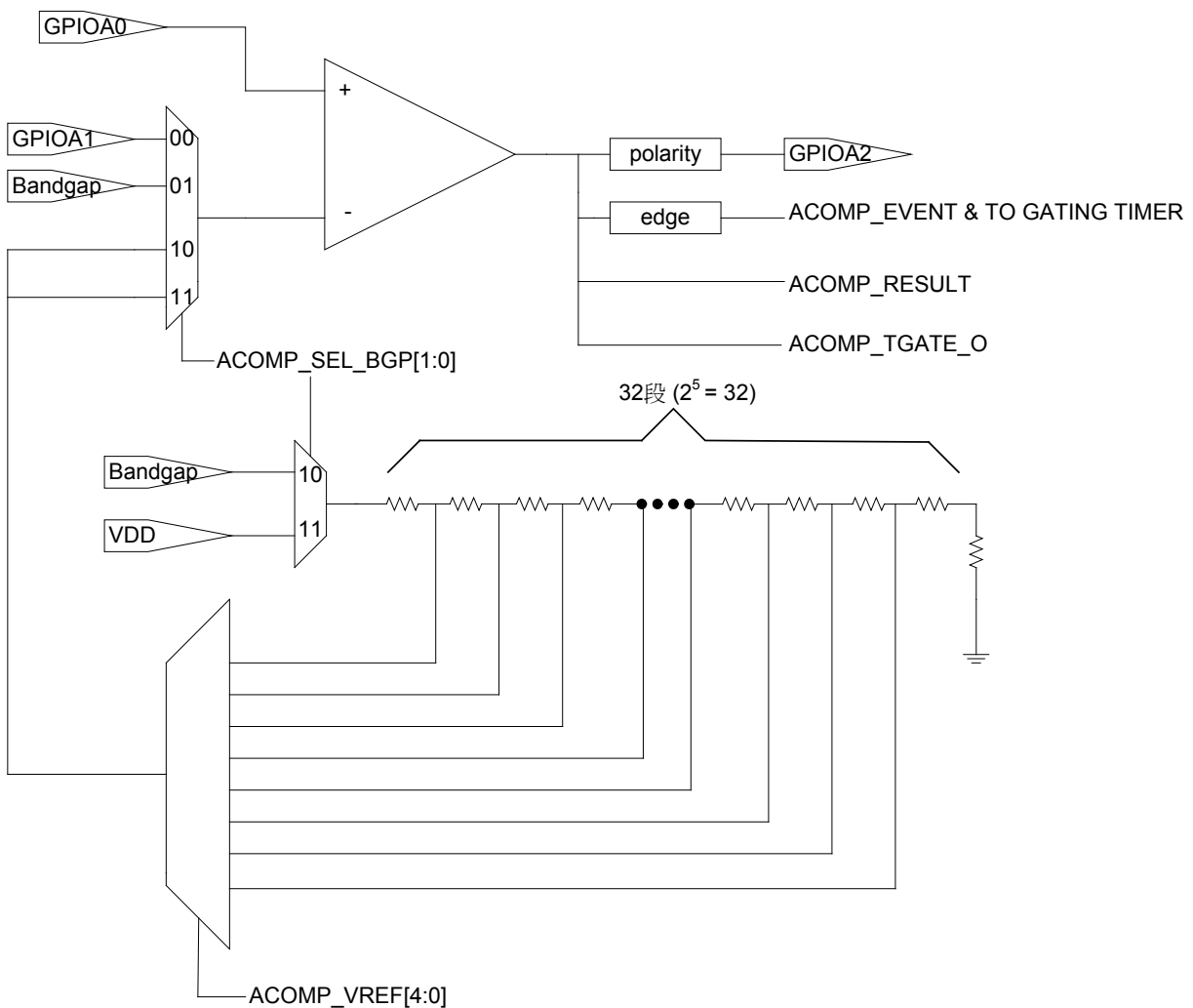
## 6.14 比较器 (Comparator)

WT51F104 内建一组仿真电压比较器，特点如下：

- 比较器可以被单独致能或禁能
- 比较器参考电压可以透过对应的比较器控制缓存器 (ACOMP\_VREF) 设定
- 比较器的正缘和负缘都可以产生中断
- 具比较器输出捕捉功能 (请参考 6.11 章节)

当致能比较器功能时，在外部内存地址: 0xDA 比较器控制缓存器 ACOMP\_CTL0 的 ACOMP\_PD 位为 0，可以对模拟输入 (GPIOA0 = CMPP) 及比较器参考电压 (GPIOA1 = CMPN) 进行比较，有三种应用方法如下：

1. 中断
2. 事件输出 (GPIOA2)
3. Gating Timer (可透过增强型计时/计数器缓存器设定)



**比较器控制寄存器 ACOMP\_CTL (外部内存地址: 0xDA)**

复位值: E0h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	-	-	-
名称	ACOMP_PD	ACOMP_SEL_BGP[1:0]	ACOMP_OUT_INV	ACOMP_TGATE	保留			

位编号	位符号	说明
7	ACOMP_PD	1: 关闭比较器电源 0: 开启比较器电源
6-5	ACOMP_SEL_BGP[1:0]	比较器 CMPN 输入选择 00: 选择 GPIOA1 在 COMN 输入 01: 选择 Bandgap 在 COMN 输入 10: 选择 nxBGP/32 在 COMN 输入 11: 选择 nxVDD/32 在 COMN 输入 当选择 $\frac{n}{32}$ BGP 或 $\frac{n}{32}$ VDD 为 COMN 输入, 可搭配比较器参考电压寄存器 (0xDC), 可提供 32 段参考电压源
4	ACOMP_OUT_INV	1: 将比较结果输出之讯号 (ACOMP_RESULT) 反向 0: 比较结果输出之讯号不反向
3	ACOMP_TGATE	1: 将比较器的结果输出至增强型计时/计数器, 以计算比较器 H/L 时间 0: 比较器的结果不输出至计时/计数器
2-0	保留	-

-: 未能使用

注: 内部参考电压 Bandgap 出厂未校正, 且容易受温度及电源电压影响, 实际电压值请参考 6.13 章节。

**比较器旗标寄存器 ACOMP\_FLG (外部内存地址: 0xDB)**

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读/写	读	读/写	-	-	-	-
名称	ACOMP_RESULT	ACOMP_EVENT_EDGE	ACOMP_EVENT	CLR_ACOMP_EVENT	保留			

位编号	位符号	说明
7	ACOMP_RESULT	1: 比较器 CMPP 电压 > CMPN 0: 比较器 CMPP 电压 < CMPN (当 ACOMP_PD = 1, 此时 ACOMP_RESULT = 0)
6	ACOMP_EVENT_EDGE	1: 当比较器之 CMPP 电压 < CMPN 电压时触发中断 0: 当比较器之 CMPP 电压 > CMPN 电压时触发中断
5	ACOMP_EVENT	比较器触发旗标 1: 比较器发生触发 0: 比较器未发生触发
4	CLR_ACOMP_EVENT	1: 清除比较器触发旗标 0: 无动作
3-0	保留	-

-: 未能使用



比较器参考电压寄存器 ACOMP\_VREF[4:0] (外部内存地址: 0xDC)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	读/写	读/写	读/写	读/写	读/写
名称	保留			ACOMP_VREF[4:0]				

位编号	位符号	说明
7-5	保留	-
4-0	ACOMP_VREF[4:0]	比较器参考电压 (从 CMPN 输入) CMPN 参考电压 = ACOMP_VREF[4:0] * (VDD-VSS) / 32 = $\frac{n}{32} V_{DD}$ 或 ACOMP_VREF[4:0] * $V_{Bandgap} / 32 = \frac{n}{32} BGP$

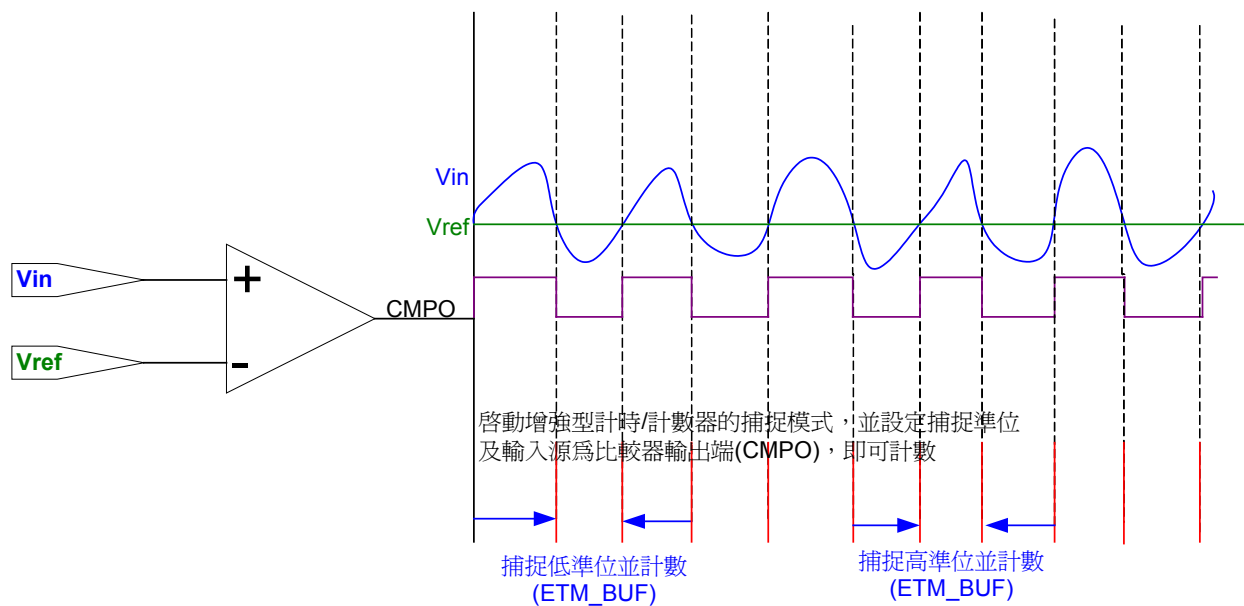
-: 未能使用

比较器参考电压表

ACOMP_VREF[4:0]	CMPN Voltage ( $V_{DD} = 3.3V; V_{SS} = 0V$ )	$V_{Bandgap} = 1.262V$
0	0.00	0.00
1	0.10	0.04
2	0.21	0.08
3	0.31	0.12
4	0.41	0.16
5	0.52	0.20
6	0.62	0.24
7	0.72	0.28
8	0.83	0.32
9	0.93	0.35
10	1.03	0.39
11	1.13	0.43
12	1.24	0.47
13	1.34	0.51
14	1.44	0.55
15	1.55	0.59
16	1.65	0.63
17	1.75	0.67
18	1.86	0.71
19	1.96	0.75
20	2.06	0.79
21	2.17	0.83
22	2.27	0.87
23	2.37	0.91
24	2.48	0.95
25	2.58	0.99
26	2.68	1.03
27	2.78	1.06

ACOMP_VREF[4:0]	CMPN Voltage ( $V_{DD} = 3.3V$ ; $V_{SS} = 0V$ )	$V_{Bandgap} = 1.262V$
28	2.89	1.10
29	2.99	1.14
30	3.09	1.18
31	3.20	1.22

举例来说，下图显示比较器输入可透过增强型定时器进行 **Gating Timer** 捕捉低准位或高准位周期。



## 6.15 低压侦测 (LVD)

WT51F104 内置低压侦测电路，可以检测电源电压下降到软件设定范围值，而产生中断。

- 低压侦测功能的致能和禁能操作，可以由软件控制
- 低压测侦位准有八段电压可供选择: 2.00V、2.25V、2.50V、2.75V、3.00V、3.25V、3.50V 或 3.75V

低压侦测控制寄存器 LVD\_CTL (外部内存地址: 0x02)

复位值: A6h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读	读/写	读/写	读/写	读/写	读/写	读/写
名称	LVD_PD	LVD_CMP	LVD_LVL[2:0]			LVD_RST_PD	LVD_RST_LVL[1:0]	

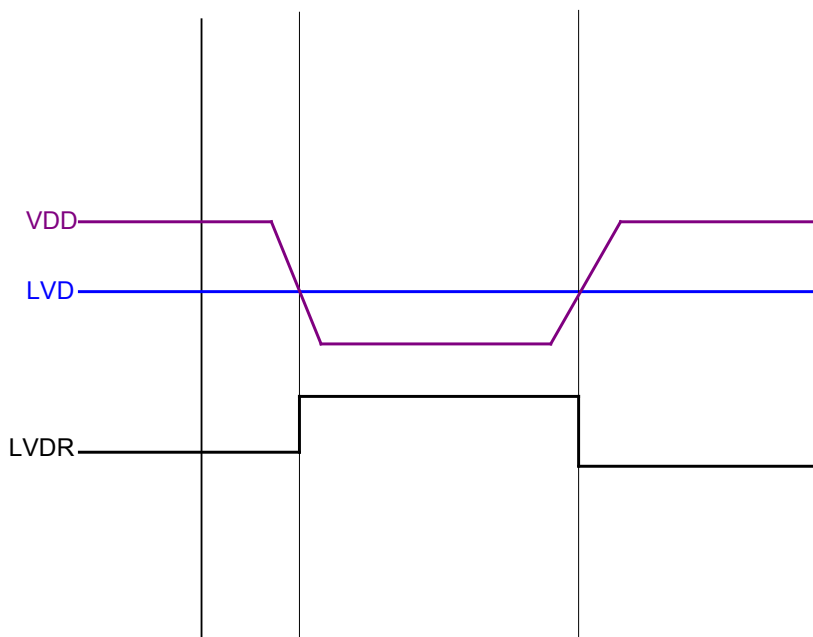
位编号	位符号	说明
7	LVD_PD	1: 关闭低压侦测电源 0: 开启低压侦测电源
6	LVD_CMP	低压侦测比较后的结果 1: 电源电压 < 设定的低压侦测电压范围 0: 电源电压 > 设定的低压侦测电压范围
5-3	LVD_LVL[2:0]	低压侦测范围: 000: 2.00V 001: 2.25V 010: 2.50V 011: 2.75V 100: 3.00V 101: 3.25V 110: 3.50V 111: 3.75V

注: 低压侦测的电压范围误差大, 详细请参考 7.8 “电气特性”章节。

## 6.16 低压侦测复位 (LVDR)

WT51F104 内置低压侦测复位电路，可以侦测电源电压下降到软件设定范围值，而产生复位。

- 致能和禁能操作，可以由软件控制
- 低压测侦位准有四段电压可供选择: 2.00V、2.50V、3.00V、3.50V



低压侦测控制缓存器 LVD\_CTL (外部内存地址: 0x02)

复位值: A6h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读	读/写	读/写	读/写	读/写	读/写	读/写
名称	LVD_PD	LVD_CMP	LVD_LVL[2:0]			LVD_RST_PD	LVD_RST_LVL[1:0]	

位编号	位符号	说明
2	LVD_RST_PD	1: 关闭低压侦测复位电源 0: 开启低压侦测复位电源
1-0	LVD_RST_LVL[1:0]	低压侦测复位范围: 00: 2.00V 01: 2.50V 10: 3.00V 11: 3.50V

注: 低压侦测复位的电压范围误差大, 详细请参考 7.8 “电气特性”章节。

复位旗标缓存器 RESET\_FLG (外部内存地址: 0x03)

复位值: 01h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	写	读	读	读	读	读	读	读
名称	CLR_RST_FLG	PC_OVL_RST_FLG	ISP_RST_FLG	WDT_RST_FLG	NRST_FLG	LVD_RST_FLG	LVR_RST_FLG	POR_RST_FLG

位编号	位符号	说明
7	CLR_RST_FLG	1: 清除所有复位旗标
6	PC_OVL_RST_FLG	1: 复位的来源是程序计数器溢出
5	ISP_RST_FLG	1: 复位的来源是 ISP
4	WDT_RST_FLG	1: 复位的来源是看门狗
3	NRST_FLG	1: 复位的来源是外部复位脚
2	LVD_RST_FLG	1: 复位的来源是低压侦测复位
1	LVR_RST_FLG	1: 复位的来源是低压复位
0	POR_RST_FLG	1: 复位的来源是外部电源复位

注: 详细说明请参考 5.7 “复位”章节。

## 6.17 仿真式 E<sup>2</sup>PROM

利用内部 Flash PROM 的空间来仿真 E<sup>2</sup>PROM，储存地址: 0x0C00 ~ 0x0EFF (768 字节)。

### E<sup>2</sup>PROM 致能缓存器 1 EER\_EN1[3:0] (外部内存地址: 0xE0)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	写	写	写	写
名称	保留				EER_EN1[3:0]			

位编号	位符号	说明
7-4	保留	-
3-0	EER_EN1[3:0]	当 EER_EN1[3:0] = '1010', 同时 EER_EN2[3:0] = '0101', 则致能 E <sup>2</sup> PROM 之功能

-: 未能使用

### E<sup>2</sup>PROM 致能缓存器 2 EER\_EN2[3:0] (外部内存地址: 0xE1)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	写	写	写	写
名称	保留				EER_EN2[3:0]			

位编号	位符号	说明
7-4	保留	-
3-0	EER_EN2[3:0]	当 EER_EN2[3:0] = '0101', 同时 EER_EN1[3:0] = '1010', 则开启 E <sup>2</sup> PROM 之功能

-: 未能使用

### E<sup>2</sup>PROM 地址低字节缓存器 EER\_ADDR[7:0] (外部内存地址: 0xE2)

复位值: FFh

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
名称	EER_ADDR[7:0]							

位编号	位符号	说明
7-0	EER_ADDR[7:0]	EER_ADDR[7:0]地址设定, 搭配 EER_ADDR[11:8]组成 12 位地址

### E<sup>2</sup>PROM 地址高字节缓存器 EER\_ADDR[11:8] (外部内存地址: 0xE3)

复位值: 0Fh

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	读/写	读/写	读/写	读/写
名称	保留				EER_ADDR[11:8]			

位编号	位符号	说明
7-4	保留	-
3-0	EER_ADDR[11:8]	EER_ADDR[11:8]地址设定, 搭配 EER_ADDR[7:0]组成 12 位地址

### E<sup>2</sup>PROM 控制缓存器 EER\_TCTL[3:0] (外部内存地址: 0xE4)

复位值: 08h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	写	写	写	写	写	写	写
名称	保留	ERR_IFREN	EER_ERASE	EER_PROG	EER_TCTL[3:0]			

位编号	位符号	说明
7	保留	-
6	ERR_IFREN	必须设为 0
5	EER_ERASE	1: E <sup>2</sup> PROM 进行 ERASE (256 Bytes)/页 0: 不进行 ERASE
4	EER_PROG	1: E <sup>2</sup> PROM 进行 PROGRAM (1 Byte) 0: 不进行 PROGRAM
3-0	EER_TCTL[3:0]	E <sup>2</sup> PROM ERASE/PROGRAM 时间设定 (请参考“注”)

### E<sup>2</sup>PROM 数据缓存器 EER\_DATA[7:0] (外部内存地址: 0xE8)

复位值: 00h

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	写	写	写	写	写	写	写	写
名称	EER_DATA[7:0]							

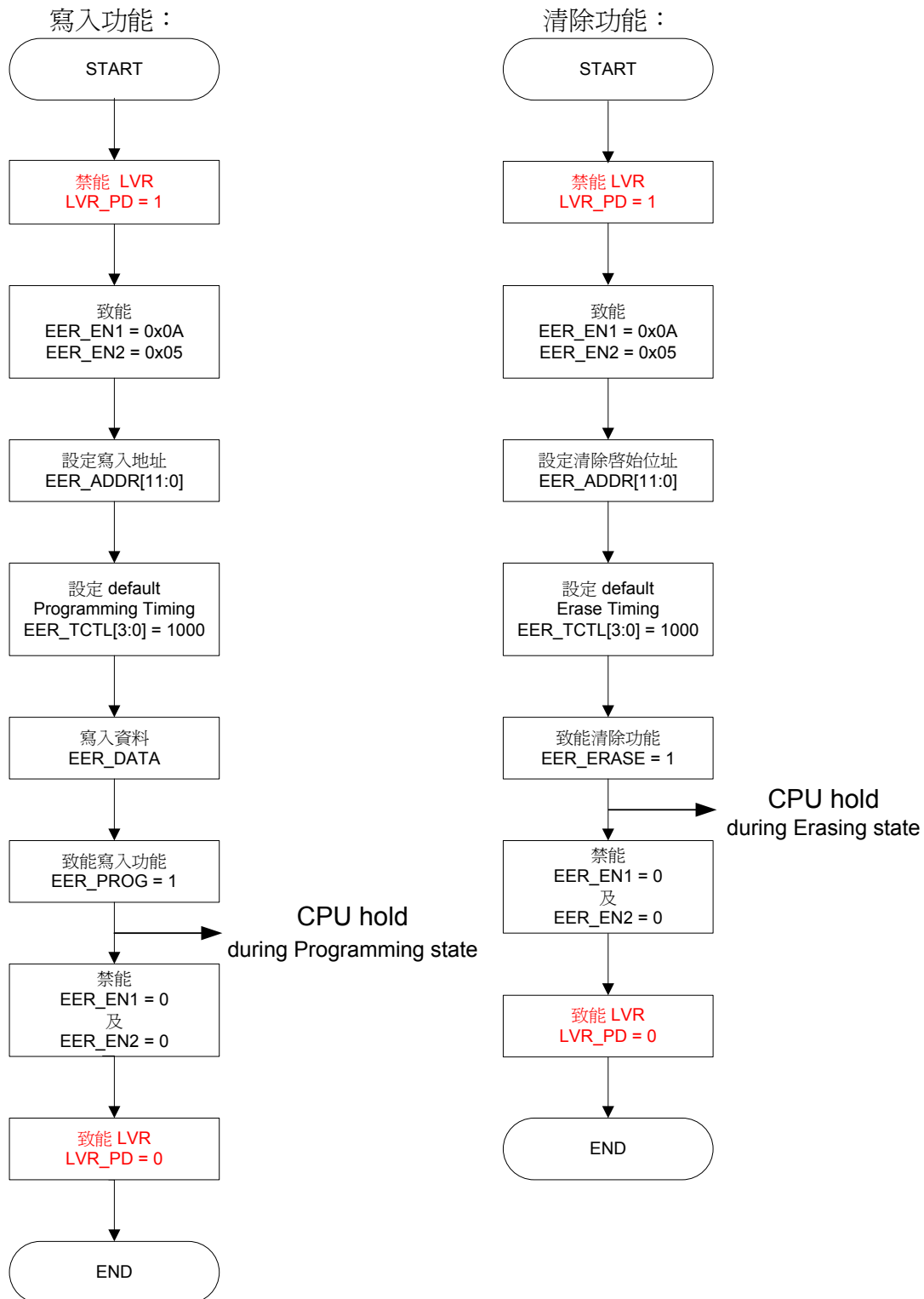
位编号	位符号	说明
7-0	EER_DATA[7:0]	E <sup>2</sup> PROM 数据缓存器

- 注 1. 当 WT51F104 在使用 E<sup>2</sup>PROM 功能时(写入数据、清除), 因为 MCU clock 会被关掉, 所以 8052 CPU 和所有有对应到的功能都会停止不会动作, 请参考 3.1 章节系统时钟方块图。
- 注 2. 建议 WT51F104 工作在 12 MHz 下才可以使用 E<sup>2</sup>PROM 功能(写入数据、清除), 且 EER\_TCTL[3:0] 只能设为“1000”, 此时写入 1 Byte 数据所需时间为 28u sec ~ 32u sec; 清除 1 Bank (256 Bytes) 数据所需时间为 28m sec ~ 32m sec。
- 注 3. 使用 E<sup>2</sup>PROM 清除及写入数据功能前, 需先禁能 LVR 功能, 等 E<sup>2</sup>PROM 清除及写入数据完成后, 再致能 LVR 功能。详细请参考 E<sup>2</sup>PROM 致能流程图。

### E<sup>2</sup>PROM 清除范围及地址设定 (清除后数据都是 0xFF)

Flash 地址	EER_ADDR[11:8]	EER_ADDR[7:0]	清除范围	备注
0x0C00	1100	0000 0000	0x0C00 ~ 0x0CFF	
0x0D00	1101	0000 0000	0x0D00 ~ 0x0DFF	
0x0E00	1110	0000 0000	0x0E00 ~ 0x0EFF	

E<sup>2</sup>PROM 致能流程图:





## 6.18 Code Option

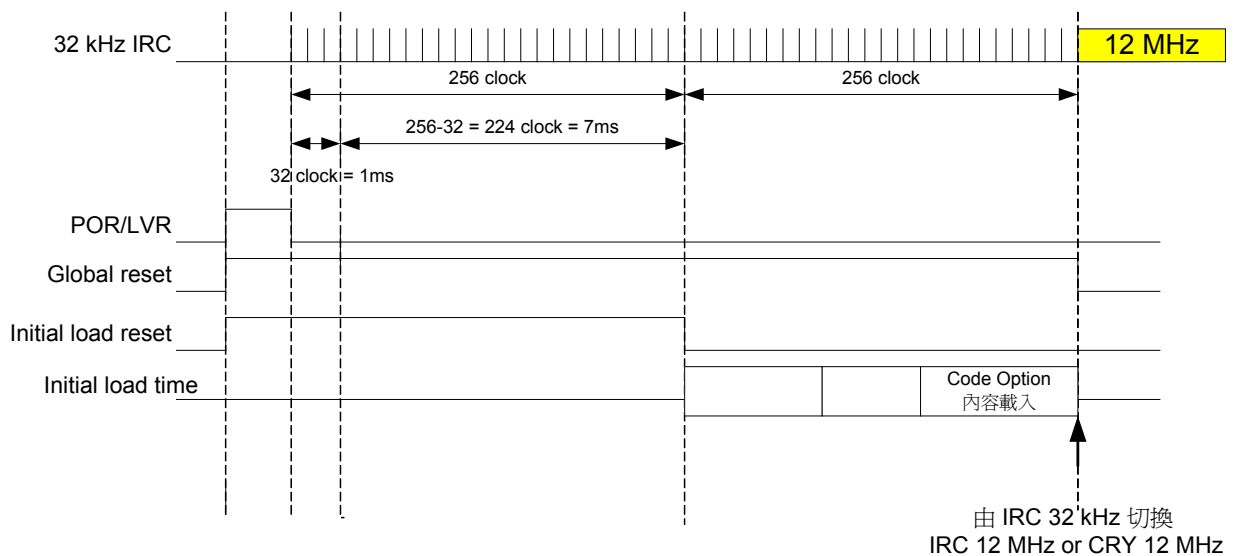
**Code Block** 位于 Flash ROM 的最后八个字节，其地址如下表所示，用于存放客户 ID 与 IC 组态。

若不启用此功能，请保留此八个字节空间，并只能填写 0xFF。当致能此功能后，在每次复位中，WT51F104 会自动加载相关设定，请参考下面的说明及加载时序图。

地址	位编号	说明
0FF8H	7-0	= AFH, 致能 Code Option 功能; 当此字节的高 4 位为"1010", 致能此功能。 = FFH, 禁能 Code Option 功能 默认值 0xFF
0FF9H	7-0	Customer ID 1 对映到 XFR: CSM_ID1 = 0x0D[7:0] 默认值 0xFF: 可透过 SWUT ISP 软件刻录指定代码
0FFAH	7-0	Customer ID 2 对映到 XFR: CSM_ID2 = 0x0E[7:0] 默认值 0xFF: 可透过 SWUT ISP 软件刻录指定代码
0FFBH	7-0	Customer ID 3 对映到 XFR: CSM_ID3 = 0x0F[7:0] 默认值 0xFF: 可透过 SWUT ISP 软件刻录指定代码
0FFCH	7-0	Flash 内存内容保护: <b>此为独立设置，不因 Code Option 禁能而关闭。</b> = 00H flash 内存无法写入 = 10H flash 内存无法读取 默认值 0xFF: Flash 可擦写 (可用加密刻录，达到相同的保护)
<b>通用 I/O 复合功能选项设定:</b>		
0FFDH	7-5	保留
	4	对映到 XFR: GPA3_FUN_SLT = 26H[5:4] 0: 一般 I/O (默认值) 1: 复位脚位 (NRST)
	3	对映到 XFR: GPA4_FUN_SLT = 25H[1:0] 0: 一般 I/O (默认值) 1: 主外部晶振脚位 (Main Crystal)
	2	对映到 XFR: LVD_RST_PD = 02H[2] 1: 禁能低压复位 (默认值) 0: 致能低压复位
	1-0	对映到 XFR: LVD_RST_LVL = 02H[1:0], 低压侦测及复位准位设定 00: 2.00V 01: 2.50V 10: 3.00V (默认值) 11: 3.50V
<b>初始化振荡器及驱动能力选项设定:</b>		
0FFEH	7-5	保留
	4-3	对映到 XFR: SOURCE_CLK_SLT[1:0] = 0x05H[3:2]; 主晶振初始值 00: SOURCE clock = 内部 12 MHz RC 振荡器 (默认值) 01: SOURCE clock = 外部 32 kHz ~ 24 MHz 石英晶体振荡器 1X: SOURCE clock = 内部 32 kHz RC 振荡器
	2-1	对映到 XFR: CRY_12M_DR[1:0] = 0x08H[2:1]; 振荡器驱动能力选择 00: 选择 < 100 kHz 石英晶体振荡器 01: 选择 100 kHz ~ 1 MHz 石英晶体振荡器 10: 选择 1 MHz ~ 12 MHz 石英晶体振荡器 (默认值) 11: 选择 12 MHz ~ 24 MHz 石英晶体振荡器
	0	对映到 XFR: BLDO_PD 0x08H[0]; 内部稳压器 (main LDO)

地址	位编号	说明
		1: 关闭 0: 开启 (默认值)
<b>所有振荡器电源开关选项设定:</b>		
0FFFH	7-5	保留
	4	对映到 XFR: IRC_12M_PD1 = 0x07H[4] 1: 关闭内部 12 MHz RC 振荡器的部份电源 0: 开启内部 12 MHz RC 振荡器的部份电源 (默认值)
	3	对映到 XFR: IRC_12M_PD2 = 0x07H[3] 1: 关闭内部 12 MHz RC 振荡器全部电源 0: 开启内部 12 MHz RC 振荡器全部电源 (默认值)
	2	保留
	1	对映到 XFR: CRY_12M_PD = 0x 07H[1] 1: 关闭外部 32 kHz ~ 24 MHz 石英晶体振荡器 (默认值) 0: 开启外部 32 kHz ~ 24 MHz 石英晶体振荡器
	0	保留

注: 代码选项的设定最后也会被程序的设定覆盖掉, 因此建议使用程序来设定代码选项功能, 下一页有 **Code Option** 设定范例可参考, 也会提供范例程序。



**WT51F104 Code Option 范例:**

```
-----  
; This Code: CodeOption104.A51 is for WT51F104 Code Option Setting  
-----  
#define OPTION_ON          1  
#define OPTION_OFF        0  
;;Default Code Option OFF  
#define WT51F104_CODE_OPTION OPTION_OFF  
  
#if(WT51F104_CODE_OPTION==OPTION_ON)  
;;Load Code option switch  
CSEG   AT 0x0FF8  
DB    10101111B ;;0xAF: load code option  
  
;;Customer ID 1  
CSEG   AT 0x0FF9  
DB    11111111B  
;;Customer ID 2  
CSEG   AT 0x0FFA  
DB    11111111B  
;;Customer ID 3  
CSEG   AT 0x0FFB  
DB    11111111B  
  
;;Flash Protect Read/Write  
CSEG   AT 0x0FFC  
;;Flash memory content protection:  
;;default 0xFF select no protection MCU can read/write  
;;bit7-0 = 10H flash memory cannot be read  
;;bit7-0 = 00H flash memory cannot be written into  
DB    11111111B  
  
;;Crystal GPIO setting  
CSEG   AT 0x0FFD  
;;bit7 NC default 0  
;;bit6-5 Mapping to XFR: GPA4_FUN_SLT = 25H[1:0]  
;;default 00 GPIOA4 set GPIO function  
;;00: GPIO  
;;10: Main crystal  
;;bit4-3 Mapping to XFR: GPA3_FUN_SLT = 26H[5:4]  
;;default 00 GPIOA3 set GPIO function  
;;00: GPIO  
;;10: NRST  
;;bit2 Mapping to XFR: LVD_RST_PD 0x02H[2]  
;;default 1 select disable  
;;1: disable low voltage reset  
;;0: enable low voltage reset  
;;bit1-0 Mapping to XFR: LVD_RST_LVL 0x02H[1:0], low voltage detection and reset level setting  
;;default 10 select 3.00V  
;;00: 2.00V  
;;01: 2.50V  
;;10: 3.00V  
;;11: 3.50V  
DB    00000110B  
  
;;Source Clock and Crystal drive setting  
CSEG   AT 0x0FFE  
;;bit7 NC default 0
```

```
;;bit6 NC default 0
;;bit5 NC default 0
;;bit4-3 Mapping to XFR: SOURCE_CLK_SLT[1:0] 0x05H[3:2]; initialization value of main oscillator
;;default 00
;;00: SOURCE clock = internal 12 MHz RC oscillator
;;01: SOURCE clock = external 32 kHz ~ 24 MHz crystal oscillator
;;1X: SOURCE clock = internal 32 kHz RC oscillator
;;bit2-1 Mapping to XFR: CRY_12M_DR[1:0] 0x08H[2:1]; oscillator driving ability selection
;;default 10
;;00: select < 100 kHz crystal oscillator
;;01: select 100 kHz ~ 1 MHz crystal oscillator
;;10: select 1 MHz ~ 12 MHz crystal oscillator
;;11: select 12 MHz ~ 24 MHz crystal oscillator
;;bit0 Mapping to XFR: BLDO_PD 0x08H[0]; internal voltage regulator (main LDO)
;;default turn on
;;1: turn off
;;0: turn on
DB 00000100B

;;Crystal Power setting
CSEG AT 0x0FFF
;;bit7 NC default 0
;;bit6 NC default 0
;;bit5 NC default 0
;;bit4 Mapping to XFR: IRC_12M_PD1 0x07H[4] default turn on
;;1: turn off partial power of internal 12 MHz RC oscillator
;;0: turn on partial power of internal 12 MHz RC oscillator
;;bit3 Mapping to XFR: IRC_12M_PD2 0x07H[3] default turn on
;;1: turn off all power of internal 12 MHz RC oscillator
;;0: turn on all power of internal 12 MHz RC oscillator
;;bit2 Mapping to XFR: IRC_32K_PD 0x07H[2] default turn on
;;1: turn off the power of internal 32 kHz RC oscillator
;;0: turn of the power of internal 32 kHz RC oscillator
;;bit1 Mapping to XFR: CRY_12M_PD 0x07H[1] default turn off
;;1: Turn off external 32 kHz ~ 24 MHz crystal oscillator
;;0: Turn on external 32 kHz ~ 24 MHz crystal oscillator
;;bit0 NC default 0
DB 00000010B
#else
CSEG AT 0x0FF8
DB 11111111B
CSEG AT 0x0FF9
DB 11111111B
CSEG AT 0x0FFA
DB 11111111B
CSEG AT 0x0FFB
DB 11111111B
CSEG AT 0x0FFC
DB 11111111B
CSEG AT 0x0FFD
DB 11111111B
CSEG AT 0x0FFE
DB 11111111B
CSEG AT 0x0FFF
DB 11111111B
#endif
```

Customer ID 1 ~ 3 对映到客户代码缓存器 1~3, 请参考下面三个客户代码缓存器的说明。

**客户代码缓存器 1 CSTM\_ID1 (外部内存地址: 0x0D)**
**复位值: FFh**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	CSTM_ID1							

位编号	位符号	说明
7-0	CSTM_ID1	客户代码, 与 CSTM_ID2 及 CSTM_ID3 搭配共有 3 个字节。

**客户代码缓存器 2 CSTM\_ID2 (外部内存地址: 0x0E)**
**复位值: FFh**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	CSTM_ID2							

位编号	位符号	说明
7-0	CSTM_ID2	客户代码, 与 CSTM_ID3 及 CSTM_ID1 搭配共有 3 个字节。

**客户代码缓存器 3 CSTM\_ID3 (外部内存地址: 0x0F)**
**复位值: FFh**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读	读	读	读	读	读	读	读
名称	CSTM_ID3							

位编号	位符号	说明
7-0	CSTM_ID3	客户代码, 与 CSTM_ID1 及 CSTM_ID2 搭配共有 3 个字节。

注: WT51F104 的代码选项提供三个字节 (24 个位), 可供客户自行设定, 在每次复位后由程序存储区读取数据。

以下缓存器在前面章节已有说明, 现针对 **Code Option** 设定通用 I/O 复合功能选项所对映的缓存器, 包括晶振脚位、复位、低压侦测复位的选项设定, 将 **0x25**、**0x26**、**0x02** 缓存器再一次说明如下。

**通用 I/O 端口 A 复合功能设定缓存器 1 GPIOA\_FUN1 (外部内存地址: 0x25)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPA5_FUN_SLT[2:0]			保留	GPA4_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPA5_FUN_SLT[2:0]	设定 GPIOA5DH 复合功能 000: GPIO/IRQ15 (默认值) 001: ADC15 模拟输入 011: B 路径 PWM1 输出 010: T1 输入 101: P00 输出/输入 (对映至 8052 之 P0.0)

位编号	位符号	说明
		<b>注: 当 GPIOA4DH 设定为 OSCO 时, GPIOA5DH 需设定为 GPIO 功能。</b>
3	保留	-
2-0	GPA4_FUN_SLT[2:0]	设定 GPIOA4DH 复合功能 000: GPIO/IRQ14/ETMIA (默认值) 001: ADC14 模拟输入 010: OSCO ( <b>选择 OSCO, 对映的 GPIOA5DH 需设为 GPIO 功能</b> ) 011: B 路径 PWM0 输出 101: P01 输出/输入 (对映至 8052 之 P0.1)

-: 未能使用。

**通用 I/O 端口 A 复合功能设定寄存器 2 GPIOA\_FUN2 (外部内存地址: 0x26)**
**复位值: 00h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	读/写	读/写	读/写	-	读/写	读/写	读/写
名称	保留	GPA3_FUN_SLT[2:0]			保留	GPA2_FUN_SLT[2:0]		

位编号	位符号	说明
7	保留	-
6-4	GPA3_FUN_SLT[2:0]	设定 GPIA3D 复合功能 000: GPIO/IRQ13/ETMIB (默认值) 001: ADC13 模拟输入 010: 复位脚位 (NRST) 输入
3	保留	-
2-0	GPA2_FUN_SLT[2:0]	设定 GPIOA2DH 复合功能 000: GPIO/IRQ2 (默认值) 001: ADC2 模拟输入 010: CMPO, 比较器输出 011: C 路径 PWM1 输出 101: T0 输入

-: 未能使用。

**低压侦测控制寄存器 LVD\_CTL (外部内存地址: 0x02)**
**复位值: A6h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	读/写	读	读/写	读/写	读/写	读/写	读/写	读/写
名称	LVD_PD	LVD_CMP	LVD_LVL[2:0]			LVD_RST_PD	LVD_RST_LVL[1:0]	

位编号	位符号	说明
7	LVD_PD	1: 关闭低压侦测电源 0: 开启低压侦测电源
6	LVD_CMP	低压侦测比较后的结果 1: 电源电压 < 设定的低压侦测电压范围 0: 电源电压 > 设定的低压侦测电压范围
5-3	LVD_LVL[2:0]	低压侦测范围: 000: 2.00V 001: 2.25V 010: 2.50V

位编号	位符号	说明
		011: 2.75V 100: 3.00V 101: 3.25V 110: 3.50V 111: 3.75V

以下为 Code Option 设定初始化振荡器及驱动能选项所对应的缓存器，包括晶振来源、驱动能力的选项设定。

**系统时钟源控制缓存器 SOURCE\_CLK\_SLT (外部内存地址: 0x05)**
**复位值: A0h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	读/写	读/写	读/写	读/写
名称	保留				SOURCE_CLK_SLT[1:0]		MCU_CLK_SLT[1:0]	

位编号	位符号	说明
7-4	保留	必须等于"1010"，否则位[3:0]无法写入
3-2	SOURCE_CLK_SLT[1:0]	选择 SOURCE clock 来源 00: 内部 12 MHz RC 振荡器 (默认值) 01: 外部 DC ~ 24 MHz 石英晶体振荡器 10: 内部 32 kHz RC 振荡器 默认值可由 6.18 代码选项选择
1-0	MCU_CLK_SLT[1:0]	MCU clock 设定 00: MCU clock = SOURCE clock (默认值) 01: MCU clock = SOURCE clock /2 10: MCU clock = SOURCE clock /4 11: MCU clock = SOURCE clock /12

-: 未能使用。

注:

- 因外部晶振脚位同时支持 12 MHz 及 32.768 kHz 石英晶体振荡器的缘故，所以当 SOURCE clock 为外部 32.768 kHz 石英晶体振荡器时，不可以将 BLDO\_PD 关闭，否则会使 SOURCE clock 停止工作且无法刻录，可选择 SOURCE clock 为内部 32 kHz RC 振荡器，搭配实时定时器选择外部 32.768 kHz 石英晶体振荡器来操作。
- 当 SOURCE clock 为内部 32 kHz RC 振荡器且实时定时器的系统时钟源是选择外部 32.768 kHz 石英晶体振荡器时，会因内部 32 kHz RC 振荡器误差太大，执行速度比实时定时器产生的中断慢，而无法实时捕捉到中断源，所以在此模式下，需要将外部时钟源除频控制缓存器 1 及外部时钟源除频控制缓存器 2 设定为除 2，将实时定时器的时钟源除 2 为 16.384 kHz，此时实时定时器所选择的时间都会增加一倍的计数时间，这时 MCU 才能完全捕捉不会漏掉。

设定外部时钟源除 2 流程:

- 设定除频数据:  $CRY\_DIV[9:0] = 1$ ,  $32.768 \text{ kHz} / (CRY\_DIV[9:0] + 1) = 32.768 \text{ kHz} / 2 = 16.384 \text{ kHz}$
- 致能外部石英晶体振荡器之时钟源除频:  $EN\_CRY\_DIV = 1$

**振荡器驱动控制缓存器 CRY\_12M\_DR[1:0] (外部内存地址: 0x08)**
**复位值: 54h**

位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	-	-	读/写	读/写	读/写
名称	保留				保留	CRY_12M_DR[1:0]	BLDO_PD	

位编号	位符号	说明
7-4	保留	必须等于"0101", 否则位[3:0]无法写入
3	保留	-
2-1	CRY_12M_DR[1:0]	外部石英晶体振荡器驱动能力设定 00: 频率为小于 100 kHz 之晶体振荡器 01: 频率为 100 kHz ~ 1 MHz 之晶体振荡器 10: 频率为 1 MHz ~ 12 MHz 之晶体振荡器 (默认值) 11: 频率为 12 MHz ~ 24 MHz 之晶体振荡器 默认值可由 6.18 代码选项选择
0	BLDO_PD	内部稳压器 (main LDO) 1: 关闭 main LDO 0: 开启 main LDO (默认值) 默认值可由 6.18 代码选项选择

-: 未能使用。

注: main LDO 关闭仅针对 Green 模式, 如果 SOURCE clock 为 12 MHz (IRC 内部或外部晶振)都必须开启, 否则会造成工作异常且不能刻录。

注: 因 WT51F104 仅支持一组外部振荡器输入, 须根据外部石英晶体振荡器的频率来设定振荡器的驱动能力, 详细请参考下表。

外部石英晶体振荡器	CRY_12M_DR[1:0]
24 MHz	11
12 MHz	10
32.768 kHz	00

以下为 Code Option 设定所有振荡器电源开关选项设定, 建议照复位值去设定, 如果要使用外部晶振可等 MCU 执行程序时再去设定。

时钟源开关控制缓存器 IRC\_12M\_PD (外部内存地址: 0x07)

复位值: A2h

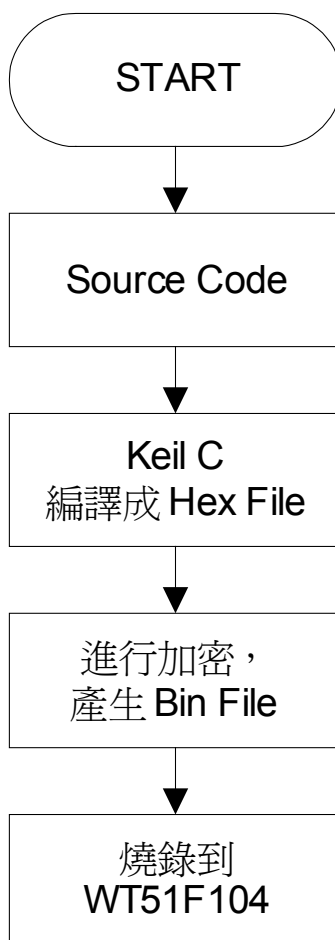
位	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
状态	-	-	-	读/写	读/写	读/写	读/写	-
名称	保留			IRC_12M_PD1	IRC_12M_PD2	IRC_32K_PD	CRY_12M_PD	保留

位编号	位符号	说明
7-5	-	必须等于"101", 否则位[4:0]无法写入
4	IRC_12M_PD1	1: 内部 12 MHz RC 振荡器部份电源关闭 (默认值不关闭) 0: 不关闭
3	IRC_12M_PD2	1: 内部 12 MHz RC 振荡器全部电源关闭 (默认值不关闭) 0: 不关闭
2	IRC_32K_PD	1: 内部 32 kHz RC 振荡器电源关闭 (默认值不关闭) 0: 不关闭
1	CRY_12M_PD	1: 外部 12 MHz ~ 32 kHz 石英晶体振荡器电源关闭 (默认值关闭) 0: 不关闭
0	保留	-

-: 未能使用。



### 6.19 防读与加密机制 (Read Out Protection & Encryption)



## 7. 电气特性

### 7.1 极限参数

参数	符号	条件	范围	单位
直流供电电压	$V_{DD}$		-0.3 ~ 6.0	V
输入电压	$V_I$		-0.3 to $V_{DD}$ +0.3	V
输出电压	$V_O$		-0.3 to $V_{DD}$ +0.3	V
总输出高电流	$\sum I_{OH}$		90 @-40°C ~ +85°C	mA
总输出低电流	$\sum I_{OL}$		90 @-40°C ~ +85°C	mA
环境温度	$T_A$		-40 ~ 85	°C
储存温度	$T_{STG}$		-60 ~ 125	°C

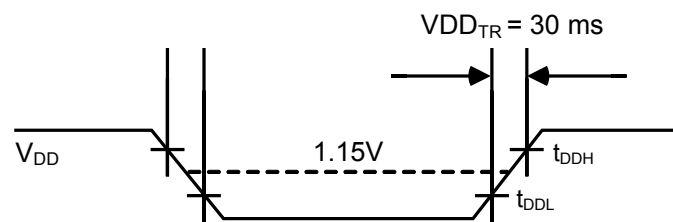
注意：芯片使用超过上面列表“极限参数”会引起芯片永久性损坏。这是一个额定值，在任何情况下，如果对器件的有效操作参数大于规格书中操作章节所标识的值都是不允许的。长期大于“极限参数”工作会影响器件的可靠性。超过上面所列数据可能对设备造成永久性损坏。

### 7.2 推荐操作参数

参数	符号	条件	规格			单位
			最小值	典型值	最大值	
电源电压	$V_{DD}$	$F_{main} = 12 \text{ MHz}$	1.8		5.5	V
主操作频率	$F_{main}$	$V_{DD} = 1.8\text{V} \sim 5.5\text{V}$		12		MHz
次操作频率	$F_{sub}$	$V_{DD} = V_{DD}$		32.768		kHz
操作温度	$T_{OPR}$		-40		85	°C
上电复位电压	$V_{POR}$	At $V_{DDTR} = 30\text{ms}$ , $T_A = 25^\circ\text{C}$		1.15		V
$V_{DD}$ 电压上升速率 <sup>(*)</sup>	$V_{DDTR}$		50			$\mu\text{S}/\text{V}$
$V_{DD}$ 电压下降速率 <sup>(*)</sup>	$V_{DDTFA}$		150			$\mu\text{S}/\text{V}$

(\*)：以上参数未经测试，仅供参考，不提供保证。

#### 上电复位 Timing



**7.3 DC 电气特性 ( $V_{DD} = 1.8V \sim 5V, -40^{\circ}C \sim +85^{\circ}C$ )**

参数	符号	引脚/条件	规格			单位
			最小值	典型值	最大值	
施密特触发低到高电位	$V_{T+}$	$V_{DD} = 1.8V \sim 5.5V$	$0.6 V_{DD}$		$V_{DD} + 0.3$	V
施密特触发高到低电位	$V_{T-}$	$V_{DD} = 1.8V \sim 5.5V$			$0.2 V_{DD}$	V
输出高电压电位 (注)	$V_{OH4}$	$I_{OH} = 4\text{ mA}$ at $V_{DD} = 5V$ GPIOB0 ~ GPIOB5, GPIOC0 ~ GPIOC5	$V_{DD} - 0.4$			V
	$V_{OH8}$	$I_{OH} = 8\text{ mA}$ at $V_{DD} = 5V$ GPIOA0 ~ GPIOA2, GPIOA4 ~ GPIOA5	$V_{DD} - 0.4$			
输出低电压电位 (注)	$V_{OL4}$	$I_{OL} = 4\text{ mA}$ at $V_{DD} = 5V$ GPIOB0 ~ GPIOB5, GPIOC0 ~ GPIOC5			$V_{SS} + 0.4$	V
	$V_{OL8}$	$I_{OL} = 8\text{ mA}$ at $V_{DD} = 5V$ GPIOA0 ~ GPIOA2, GPIOA4 ~ GPIOA5			$V_{SS} + 0.4$	
输入漏电流 <sup>(*)</sup>	$I_{OZ}$	$V_O = 0V$ or $V_{DD}$		$\pm 0.01$	$\pm 1$	$\mu A$
上拉电阻	$R_{PH}$	$V_{DD} = 5V, V_{PIN} = 0V$		33		$K\Omega$
正常高速模式 at 12 MHz 工作电流	$I_{VDD12M}$	No load on output ( $V_{DD} = 5V$ , IRC12M on), peripheral off		3.5		mA
正常高速模式 at 6 MHz 工作电流	$I_{VDD6M}$	No load on output ( $V_{DD} = 5V$ , IRC12M on), peripheral off		2.1		mA
正常高速模式 at 3 MHz 工作电流	$I_{VDD3M}$	No load on output ( $V_{DD} = 5V$ , IRC12M on), peripheral off		1.4		mA
正常高速模式 at 1 MHz 工作电流	$I_{VDD1M}$	No load on output ( $V_{DD} = 5V$ , IRC12M on), peripheral off		0.9		mA
Idle 模式工作电流	$I_{VDDs1}$	No load on output ( $V_{DD} = 5V$ , mcuClk = stop, Peripheral clock = IRC12M, BLDO on), peripheral off		600		$\mu A$
Green 模式工作电流	$I_{VDDs2}$	No load on output ( $V_{DD} = 5V$ , mcuClk = IRC32K,		17		$\mu A$

参数	符号	引脚/条件	规格			单位
			最小值	典型值	最大值	
		Peripheral clock = IRC32K, BLDO off, LVR off), peripheral off				
Sleep 模式工作电流	$I_{VDD3}$	No load on output ( $V_{DD} = 5V$ , mcuClk = stop, Peripheral clock = stop, BLDO off, LVR off), peripheral off		5		$\mu A$

(<sup>\*)</sup>: 以上参数未经测试, 仅供参考, 不提供保证。

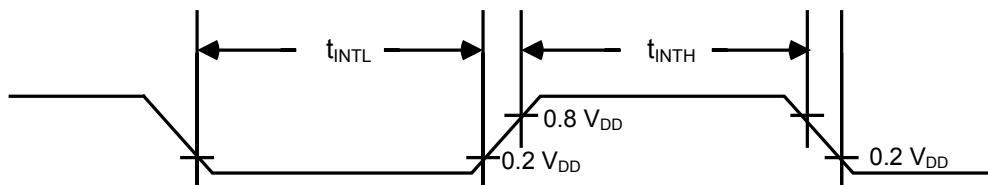
注:  $V_{OH4} / V_{OL4}$  脚位最大汲/源电流为 10mA;  $V_{OH8} / V_{OL8}$  脚位最大汲/源电流为 20mA。

## 7.4 AC 电气特性 ( $T_A = 25^\circ C$ )

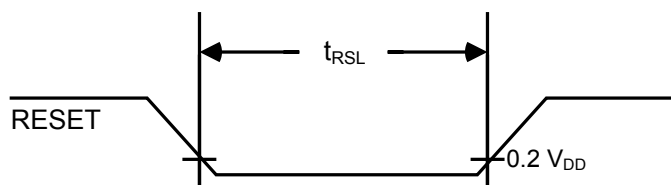
参数	符号	引脚/条件	规格			单位
			最小值	典型值	最大值	
主操作频率	$F_{MCP}$	$X_{IN}$	0.032		24	MHz
主晶振稳定时间( <sup>*)</sup> )		$V_{DD} = 4.5V \sim 5.5V$ at 12 MHz			10	ms
		$V_{DD} = 1.8V \sim 4.5V$ at 12 MHz			30	ms
		$V_{DD} = 4.5V \sim 5.5V$ at 32768 Hz		0.5	1	s
		$V_{DD} = 1.8V \sim 4.5V$ at 32768 Hz			10	s
中断输入脉冲宽度 (IRQx)	$t_{INTH}$ , $t_{INTL}$	MCU clock = 12 MHz	167			ns
复位输入脉冲宽度	$t_{RSL}$	RST_NDF = 1, main clock = 12 MHz	334			ns

(<sup>\*)</sup>: 以上参数未经测试, 仅供参考, 不提供保证。

**Input Timing for External Interrupts**



**Input Timing for RESET**



**7.5 内部 12 MHz RC 振荡器温度误差表**

参数	符号	引脚/条件	规格			单位
			最小值	典型值	最大值	
RC 振荡器频率	$F_{RCH}$	$V_{DD} = 5V$		12		MHz
出厂频率误差值 <sup>(*)</sup>	$\Delta F_{RCH1}/F_{RCH}$	无外部石英晶体振荡器作校正 25°C		±1		%
		无外部石英晶体振荡器作校正 0°C ~ 70°C		±2		%
		无外部石英晶体振荡器作校正 -40°C ~ 85°C		±3		%
		无外部石英晶体振荡器作校正 -40°C ~ 125°C		±4		%
		有外部石英晶体振荡器作校正 -40°C ~ 125°C			±1	

<sup>(\*)</sup>: 以上参数未经测试, 仅供参考, 不提供保证。

**7.6 A/D 转换特性 ( $T_A = 25^\circ\text{C}$ )**

参数	符号	引脚/条件	规格			单位
			最小值	典型值	最大值	
分辨率				10		bit
积分非线性误差 (INL)	$E_{IL}$	$AV_{REF} = V_{DD} = 5V$		$\pm 2$		LSB
差分非线性误差 (DNL)	$E_{DL}$	$AV_{REF} = V_{DD} = 5V$		$\pm 2$		LSB
仿真电压输入范围	$V_{ADCIN}$		$V_{SS}$		$V_{REF}$	V
转换时间	$T_{CT}$	main clock = 12 MHz	16			ADC_clk
参考电压 <sup>(*)</sup>	$AV_{REF}$		2.5		$V_{DD}$	V
对地电压 <sup>(*)</sup>	$AV_{SS}$		$V_{SS}$		$V_{SS} + 0.3$	V
ADC 工作电流 <sup>(*)</sup>	$I_{ADC}$	$AV_{REF} = V_{DD} = 5V$		0.2		mA
		$AV_{REF} = V_{DD} = 5V$ at Power Down mode			1	$\mu\text{A}$

<sup>(\*)</sup>: 以上参数未经测试, 仅供参考, 不提供保证。

**ADC ENOB (Effective number of bits)**

参数	引脚/条件 ADC convert time clock base = 1 MHz	规格			单位
		最小值	典型值	最大值	
ENOB (有效位数)	$AV_{REF} = V_{DD} = 5V$		9		bit
	$AV_{REF} = V_{DD} = 4V$		8		bit
	$AV_{REF} = V_{DD} = 3V$		8		bit
	$AV_{REF} = V_{DD} = 2V$		8		bit
	$AV_{REF} = V_{DD} = 1.22V$ (Bandgap)		6		bit

## 7.7 Bandgap 电气特性

参数	符号	引脚/条件	规格			单位
			最小值	典型值	最大值	
操作电压 <sup>(*)</sup>			1.8		5.5	V
操作温度 <sup>(*)</sup>			-40		85	°C
Bandgap 电压	V <sub>BDIE</sub>	V <sub>DD</sub> = 5V Temp = 25°C		1.22 ±15%		V
电压变异	V <sub>BSP</sub>	V <sub>DD</sub> = 1.8V ~ 5.5V		50		mV
温度变异	V <sub>BTP</sub>	Temp = -40°C ~ 85°C		30		mV

(\*): 以上参数未经测试, 仅供参考, 不提供保证。

注: 内部参考电压 Bandgap 出厂未校正, 且容易受温度及电源电压影响, 实际电压值请参考 6.13 章节。

## 7.8 低压复位 (LVR)、低压侦测 (LVD)及低压侦测复位 (LVDR) 电气特性 (T<sub>A</sub> = 25°C)

参数	符号	引脚/条件	规格			单位
			最小值	典型值	最大值	
LVR 电压	V <sub>LVR</sub>	T <sub>A</sub> = 25°C		1.5		V
LVR 工作电流	I <sub>DDPR</sub>	V <sub>DD</sub> = 5V ±10%		5		μA
LVD 及 LVDR 反应时间				120		μS
低压侦测范围误差	V <sub>LVD</sub>			10		%
低压侦测复位范围误差	V <sub>LVDR</sub>			10		%

## 7.9 比较器特性 (V<sub>DD</sub> = 5V, T<sub>A</sub> = 25°C)

参数	符号	引脚/条件	规格			单位
			最小值	典型值	最大值	
比较器输入电压范围	V <sub>ICM</sub>		V <sub>SS</sub>		V <sub>DD</sub>	V
输入偏移电压	V <sub>IOS</sub>			±5		mV
反应时间	T <sub>RT</sub>			1		μS
设定时间 <sup>(*)</sup>	T <sub>ST</sub>	V <sub>DD</sub> = 5V		3	10	μS
32 段参考电压误差	V <sub>REF</sub>			10		%
比较器工作电流	I <sub>COMP</sub>	ACOMP_SEL_BGP [1:0] = 00		20		μA

(\*): 以上参数未经测试, 仅供参考, 不提供保证。

**7.10 热阻特性**

参数	符号	特性	典型值	单位	条件
TH01	$\theta_{JA}$	热阻 (结到环境)	90	°C/W	20-pin SSOP 包装
TH02	$\theta_{JC}$	热阻 (结到管壳)	30	°C/W	20-pin SSOP 包装
TH03	TJMAX	最高结温	125	°C	20-pin SSOP 包装

参数	符号	特性	典型值	单位	条件
TH01	$\theta_{JA}$	热阻 (结到环境)	90	°C/W	14-pin SOP 包装
TH02	$\theta_{JC}$	热阻 (结到管壳)	37	°C/W	14-pin SOP 包装
TH03	TJMAX	最高结温	125	°C	14-pin SOP 包装

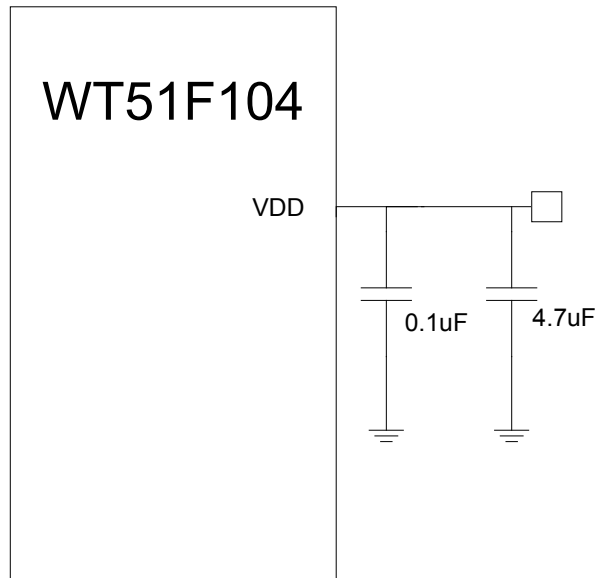
参数	符号	特性	典型值	单位	条件
TH01	$\theta_{JA}$	热阻 (结到环境)	45	°C/W	10-pin MSOP 包装
TH02	$\theta_{JC}$	热阻 (结到管壳)	120	°C/W	10-pin MSOP 包装
TH03	TJMAX	最高结温	125	°C	10-pin MSOP 包装

参数	符号	特性	典型值	单位	条件
TH01	$\theta_{JA}$	热阻 (结到环境)	150	°C/W	8-pin SOP 包装
TH02	$\theta_{JC}$	热阻 (结到管壳)	39	°C/W	8-pin SOP 包装
TH03	TJMAX	最高结温	125	°C	8-pin SOP 包装



## 8. 应用电路

### 8.1 供电线路



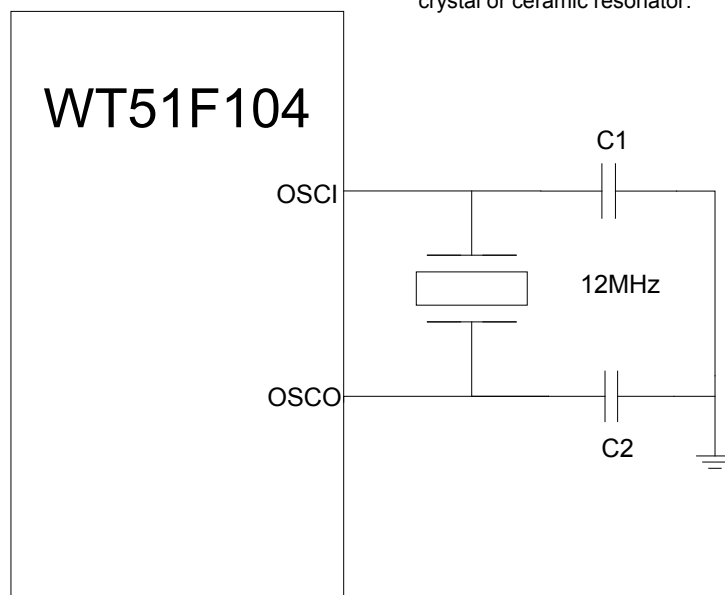
### 8.2 振荡器线路

#### 8.2.1 外挂 12 MHz 晶体振荡器

Example

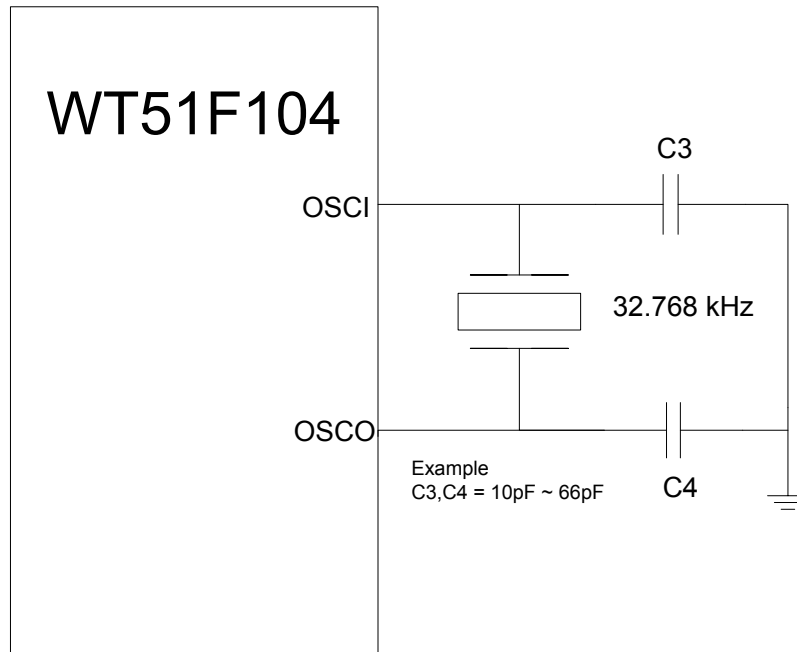
Crystal Oscillator	C1, C2 = 10pF ~ 33pF
Ceramic Resonator	C1, C2 = 10pF ~ 33pF

\* The example load capacitor value (C1, C2, C3, C4) is common value but may not be appropriate for some crystal or ceramic resonator.

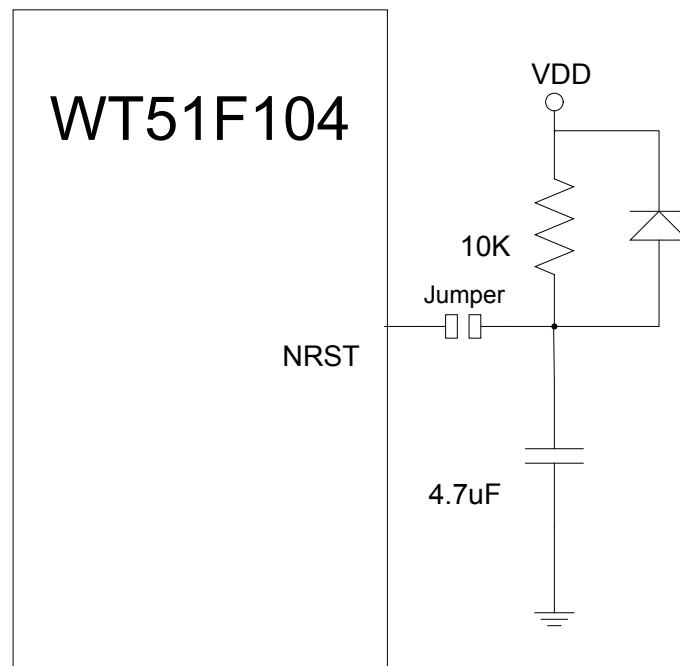


注: WT51F104 已提供内部 RC 振荡, 可以不需要外挂晶体振荡器, 但有需求更精准的应用可以外挂晶体振荡器。

### 8.2.2 外挂 32.768 kHz 晶体振荡器

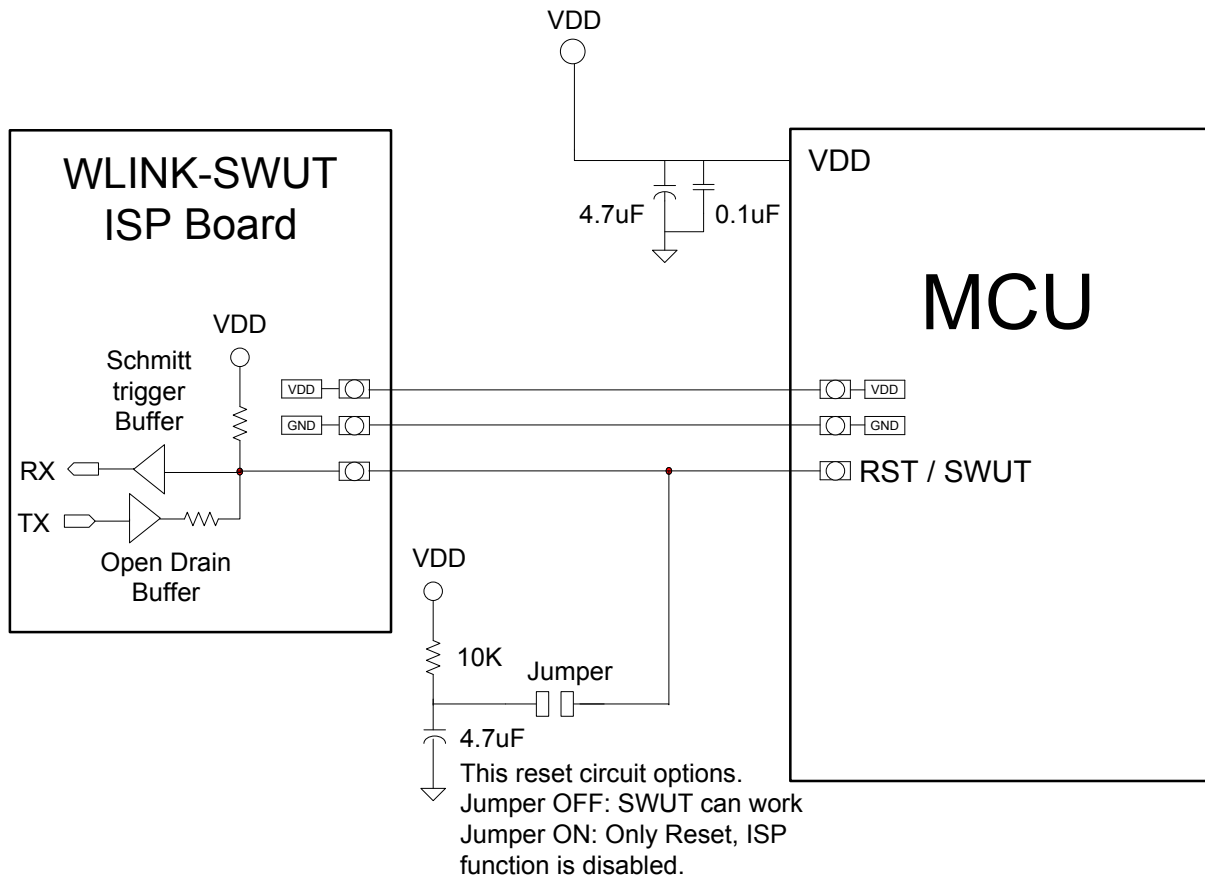


### 8.3 RESET 线路



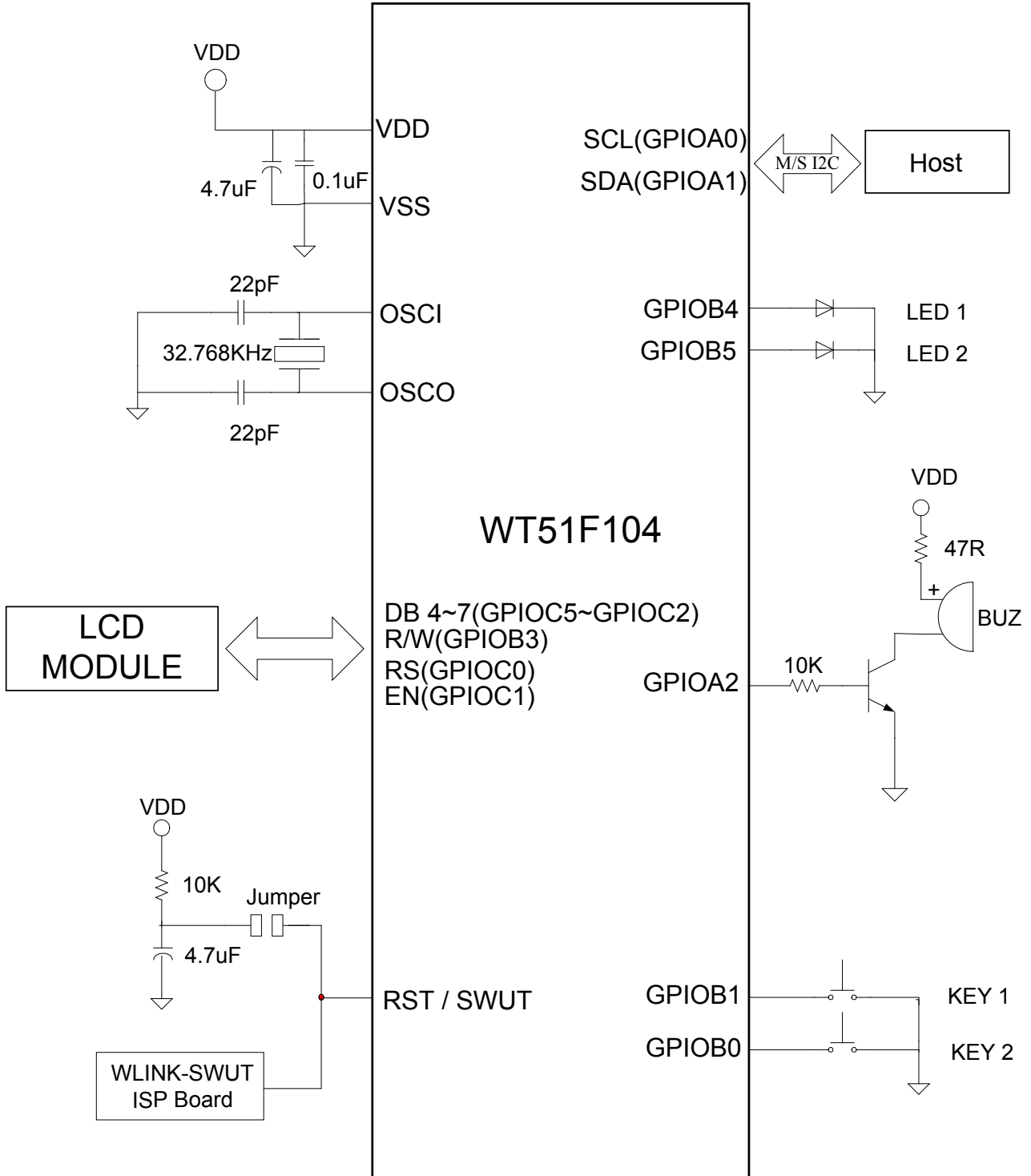
注：复位电路会影响到刻录，需增加 Jumper 作隔离。

**8.4 标准线路**



注：目前提供的 WLINK-SWUT 仅支持  $V_{DD} = 5V$  刻录 (版本: WLINK-SWUT 20120120)，在下一版将支援  $V_{DD} = 2.2V \sim 5.5V$  都可刻录。

**8.5 开发板线路 (16\*2 LCM)**



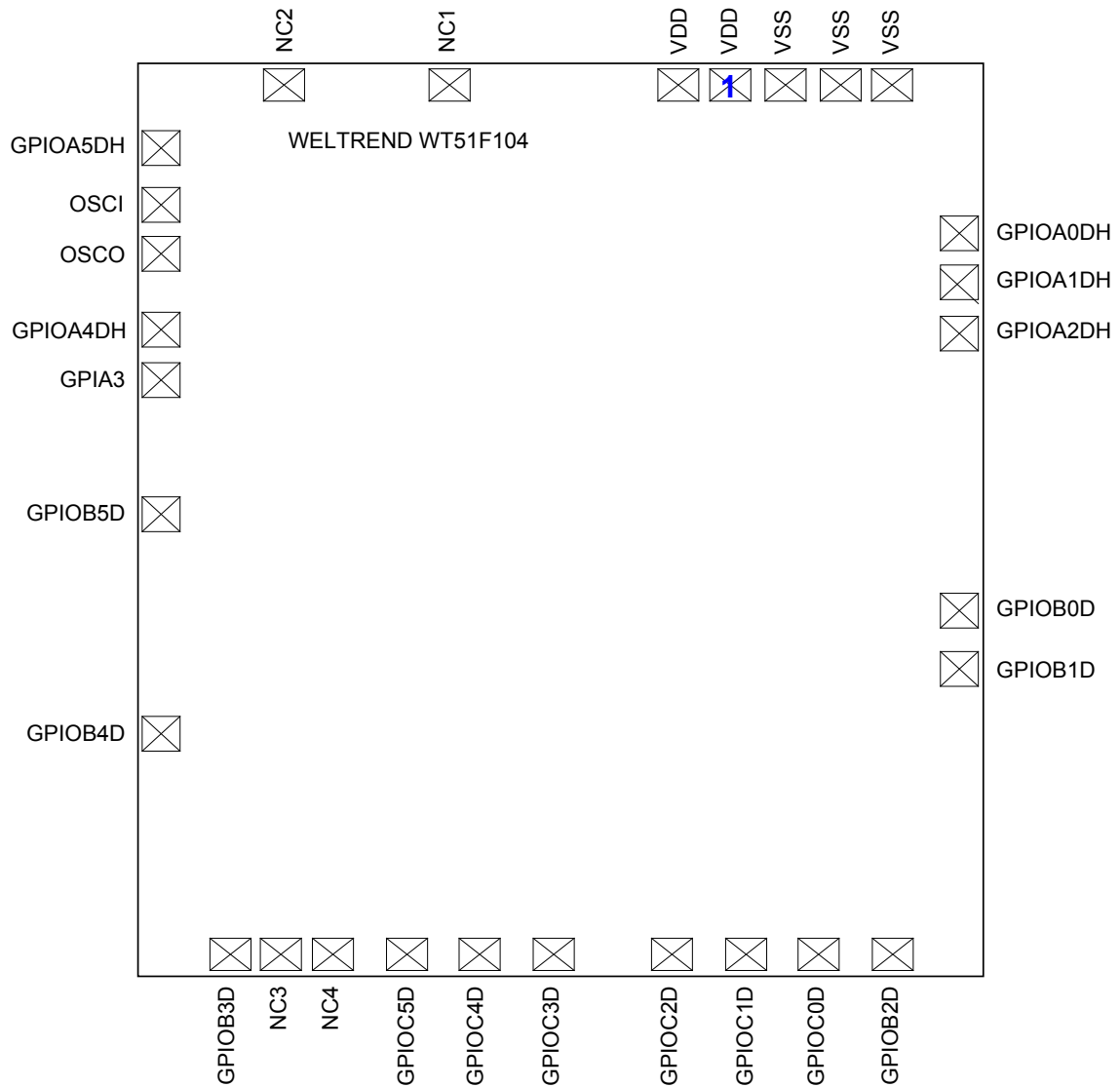
## 9. 产品命名规则

WT	消费性市场	LCD 功能	种子码 (家族)	Flash Size (K Bytes)		批注
WT	5	1F	1	0	4	5: 具 MCU/DSP, 使用在泛用型 或 消费性市场的相关产品 1X: 8-bit MCU 1F: Flash type 不带 LCD 功能的 8-bit MCU
			5	1	6	
WT	5	6F	1	0	8	5: 具 MCU/DSP, 使用在泛用型 或 消费性市场的相关产品 6X: LCD 背光模块控制器 6F: Flash type 带 LCD 功能的 8-bit MCU
			2	1	6	

## 10. 订购信息

包装型	包装外观尺寸	产品型号
20-pin SSOP	150 mil	WT51F104-OG20AWT
14-pin SOP	150 mil	WT51F104-SG140WT
10-pin MSOP	118 mil	WT51F104-MG10AWT
8-pin SOP	150 mil	WT51F104-SG080WT
Wafer form or Chip form	-	WT51F104HXXXWT

## 11. 裸片坐标位置图



No	Name	X	Y	No	Name	X	Y
1	VDD	1069.05	1678.55	16	GPIOC4D	618.95	46.45
2	VDD	976.05	1678.55	17	GPIOC3D	751.95	46.45
3	NC1	563.61	1678.55	18	GPIOC2D	964.05	46.45
4	NC2	266.23	1678.55	19	GPIOC1D	1097.05	46.45
5*	GPIOA5DH	46.45	1558.05	20	GPIOC0D	1230.05	46.45
6*	OSCI	46.45	1454.55	21	GPIOB2D	1363.05	46.45
7*	OSCO	46.45	1361.55	22*	GPIOB1D	1483.55	577.99
8*	GPIOA4DH	46.45	1219.41	23*	GPIOB0D	1483.55	688.82
9*	GPIA3	46.45	1126.41	24*	GPIOA2DH	1483.55	1212.415
10*	GPIOB5D	46.45	873.41	25*	GPIOA1DH	1483.55	1305.415
11*	GPIOB4D	46.45	460.41	26*	GPIOA0DH	1483.55	1398.415
12	GPIOB3D	166.95	46.45	27	VSS	1363.05	1678.55
13	NC3	259.95	46.45	28	VSS	1270.05	1678.55
14	NC4	352.95	46.45	29	VSS	1169.55	1678.55
15	GPIOC5D	485.95	46.45				

**Notes:**

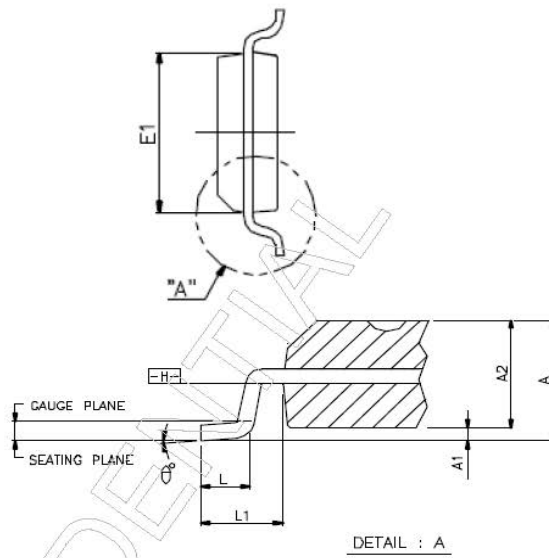
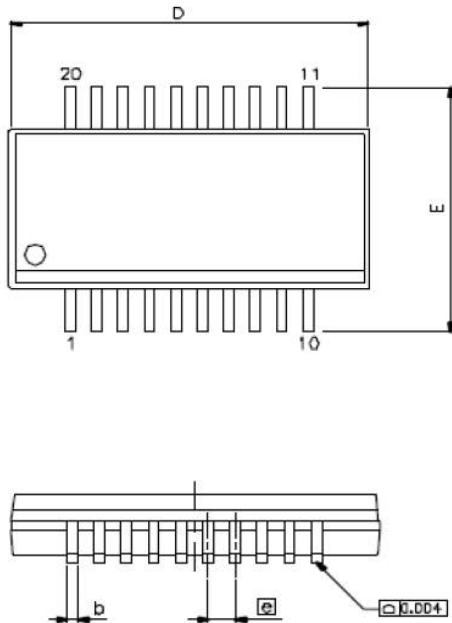
1. *The origin of pad location shown here is at lower-left corner of die.*
2. *PAD Window*
  - (a) *A type: 73um x 66um*
  - (b) *B type: 66 um x 73um (\*)*
3. *To stabilize the supply voltages, please connect 0.1uF and 4.7uF bypass capacitors between VDD and VSS.*
4. *NC1, NC2, NC3, NC4 pins, no connection for normal application.*
5. *All VDD pin need connect together. (No: 1, 2)*
6. *All VSS pin need connect together. (No: 27, 28, 29)*

## 12. 封装尺寸

### 12.1 20-Pin SSOP

Shrink Small Outline Package

150MIL/SSOP-20PIN



SYMBOLS	MIN	NOR	MAX
A	1.346	1.626	1.753
A1	0.102	0.152	0.254
A2	-	-	1.499
b	0.203	-	0.305
C	0.178	-	0.254
D	8.560	8.661	8.738
E	5.791	5.994	6.198
E1	3.810	3.912	3.988
$\square$	0.635 BSC		
L	0.406	0.635	1.270
L1	1.041 BSC		
$\theta^\circ$	0	-	8

UNIT: mm

NOTES:

1. JEDEC outline : MO-137AD
2. Dimension "D" does not include mold protrusion or gate burrs. Mold protrusions and gate burrs shall not exceed 0.152mm per side. Dimension "E1" does not include inter-lead mold protrusions. Inter-lead mold protrusion shall not exceed 0.254mm per side.
3. Dimension "b" does not include dambar protrusion/intrusion. Allowable dambar protrusion shall be 0.102mm total in excess of "b" dimension at maximum material condition. Dambar intrusion shall not reduce dimension "b" by more than 0.051mm at least.

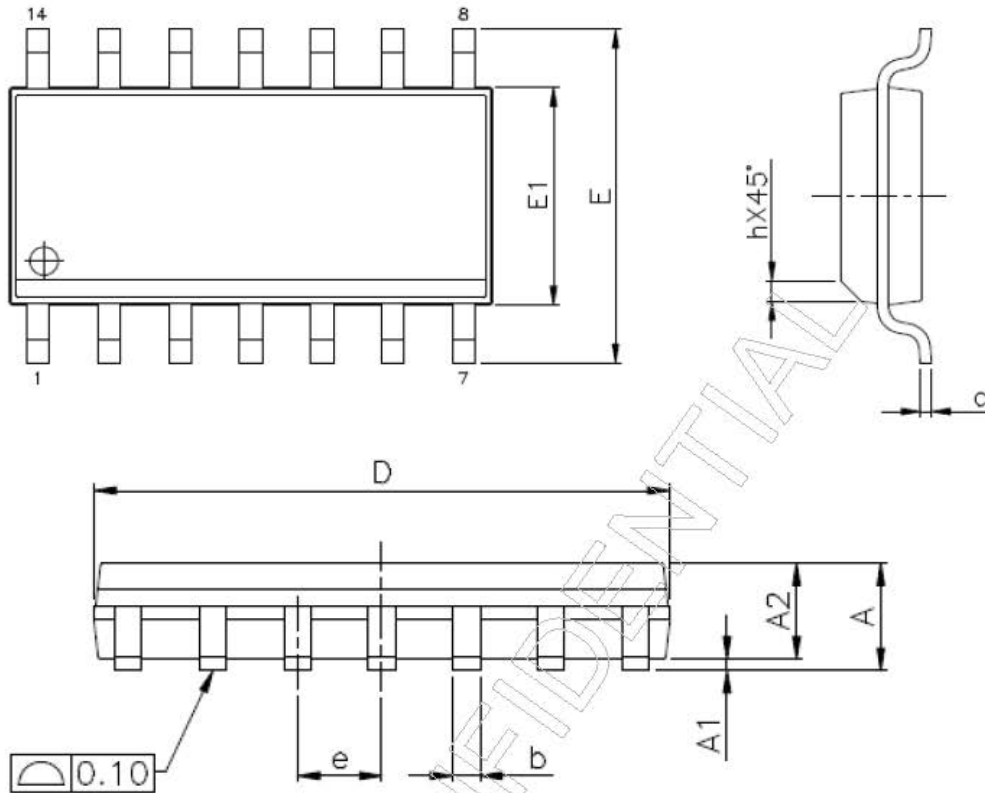
PREPARE	Cynthia	DATE: 2012/7/26
CHECK	Lawrence	DATE: 2012/7/26
APPROVE	Eric	DATE: 2012/7/26



**12.2 14-Pin SOP**

**Small Outline Package**

**150MIL/SOP-14 PIN**



SYMBOLS	MIN	MAX
A	-	1.75
A1	0.10	0.25
A2	1.25	-
b	0.31	0.51
c	0.10	0.25
D	8.65 BSC	
E	6.00 BSC	
E1	3.90 BSC	
e	1.27 BSC	
L	0.40	1.27
h	0.25	0.50
θ°	0	8

UNIT: mm

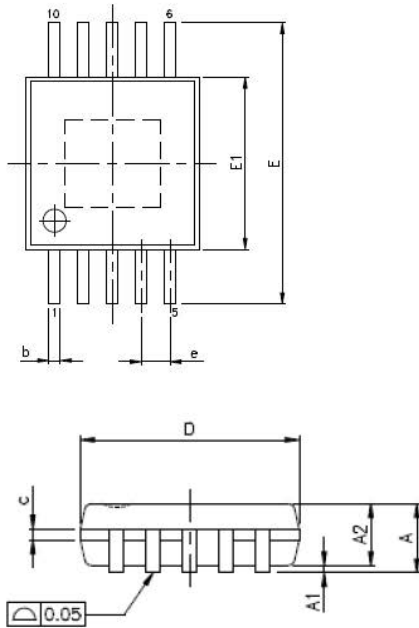
**NOTES:**

1. JEDEC outline : MS-012 AB REV.F
2. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions and gate burrs shall not exceed 0.15mm per side.
3. Dimension "E1" does not include inter-lead flash, or protrusions. Inter-lead flash and protrusions shall not exceed 0.25mm per side.

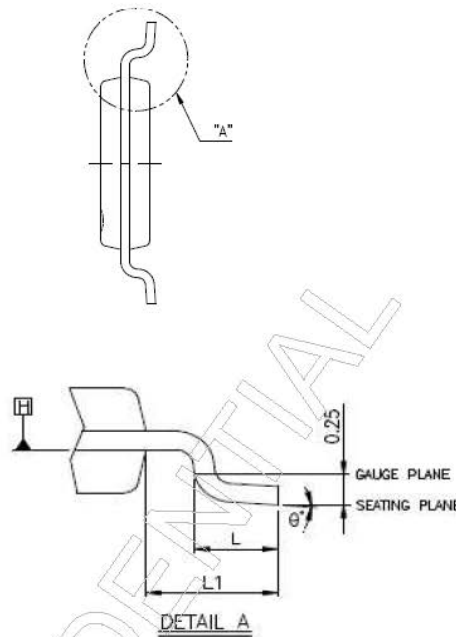
PREPARE	Cynthia	DATE: 2012/7/24
CHECK	Lawrence	DATE: 2012/7/24
APPROVE	Eric	DATE: 2012/7/24

**12.3 10-Pin MSOP**

Micro Small Outline Package



MSOP-10 PIN



SYMBOLS	MIN	NOR	MAX
A	-	-	1.10
A1	0.00	-	0.15
A2	0.75	0.85	0.95
b	0.17	-	0.27
c	0.08	-	0.23
D	3.00 BSC		
E	4.90 BSC		
E1	3.00 BSC		
e	0.50 BSC		
L	0.40	0.60	0.80
L1	0.95 REF		
$\theta^\circ$	0	-	8

UNIT: mm

NOTES:

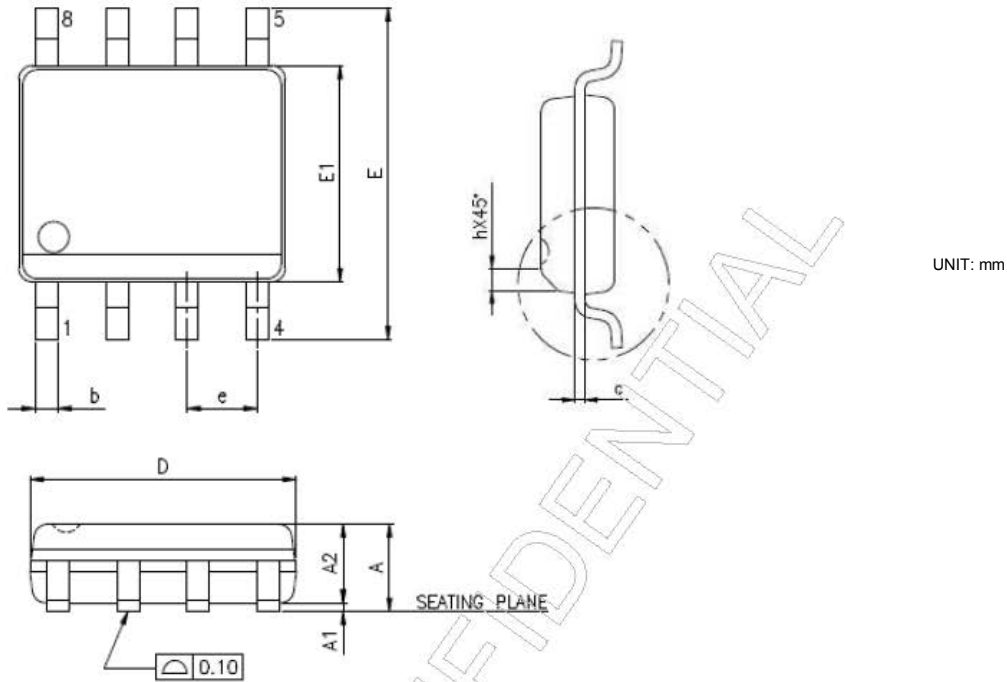
- JEDEC outline : MO-187 BA
- Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15mm per end. Dimension "E1" does not include inter-lead flash or protrusion. Inter-lead flash or protrusion shall not exceed 0.15mm per side.
- Dimension "b" does not include dambar protrusion. Allowable dambar protrusion shall be 0.08mm total in excess of the "b" dimension at maximum material condition. The dambar cannot be located on the lower radius of the foot. Minimum space between protrusion and an adjacent lead shall not be less than 0.07mm.
- "D" and "E1" dimensions are determined at datum H.

PREPARE	Cynthia	DATE: 2012/7/25
CHECK	Lawrence	DATE: 2012/7/25
APPROVE	Eric	DATE: 2012/7/25

**12.4 8-Pin SOP**

Small Outline Package

**150MIL/SOP-8 PIN**



UNIT: mm

SYMBOLS	MIN	MAX
A	-	1.75
A1	0.10	0.25
A2	1.25	-
b	0.31	0.51
c	0.10	0.25
D	4.90 BSC	
E	6.00 BSC	
E1	3.90 BSC	
e	1.27 BSC	
L	0.40	1.27
h	0.25	0.50
$\theta^\circ$	0	8

UNIT: mm

NOTES:

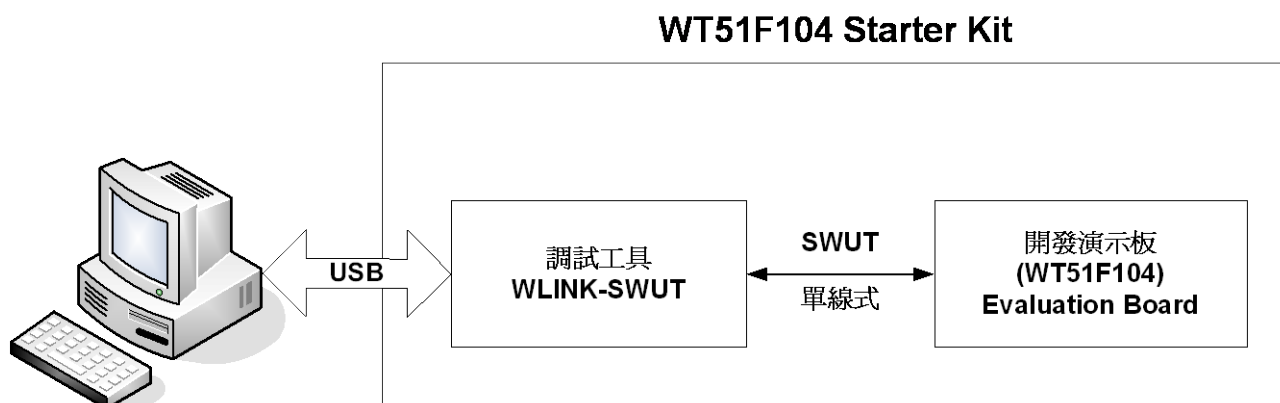
1. JEDEC outline : MS-012 AA REV.F
2. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions and gate burrs shall not exceed 0.15mm per side.
3. Dimension "E1" does not include inter-lead flash, or protrusions. Inter-lead flash and protrusions shall not exceed 0.25mm per side.

PREPARE	Cynthia	DATE: 2012/7/24
CHECK	Lawrence	DATE: 2012/7/24
APPROVE	Eric	DATE: 2012/7/24

### 13. 开发工具

WT51F104 可以与 Keil C51 搭配，调试工具与开发演示板、应用软件，都可以在计算机系统 Win98/2000/XP/Win7 完成在线仿真 (ICE) 与在线刻录 (ISP)。

示意图如下：



开发工具说明表:

请上伟詮电子公司网页 <http://www.weltrend.com.tw/> 可以下载开发工具相关数据与购买品号

产品信息	泛用型 IC	ADC Type MCU	WT51F104 Product Spec
			WT51F116/WT51F108 Product Spec
		ADC+LCD Type MCU	WT56F216 Product Spec
			WT56F108 Product Spec
			WT56F248/WT56F232 Product Spec
技术支持	支持工具/泛用型 IC	在线仿真器/在线刻录器	<b>WA001</b> WLINK-SWUT Adapter
		量产型刻录器	<b>WA007 WLINK-SWUT-M4S</b>
		量产型刻录器扩充板	<b>WS001</b> WLINK-SWUT-M4S Daughter Board Support WT56F216/ <b>WT56F232/WT56F248</b> MCU RG44AWT LQFP 44 PKG
			<b>WS003</b> WLINK-SWUT-M4S Daughter Board Support WT56F216 MCU SG28AWT SOP28 PKG
			<b>WS004</b> WLINK-SWUT-M4S Daughter Board Support WT51F104/WT51F116/WT51F108 MCU OG20AWT SSOP20 PKG
			<b>WS005</b> WLINK-SWUT-M4S Daughter Board Support WT51F104 MCU <b>SG140WT SOP14 PKG</b> <b>SG080WT SOP8 PKG</b>
			<b>WS006</b> WLINK-SWUT-M4S Daughter Board Support WT51F104 MCU MG10AWT MSOP10 PKG
			<b>WS007</b> WLINK-SWUT-M4S Daughter Board Support WT56F108 MCU RG64AWT LQFP64 PKG
			<b>WS009</b> WLINK-SWUT-M4S Daughter Board Support WT51F116/WT51F108 MCU UG32AWT QFN32 PKG
			<b>WS010</b> WLINK-SWUT-M4S Daughter Board Support WT51F116/WT51F108 MCU <b>MG10BWT MSOP10 PKG</b>
			<b>WS011</b> WLINK-SWUT-M4S Daughter Board Support WT56F248/WT56F232 MCU RG64AWT LQFP64 PKG
			<b>WS012</b> WLINK-SWUT-M4S Daughter Board Support WT56F248/WT56F232 MCU UG32AWT QFN32 PKG
			<b>WS013</b> WLINK-SWUT-M4S Daughter Board Support WT56F108 MCU RG44AWT LQFP 44 PKG
			<b>WS014</b> WLINK-SWUT-M4S Daughter Board Support WT56F108 MCU SG28AWT SOP28 PKG

技术支持	支持工具/泛用型 IC	验证板	WB000 WT56F216 EV Board
			WB001 WT51F104 EV Board
			WB005 WT56F216 Starter Kit Board
			WB006 WT51F104 Starter Kit Board
			WB007 WT56F108 Starter Kit Board
			WB008 WT51F116/WT51F108 Starter Kit Board
			WB010 WT56F248/WT56F232 Starter Kit Board
	技术数据/泛用型 IC	开发工具包	WK000 WT56F216 Starter Kit
			WK001 WT51F104 Starter Kit
			WK004 WT56F108 Starter Kit
			WK005 WT51F116/WT51F108 Starter Kit
			WK007 WT56F248/WT56F232 Starter Kit
	技术数据/泛用型 IC	WLINK Adapter 安装说明书	Doc2 WLINK-SWUT Adapter 安装说明书
		量产型刻录器说明书	Doc26 WLINK-SWUT-M4S 使用说明书
		ICE/ISP 操作说明书	Doc6 WLINK ICE 操作说明书 (uVision IDE 版)
			Doc8 WLINK-SWUT ISP 操作说明书 (独立版)
		验证版操作说明书	Doc12 WT56F216 EV Board 操作说明书
			Doc13 WT51F104 EV Board 操作说明书
			Doc21 WT56F216 Starter Kit 快速启动手册
			Doc22 WT51F104 Starter Kit 快速启动手册
			Doc23 WT56F216 Starter Kit 操作说明书
			Doc24 WT51F104 Starter Kit 操作说明书
	Doc27 WT56F108 Starter Kit 操作说明书		
	Doc28 WT51F116/WT51F108 Starter Kit 操作说明书		
	Doc30 WT56F248/WT56F232 Starter Kit 操作说明书		
	量产型刻录工具与供货商联络信息	Doc20 量产型刻录工具供货商	
	软件下载/泛用型 IC	WLINK Adapter 驱动程序	SW2 WLINK-SWUT Adapter 驱动程序
量产型刻录器驱动程序		SW2 WLINK-SWUT Adapter 驱动程序	
ICE 驱动程序/ISP 应用程序		SW6 WLINK-SWUT ICE 驱动程序(uVision IDE 版)	
		SW8 WLINK-SWUT ISP 驱动程序(uVision IDE 版)	
		SW9 WLINK-SWUT ISP 应用程序(独立版)	
SW17 自动安装 WLINK-SWUT ICE 及 ISP 驱动程序 (uVision IDE 版)WLINK-SWUT ISP 驱动程序 (uVision IDE 版)			

技术支持	软件下载/泛用型 IC	范例程序	<b>SW13</b> WT56F216 EV Board 范例程序
			<b>SW14</b> WT51F104 EV Board 范例程序
			<b>SW18</b> WT56F216 Starter Kit Board 范例程序
			<b>SW19</b> WT51F104 Starter Kit Board 范例程序
			<b>SW21</b> WT56F108 Starter Kit Board 范例程序
			<b>SW22</b> WT51F116/WT51F108 Starter Kit Board 范例程序
			<b>SW25</b> WT56F248/WT56F232 Starter Kit Board 范例程序

## 14. 版本更改记录

版本	记录	日期
1.0	初始版本	2011 年 11 月
1.05	改版, 详见勘误表	2012 年 6 月
2.0	改版, 详见勘误表 (0327) 改版, 详见勘误表 (0711)	2013 年 3 月 2013 年 7 月
3.0	改版, 详见勘误表 (20140630) 改版, 详见勘误表 (20140912) 改版, 详见勘误表 (20141226)	2014 年 6 月 2014 年 9 月 2014 年 12 月



## 附录：中/简版勘误表

2.0 版 -&gt; 3.0 版

项目	页码	章节	异动说明
<b>1</b>	<b>3</b>	<b>2</b>	增加 Green Package 说明
<b>2</b>	8-10	4.1	引脚功能内容
<b>3</b>	11	4.2	引脚描述内容
<b>4</b>	38-40	6.2.3	XFR: 0x25, 0x27, 0x28 内容
<b>5</b>	43-44	6.2.3	复合功能设定表
<b>6</b>	67	6.6	XFR: 0x57, 0x58 内容
<b>7</b>	<b>86-87</b>	<b>6.9.1</b>	<b>XFR: 0x0A 内容</b>
<b>8</b>	105	6.13	ADC 内容
<b>9</b>	111	6.14	XFR: 0xDB 内容
<b>10</b>	<b>118</b>	<b>6.17</b>	<b>内容修改</b>
<b>11</b>	<b>119</b>	<b>6.17</b>	<b>致能流程图更新</b>
<b>12</b>	120	6.18	代码选项 内容
<b>13</b>	125	6.18	XFR: 0x25 内容
<b>14</b>	148-150	13	开发工具说明表 更新