WT32L064/032
快閃記憶體類型
32 位元微控制器

規格書

Rev. 1.02

February 2022

版權聲明

本資料表受偉詮半導體公司版權保護。未經偉詮半導體公司明確書面許可，請勿複製、轉換為任何其它格式，或發送/傳輸本文檔的任何部分。

免責聲明

進行更改的權利， 本文檔為使用者提供技術資訊。偉詮半導體公司保留對此處任何產品進行更改的權利，恕不另行通知。

目 錄

目 錄 i
圖示清單 vii
表格清單 ix
1 概述 ..... - 1 -
1.1 主要特性 ..... - 2 -
1.2 系統架構方塊圖 7 ..... - 4 -
1.3 系統電源架構 ..... - 5 -
1.4 系統時鐘樹 ..... - 6 -
1.5 ARM® Cortex™-M0 Processor ..... - 7 -
1.5.1 Cortex M0 處理器功能 ..... - 7 -
1.5.2 嵌入式向量中斷控制器 (Nested Vectored Interrupt Controller, NVIC) ..... - 8 -
1.5.3 系統節拍計時器 (SysTick) ..... - 10 -
2 封裝引腳規劃 ..... - 11 -
2.1 包裝 ..... - 11 -
2.1.1 LQFP-64 ..... - 11 -
2.1.2 LQFP-48 ..... - 12 -
2.1.3 QFN-32 ..... - 13 -
2.2 引腳描述 ..... - 14 -
2.3 複合功能 I/O 與優先權 ..... - 18 -
3 記憶體映射 ..... - 19 -
3.1 AMBA 匯流排位址映射 ..... - 19 -
3.2 APB 記憶體空間 ..... - 19 -
4 復位和時鐘控制 ..... - 22 -
4.1 主要概述 ..... - 22 -
4.2 方塊圖 ..... - 22 -
4.3 RCC 暫存器描述 ..... - 24 -
4.4 功能描述 ..... - 29 -
4.4.1 復位 (RESET) ..... - 29 -
4.4.1.1 系統復位 ..... - 29 -
4.4.1.2 電源復位 ..... - 31 -
4.4.1.3 待機離開時復位 (Standby Exit Reset) ..... - 32 -
4.4.2 時鐘 (Clock) ..... - 32 -
4.4.2.1 PLL 時鐘 (PLL Clock) ..... - 32 -
5 電源管理單元 ..... - 33 -
5.1 電源管理單元概述 ..... - 33 -
5.2 Power Domain Overview ..... - 33 -
5.3 電壓穩壓器 ..... - 34 -
5.4 動態核心電壓 ..... - 34 -
5.5 省電模式 ..... - 35 -
5.5.1 外部中斷 (Extended Interrupt, EXTI) ..... - 36 -
5.5.2 節能模式下時鐘的行為 ..... - 36 -
5.6 暫存器定義 ..... - 37 -
5.7 狀態機 (State Machine) ..... - 41 -
5.7.1 執行模式 (Run mode) ..... - 41 -
5.7.2 睡眠模式 (Sleep Mode) ..... - 42 -

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5.7.3 停機模式 (Stop Mode) - 45 -
5.7.4 待機模式 (Standby Mode) - 48 -
5.8 設定範例 - 51 -
5.9 操作模式 與 喚醒源 - 51 -
6 eFlash 控制 - 53 -
6.1 主要概述 - 53 -
6.2 方塊圖 - 53 -
6.3 暫存器描述 - 54 -
R/W1C: 讀取 與 寫“1”清除 - 58 -
6.4 功能描述 - 59 -
6.4.1 NVM 功能描述 - 59 -
6.4.2 讀取 NVM - 59 -
6.4.3 寫入與抹除 NVM - 63 -
6.4.4 鎖定與解鎖操作 - 63 -
6.4.5 狀態暫存器 - 64 -
6.5 記憶體保護 - 65 -
6.5.1 讀取保護 RDP (Read Out Protection) - 65 -
6.5.2 資產保護 PcROP (Proprietary Code Read-Out Protection) - 66 -
6.5.3 防止意外的寫入或擦除操作 - 67 -
6.5.4 讀取 NVM - 67 -
6.5.5 保護錯誤 (Protection Errors) - 68 -
6.6 NVM 中斷 - 68 -
6.6.1 硬體錯誤 (Hard Fault) - 68 -
6.7 記憶體介面管理 - 69 -
6.7.1 操作優先權 (Priority) 和進程 (Evolution) - 69 -
6.7.2 操作之程序 (Sequence of Operations) - 69 -
6.7.3 讀取時更改等候狀態數 (Wait-States) - 70 -
6.8 可選位元組 (Option bytes) - 71 -
6.8.1 Option bytes 描述 - 71 -
6.8.2 保護旗標載入不匹配 - 71 -
6.8.3 模擬的 EEPROM - 72 -
6.8.3.1 描述 - 72 -
7 DMA - 73 -
7.1 概要 - 73 -
7.2 功能描述 - 74 -
7.2.1 方塊圖 - 74 -
7.2.2 AHB 主機介面 - 74 -
7.2.3 AHB 從機介面 - 74 -
7.2.4 FIFO 緩衝區 - 74 -
7.2.5 DMA 核心 - 74 -
7.2.6 優先權仲裁 - 74 -
7.2.7 控制邏輯與暫存器組 - 75 -
7.3 DMA Register Table - 76 -
7.3.1 中斷狀態/清除、通道 Busy 的全域設置 - 76 -
7.3.2 DMA 通道 x 來源之 AddrESS 暫存器 - 79 -
7.3.3 DMA 通道 x 目地之位址暫存器 - 79 -
7.3.4 DMA 通道 x 資料數量之暫存器 - 80 -
7.3.5 DMA 通道 x 設定暫存器 - 80 -
8 GPIO - 87 -

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

8.1 主要概述 - 87 -
8.2 方塊圖 - 87 -
8.3 暫存器描述 - 87 -
8.4 功能描述 - 97 -
8.4.1 泛用型 I/O - 97 -
8.4.2 泛用型 I/O - 98 -
8.4.3 I/O port 控制暫存器 - 98 -
8.4.4 I/O port 資料暫存器 - 98 -
8.4.5 I/O data bitwise handling - 98 -
8.4.6 I/O 複用 (Alternate) 功能之輸入/輸出 - 99 -
8.4.7 輸入規劃 - 99 -
8.4.8 輸出規劃 - 99 -
8.4.9 複用 (Alternate) 功能規劃 - 100 -
8.4.10 類比功能規劃 - 101 -
8.4.11 使用 HXTAL 或 LXTAL 振盪器引腳作為 GPIOs - 102 -

9 USB - 103 -
9.1 主要概述 - 103 -
9.2 方塊圖 - 103 -
9.3 暫存器描述 - 104 -
9.4 功能描述 - 115 -
9.4.1 主要功能模組 - 115 -
9.4.2 功能端點 - 115 -
9.4.3 傳輸 FIFOs - 116 -
9.4.3.1 傳輸 FIFOs 概述 - 116 -
9.4.3.2 傳輸資料集管理 - 116 -
9.4.4 接收 FIFOs - 118 -
9.4.4.1 接收 FIFOs 概述 - 118 -
9.4.4.2 接收資料集管理 - 119 -
9.4.5 Setup Token 接收 FIFO 緩衝區處理 - 120 -
9.4.6 暫停與恢復 (Suspend and Resume) - 120 -
9.4.7 FIFO 記憶體位址映射 - 122 -

10 時鐘還原系統 - 123 -
10.1 主要概述 - 123 -
10.2 方塊圖 - 124 -
10.3 暫存器描述 - 125 -
10.4 功能描述 - 127 -
10.4.1 同步輸入 - 127 -
10.4.2 頻率錯誤量測 - 127 -
10.4.3 頻率誤差評估和自動修補 - 128 -
10.4.4 CRS 初始化和規劃 - 128 -
10.4.5 CRS 省電模式 (low-power modes) - 129 -
10.4.6 CRS 中斷 (interrupts) - 129 -

11 I^2C - 130 -
11.1 主要概述 - 130 -
11.2 方塊圖 - 131 -
11.3 暫存器描述 - 131 -
11.4 功能描述 - 138 -
11.4.1 模式選擇 - 138 -
11.4.1.1 通信流程 - 138 -

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

11.4.2 I2C 初始化 - 139 -
11.4.2.1 雜訊濾波 - 139 -
11.4.2.2 時序 - 139 -
11.4.2.3 軟體復位 - 139 -
11.4.3 資料傳輸 - 139 -
11.4.3.1 接收 - 139 -
11.4.3.2 傳送 - 139 -
11.4.3.3 硬體傳輸管理 - 139 -
11.4.4 I2C 從機模式 - 140 -
11.4.5 I2C 主機模式 - 141 -
11.4.5.1 通信初始化 - 141 -
11.4.5.2 主機發射模式 - 141 -
11.4.5.3 主機接受模式 - 142 -
11.4.6 DMA 要求 - 142 -
11.4.6.1 使用 DMA 傳送 - 142 -
11.4.6.2 使用 DMA 接收 - 142 -
12 UART - 143 -
12.1 主要概述 - 143 -
12.2 方塊圖 - 144 -
12.3 暫存器描述 - 144 -
12.4 功能描述 - 147 -
12.4.1 分數串列傳輸速率 (baud rate) 產生 - 147 -
12.4.2 接收機 - 148 -
12.4.3 奇偶校驗控制 - 149 -
12.4.4 單線半雙工通信 - 149 -
13 SPI - 150 -
13.1 主要概述 - 150 -
13.2 方塊圖 - 151 -
13.3 暫存器描述 - 151 -
13.4 功能描述 - 153 -
13.5 SPI Timing Diagram - 156 -
14 I2S - 158 -
14.1 主要概述 - 158 -
14.2 方塊圖 - 158 -
14.3 暫存器描述 - 159 -
14.4 功能描述 - 160 -
14.4.1 I2S Bus 的基礎 - 161 -
14.4.2 左對齊模式 - 161 -
14.4.3 I2S Mode - 162 -
14.4.4 I2S 時鐘產生器 - 162 -
15 實時計數器 (Real-Time Clock) - 164 -
15.1 主要概述 - 164 -
15.2 方塊圖 - 165 -
15.3 暫存器描述 - 166 -
15.4 功能描述 - 168 -
15.4.1 可程式設定鬧鐘 (Programmable Alarm) - 168 -
15.4.2 週期中斷 (Periodic Interrupt) - 168 -
16 獨立看門狗計時器 - 169 -

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

16.1 主要概述 - 169 -
16.2 方塊圖 - 169 -
16.3 暫存器描述 - 170 -
16.4 功能描述 - 171 -
17 視窗看門狗計時器 - 172 -
17.1 主要概述 - 172 -
17.2 方塊圖 - 172 -
17.3 暫存器描述 - 172 -
17.4 功能描述 - 173 -
18 PWM - 175 -
18.1 主要概述 - 175 -
18.2 暫存器描述 - 176 -
18.3 功能描述 - 178 -
18.3.1 獨立 PWM - 178 -
19 計時器 - 179 -
19.1 主要概述 - 179 -
19.2 方塊圖 - 180 -
19.3 暫存器描述 - 180 -
19.4 功能描述 - 186 -
19.4.1 多個捕獲和匹配引腳 - 186 -
19.4.2 中斷 (Interrupts) - 186 -
19.4.3 DMA - 186 -
19.4.4 計數控制 (Count Control) - 186 -
19.4.5 捕捉控制 (Capture Control) - 187 -
19.4.6 配對控制 (Match Control) - 187 -
20 ADC - 188 -
20.1 主要概述 - 188 -
20.2 方塊圖 - 188 -
20.3 暫存器描述 - 189 -
20.4 功能描述 - 191 -
20.4.1 轉換功能 - 191 -
20.4.1.1 ADC_SLOW=0, 當 ADC clock ≤ APB clock - 191 -
20.4.1.2 ADC_SLOW=1, 當 ADC clock > APB clock - 191 -
20.4.2 轉換時序 - 192 -
20.4.3 類比看門狗的視窗 - 192 -
21 DAC - 193 -
21.1 主要概述 - 193 -
21.2 方塊圖 - 193 -
21.3 暫存器描述 - 194 -
22 超低功耗比較器 - 195 -
22.1 主要概述 - 195 -
23 CRC32 - 196 -
23.1 主要概述 - 196 -
23.2 暫存器描述 - 196 -
23.3 功能描述 - 196 -
23.4 CRC32 示例代碼:使用 WT32L064/032 - 197 -

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

24 Boot ROM & IAP ..... - 200 -
24.1 說明 ..... - 200 -
24.2 進入 Boot Code IAP 的方式 ..... - 200 -
24.3 Boot 與 IAP 記憶體映射 ..... - 200 -
24.4 流程圖 ..... - 202 -
25 電氣特性 ..... - 203 -
25.1 極限參數 ..... - 203 -
25.2 DC 電氣特性 ..... - 204 -
25.2.1 電源消耗 ..... - 204 -
25.2.2 Digital I/O 電氣特性 ..... - 205 -
25.2.3 LVR 電氣特性 ..... - 205 -
25.2.4 PLL 電氣特性 ..... - 206 -
25.2.5 ADC 電氣特性 ..... - 206 -
25.2.6 DAC 電氣特性 ..... - 207 -
25.2.7 LDO 電氣特性 ..... - 208 -
25.2.8 HSI 16 MHz ..... - 208 -
25.2.9 MSI 4.2 MHz ..... - 209 -
25.2.10 IRC 48MHz 電氣特性 ..... - 210 -
25.2.11 IRC 37kHz 電氣特性 ..... - 210 -
25.2.12 Crystal 32768 電氣特性 ..... - 211 -
25.2.13 COMP 電氣特性 ..... - 211 -
25.2.14 BOR/PVD 電氣特性 ..... - 212 -
25.2.15 POR 電氣特性 ..... - 213 -
25.2.16 POWER Supply 電氣特性 ..... - 214 -
25.3 AC 電氣特性 ..... - 215 -
25.4 Thermal 電氣特性 ..... - 216 -
26 應用線路 ..... - 217 -
26.1 VDD33 power supply ..... - 217 -
26.2 VDDBat power supply ..... - 217 -
26.3 USB Vbus 5V power supply ..... - 217 -
26.4 VBAT & VDD33 dual power supply ..... - 218 -
27 產品命名規則 ..... - 219 -
28 訂單訊息 ..... - 220 -
28.1 WT32L064 ..... - 220 -
28.1.1 Top Marking – LQFP64/48 ..... - 220 -
28.1.2 Top Marking – QFN32 ..... - 220 -
28.2 WT32L032 ..... - 221 -
28.2.1 Top Marking – LQFP64/48 ..... - 221 -
28.2.2 Top Marking – QFN32 ..... - 221 -
29 封裝外觀 ..... - 222 -
29.1 LQFP-64 外觀圖示 ..... - 222 -
29.2 LQFP-48 外觀圖示 ..... - 223 -
29.3 QFN-32 外觀圖示 ..... - 224 -
30 開發工具 ..... - 225 -
31 版本更改紀錄 ..... - 226 -

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

圖示清單

圖 1 WT32L064/032 系統功能方塊圖 - 1 -
圖 2 系統方塊圖 - 4 -
圖 3 系統電源架構 - 5 -
圖 4 系統時鐘樹 - 6 -
圖 5 ARM® Cortex™-M0 處理器 - 7 -
圖 6 Cortex-M0 NVIC 向量 - 8 -
圖 7 Cortex M0 SysTick - 10 -
圖 8 RCC 模組復位圖 - 22 -
圖 9 RCC 模組時鐘方塊圖 - 23 -
圖 10 PLL Diagram - 32 -
圖 11 電源域概觀 - 33 -
圖 12 低功耗運行模式狀態機 - 41 -
圖 13 睡眠模式狀態機 - 42 -
圖 14 進入睡眠模式的時序圖 - 43 -
圖 15 退出睡眠模式的時序圖 - 44 -
圖 16 停機模式狀態機 - 45 -
圖 17 進入停機模式的時序圖 - 46 -
圖 18 退出停機模式的時序圖 - 47 -
圖 19 待機模式狀態機 - 48 -
圖 20 進入待機模式的時序圖 - 49 -
圖 21 退出待機模式的時序圖 - 50 -
圖 22 斷電流程圖 - 51 -
圖 23 eFlash 控制方塊圖 - 53 -
圖 24 一個內部緩衝區的結構 - 60 -
圖 25 記憶體保護 - 65 -
圖 26 DMA 方塊圖 - 74 -
圖 27 GPIO 方塊圖 - 87 -
圖 28 I/O 埠位的基本結構 - 97 -
圖 29 輸入規劃 - 99 -
圖 30 輸出規劃 - 100 -
圖 31 複用功能規劃 - 101 -
圖 32 類比規劃 - 102 -
圖 33 USB 方塊圖 - 103 -
圖 34 USB Endpoints FIFO - 104 -
圖 35 傳輸 FIFO 緩衝區概觀 (以 8 位元組 FIFO 為例) - 116 -
圖 36 接收 FIFO 概觀 (以 8 位元組 FIFO 為例) - 118 -
圖 37 暫停 (Suspend)和恢復 (Resume)狀態圖 - 121 -
圖 38 CRS 方塊圖 - 124 -
圖 39 CRS Counter Behavior - 127 -
圖 40 I^2C 方塊圖 - 131 -
圖 41 I2C Bus Protocol - 138 -
圖 42 UART 方塊圖 - 144 -
圖 43 串列傳輸速率發生器示例 - 148 -
圖 44 SPI module 方塊圖 - 151 -
圖 45 I^2S 方塊圖 - 158 -
圖 46 (a) I2S 主機模式 (b) I2S 從機模式 - 161 -
圖 47 I2S 介面的基本計時圖 - 161 -
圖 48 I2S 介面左對齊模式計時圖 - 162 -

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

圖 49 I2S 介面的 I2S 模式計時圖 ..... - 162 -
圖 50 RTC 方塊圖 ..... - 165 -
圖 51 IWDT 方塊圖 ..... - 169 -
圖 52 WWDT 方塊圖 ..... - 172 -
圖 53 Timing Diagram of WWDT ..... - 174 -
圖 54 PWM 方塊圖 ..... - 175 -
圖 55 PWM0~3 功能 ..... - 178 -
圖 56 Timer Module 方塊圖 ..... - 180 -
圖 57 ADC 方塊圖 ..... - 188 -
圖 58 ADC_SLOW=0 轉換順序 ..... - 191 -
圖 59 ADC_SLOW_1 的轉換順序 ..... - 191 -
圖 60 ADC 轉換時間 ..... - 192 -
圖 61 ADC_SLOW=0 時序圖 ..... - 192 -
圖 62 類比看門狗視窗 ..... - 192 -
圖 63 DAC 方塊圖 ..... - 193 -
圖 64 DAC 類比方塊圖 ..... - 193 -
圖 65 WT32L064/032 開發套件 ..... - 225 -

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

表格清單

表格 1 WT32L064/032 中斷和異常向量 - 9 -
表格 2 引腳計數表 - 14 -
表格 3 引腳分配表 - 15 -
表格 4 RCC 控制暫存器 - 24 -
表格 5 性能與 V_{CORE} 範圍 - 34 -
表格 6 節能模式摘要 - 35 -
表格 7 EXTI Lines Connections - 36 -
表格 8 PMU 控制暫存器 - 37 -
表格 9 操作模式上的週邊 - 52 -
表格 10 eFlash 控制暫存器表 - 54 -
表格 11 NVM 組織 - 59 -
表格 12 等候狀態數(wait-states) - 59 -
表格 13 預取-預緩衝管理 (Pre-fetch & Pre-buffer) - 61 -
表格 14 緩衝區和推測讀取的規劃 - 62 -
表格 15 PcROP & wrprot 快閃記憶體保護範圍 - 66 -
表格 16 記憶體訪問與模式 - 67 -
表格 17 快閃記憶體中斷要求 - 68 -
表格 18 API 功能表 - 71 -
表格 19 GPIO 控制暫存器 - 87 -
表格 20 USB 控制暫存器 - 104 -
表格 21 寫入位元組計數暫存器 - 117 -
表格 22 傳輸 FIFO 管理真值表 - 118 -
表格 23 Status of the Receive FIFO Data Set - 119 -
表格 24 接收 FIFO 管理的真值表 - 120 -
表格 25 FIFO 記憶體位址映射 - 122 -
表格 26 CRS 控制暫存器 - 125 -
表格 27 低功耗模式對 CRS 的影響 - 129 -
表格 28 CRS 中斷控制位元 - 129 -
表格 29 I^2C 控制暫存器 - 131 -
表格 30 UART 控制暫存器 - 144 -
表格 31 UART Baud Rate Table - 147 -
表格 32 UART 雜訊誤差 - 149 -
表格 33 同位(Parity)控制表 - 149 -
表格 34 SPI 控制暫存器 - 151 -
表格 35 I^2S 控制暫存器 - 159 -
表格 36 I2S Sampling Rate - 163 -
表格 37 I2S System Clock = 24MHz (assume f_{BCLK}=64fs) - 163 -
表格 38 I2S System Clock = 12MHz (assume f_{BCLK} =64fs) - 163 -
表格 39 RTC 控制暫存器 - 166 -
表格 40 IWDT 控制暫存器 - 170 -
表格 41 IWDT Min./Max. 超時週期 使用 37 kHz 時鐘源 - 171 -
表格 42 WWDT 控制暫存器 - 172 -
表格 43 WWDT 最小值/最大超時值(Timeout)，24.00MHz - 174 -
表格 44 PWM 控制暫存器 - 176 -
表格 45 Timer 控制暫存器 - 180 -
表格 46 ADC 控制暫存器 - 189 -
表格 47 DAC 控制暫存器 - 194 -
表格 48 CRC32 控制暫存器 - 196 -

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

1 概述

WT32L064/032 是一款採用 Arm 32 位元 Cortex M0 中央處理器的超低功耗微控制器，具有 64KB/32KB 嵌入式快閃記憶體和 8KB SRAM。藉由自行研發的零等待(Zero Wait-State)的快閃記憶體(flash memory)存取技術，當操作在 32MHz，可達到接近 32 MIPS 的效能。

此外，藉由先進電路設計和極低漏電的半導體製程技術，其漏電電流在停機(Stop)模式和待機(Standby)模式下，分別可低至 0.6μA 和 0.3μA。

WT32L064/032 是高度整合的 MCU，包含豐富的週邊，如 12 位元 ADC、12 位元 DAC、CRC32、GPIO、PWM、全速 USB、I2S、I2C、UART、SPI 等，特別適合於電池或能源採集供電的場合應用。

WT32L064/032 的一些應用範例包括真無線耳機(TWS)充電盒、雙模無線電競鍵盤/滑鼠、工業流量計、各種傳感應用，例如氣體、溫度、濕度和壓力的偵測/顯示裝置以及傳感集線器(Sensor Hub)。

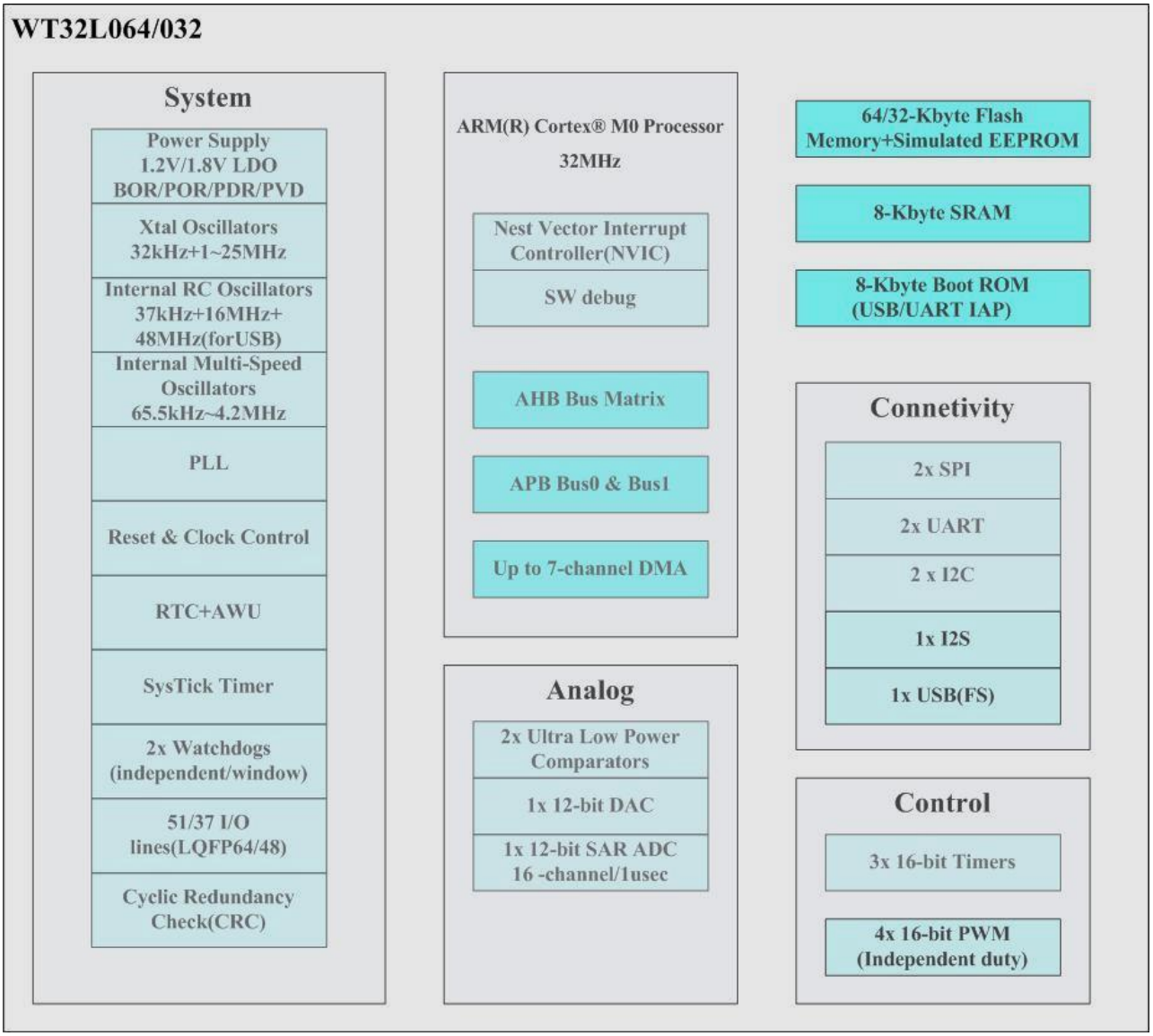


圖 1 WT32L064/032 系統功能方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

1.1 主要特性

- 超低功耗平台
  - 1.65V 至 3.6V 操作電壓
    - ✓ **1.65V~1.8V @Max.4.2 MHz (Flash 僅能讀)**
    - ✓ **1.8V~2.2V @Max.4.2 MHz (Flash 可讀可寫)**
    - ✓ **2.3V~3.6V @Max.32 MHz (Flash 可讀可寫)**
  - -40˚C 至 105˚C 的操作溫度
  - 0.3 μA 待機 (Standby)模式
  - 1.0 μA 打開 RTC 的待機 (Standby)模式
  - **0.6** μA 停機模式 (Stop Mode)
  - **1.3** μA 打開 RTC 的停機模式 (Stop Mode)
- 核心: ARM® 32 位元 Cortex®-M0 處理器
  - 操作頻率 65.5 kHz 至 32 MHz
  - **0.88** DMIPS/MHz
- 中斷源

  ARM Cortex-M0 內置嵌入式向量中斷控制器 (NVIC)
  - 32 個外部中斷輸入，每個輸入具有四個優先順序
  - 專用不可遮罩中斷 (NMI) 輸入
  - 支援電平觸發 (level-sensitive)和脈衝觸發 (pulse-sensitive)中斷線路
  - 喚醒中斷控制器 (WIC)，支援睡眠模式
- 系統節拍計時器
  - 24 位元計時器時鐘可固定到系統時鐘的頻率
- 內部記憶體
  - WT32L064: 高達 64 KB 快閃記憶體
  - WT32L032: 高達 32 KB 快閃記憶體
  - 8 KB SRAM 記憶體
- 高達 51 個快速 I/O (大部份 I/O 可容忍 5V 輸入)
- 復位管理
  - 超低功耗具 5 個門檻可設定的 BOR (Brownout Reset)
  - 超低功耗 POR/PDR
  - 可程式化的電壓偵測 (PVD)
- 時鐘源
  - 1 MHz ~ 25 MHz 外掛晶振
  - 32 kHz 外掛晶振支持實時時鐘與萬年曆功能。(注意: RTC clock 必須先啟動，請參考 RCC 章節表格 4 描述)
  - 高速 16 MHz 內部 RC 振盪器出廠校正 (±1%)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

- 低功耗 37 kHz 內部 RC 振盪器
- 低功耗多速 65 kHz 至 4.2 MHz 內部 RC 振盪器
- 具內部自動校準 48 MHz 內部 RC 振盪器給 USB 使用
- CPU 時鐘的 PLL

- 開發支援
  - 支援串列線路調試
- 豐富的類比週邊
  - 12-bit SAR ADC **0.5 Ms/s** 最多 16 個通道 (可低至 1.8V 工作)
  - 具有輸出緩衝器的 12 bit 通道 DAC (可低至 1.8V 工作)
  - 超低功耗比較器 (視窗模式和喚醒功能，可低至 1.65V 工作)
- 7 通道 DMA 控制器，支援 ADC、SPI、I^2C、UART、計時器和 USB
- 週邊通信介面
  - 1x USB 1.1 無需晶振
  - 2x UART
  - Up to 2x SPI 16 M bits /sec.
  - 2x I^2C
  - 1x I^2S up to 32-bit word size
- 6 個計時器: 3 組 16-bit，支持最多 4 個通道、1 組 RTC 和 2 組 看門狗 (獨立型與視窗型)
- 4 通道 PWM
- CRC 循環冗餘計算單元
- LQFP-64 (7mmx7mm)、LQFP-48 (7mmx7mm)、QFN32 (5mmx5mm) 封裝

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

1.2 系統架構方塊圖 7

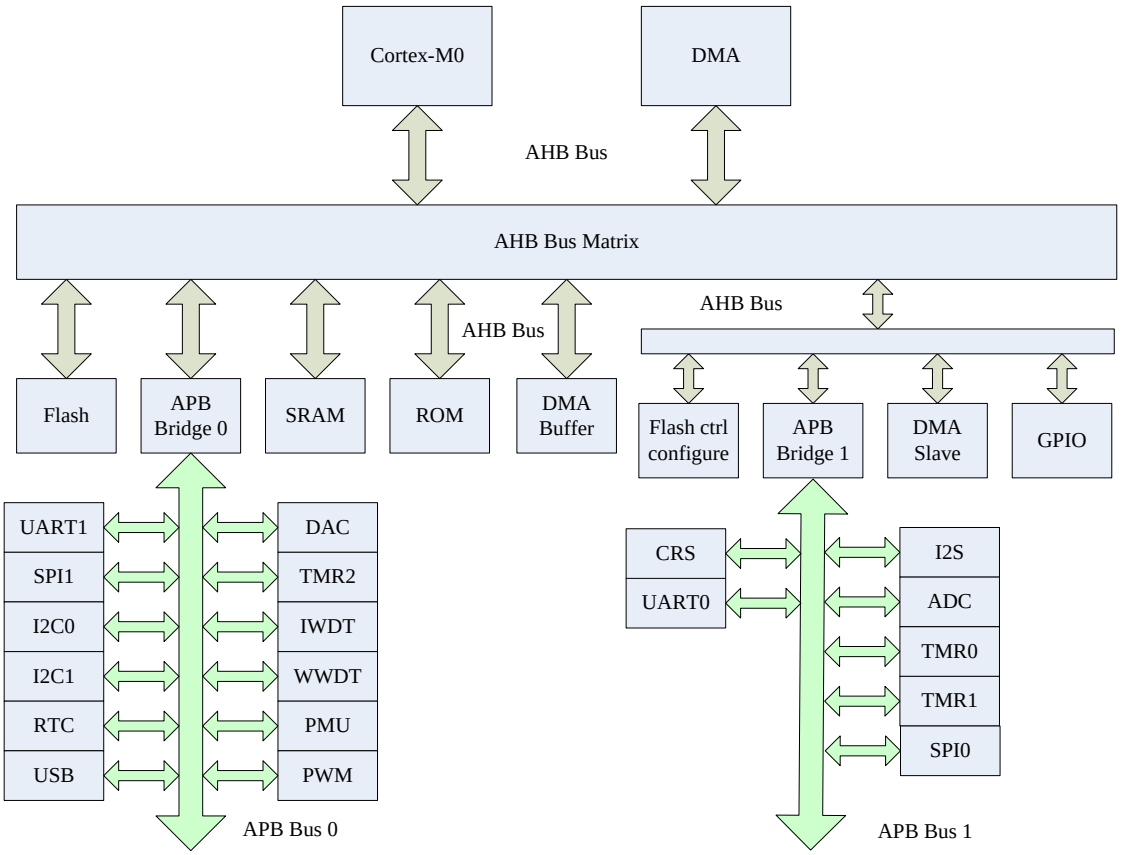
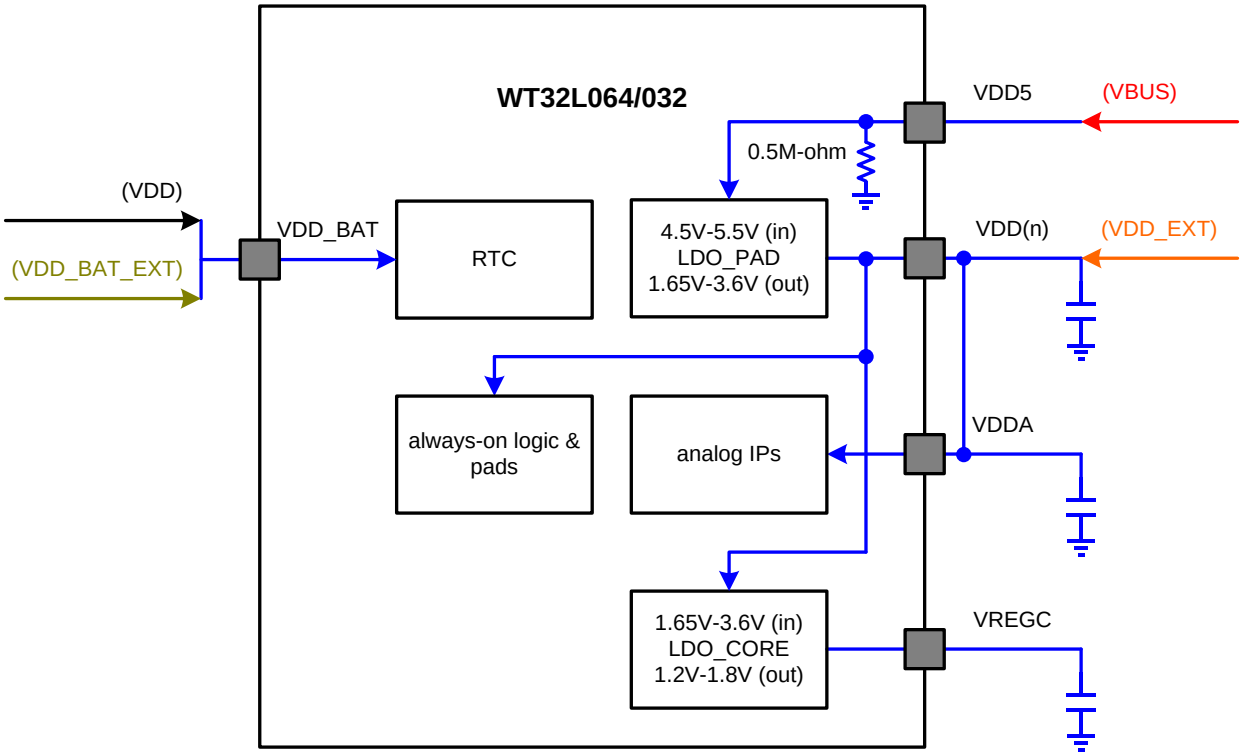


圖 2 系統方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

1.3 系統電源架構



Notes:
1. blue circuits are fixed
2. only one of VBUS or VDD_EXT is supplied, the other is floating
3. only one of VDD or VDD_BAT_EXT is supplied for VDD_BAT, the other is floating

圖 3 系統電源架構

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

1.4 系統時鐘樹

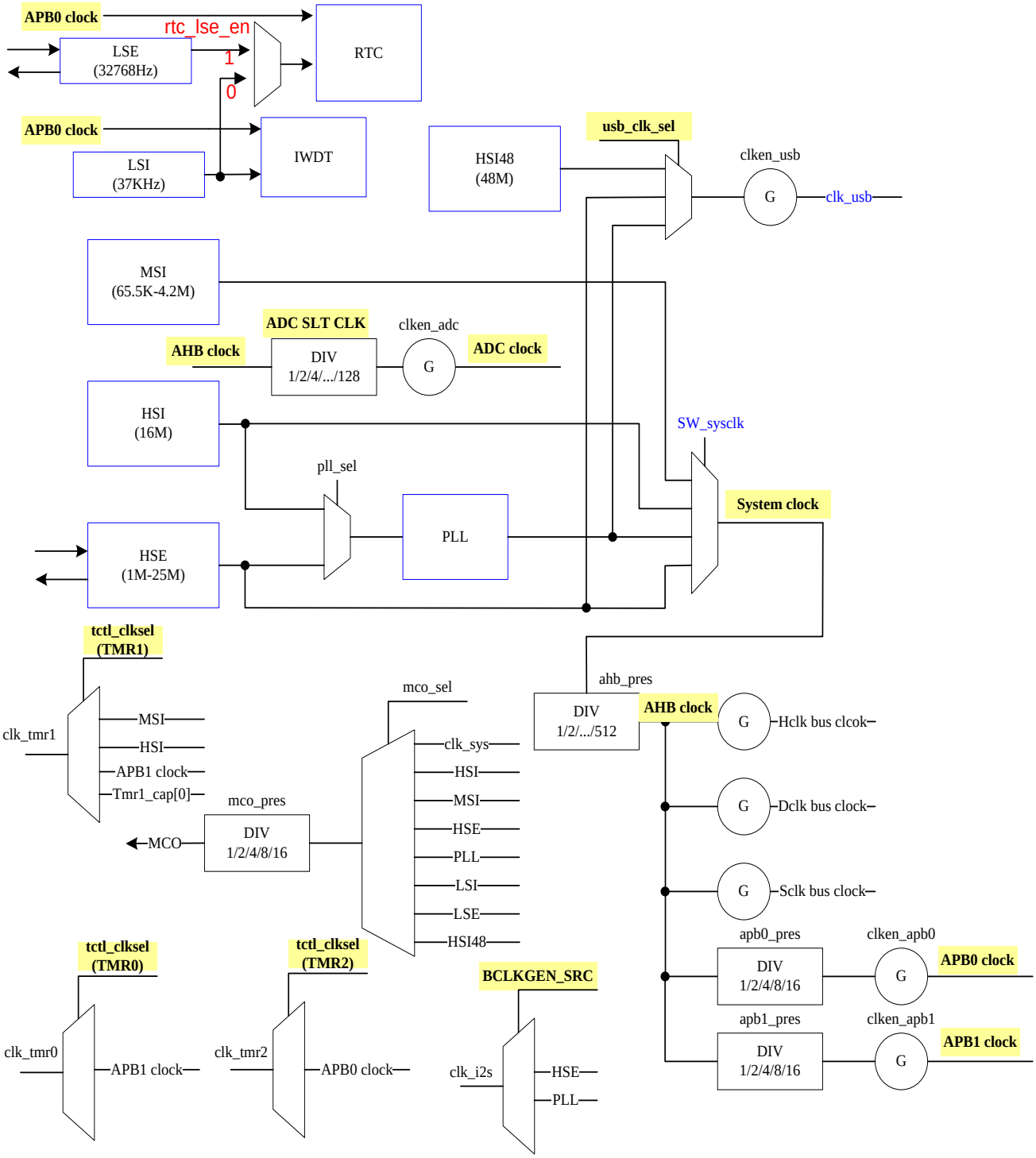


圖 4 系統時鐘樹

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

1.5 ARM® Cortex™-M0 Processor

Cortex™-M0 處理器是一個可規劃的,多級的 32 位元 RISC 處理器。它有一個 AMBA AHB-Lite 介面，並包括一個 NVIC 元件。它還具有可選的硬體調試功能。處理器可以執行 Thumb 代碼，並且與其它 Cortex-M 家族處理器相容。

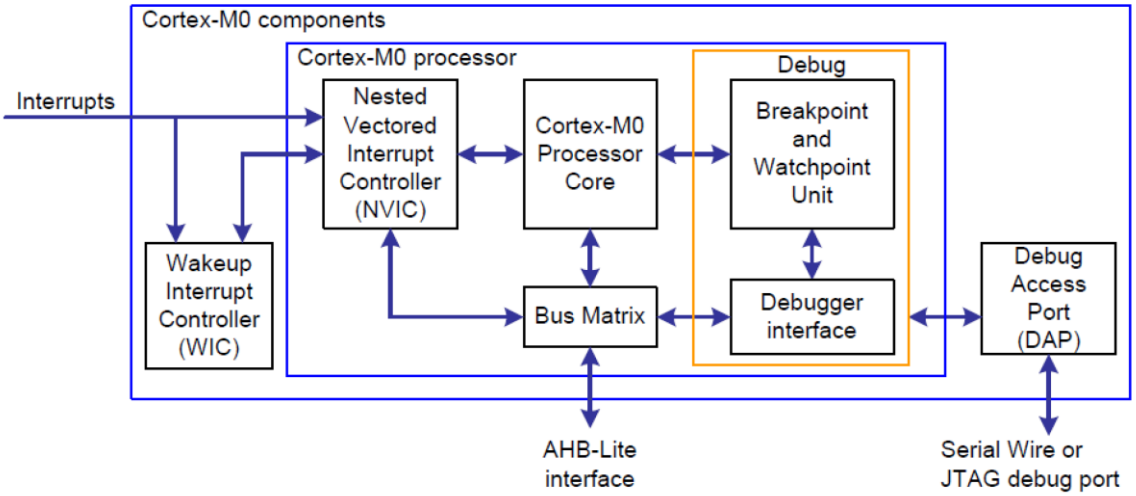


圖 5 ARM® Cortex™-M0 處理器

1.5.1 Cortex M0 處理器功能

- Cortex-M0 處理器包括:
  - ✓ Cortex-M0 處理器內核
  - ✓ 嵌入式向量中斷控制器 (NVIC)
  - ✓ 系統節拍計時器
- ARMv6-M Thumb 指令集
- NVIC: 32個外部中斷輸入
- 調試: 4 個 HD 中斷點，2 個觀察點
- 匯流排界面: 32 位 AMBA-3 AHB-Lite 系統介面
- ARMv6-M (這是ARMv7-M的子集，向上相容)
  - ✓ 它僅支援 Thumb 指令集
  - ✓ 無需互通代碼 (Interworking code)
  - ✓ 總共有56個指令，6個是 32位元長度，其它是16 位元長度
  - ✓ 32位元指令有: BL、DMB、DSB、ISB、MRS、MSR
- 支援位元組 (8位元)、半字half-word (16位元) 和字組 (32位元)資料類型，每種資料類型都必須使用自然對齊方式進行訪問
- 內置計時器和中斷控制器
  - ✓ Systick、NVIC

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

- 記憶體映射 I/O
  - ✓ 使用相同的指令訪問記憶體和暫存器
  - ✓ 例如: LDR、STR

1.5.2 嵌入式向量中斷控制器 (Nested Vectored Interrupt Controller, NVIC)

Cortex-M0 提供中斷控制器作為異常模式的處理，稱為"嵌入式向量中斷控制器 (NVIC)"。它與處理器內核緊密耦合，並提供以下功能:

- 嵌入式和向量中斷支援
- 自動處理器狀態保存和恢復
- 動態優先權順序更改
- 減少和確定性中斷延遲
- 異常可能是中斷或硬體錯誤
- 每個異常都有例外編號、優先權順序編號和向量位址
  - ✓ 向量位址
  - ✓ 向量表基底位址固定在 0x000000000

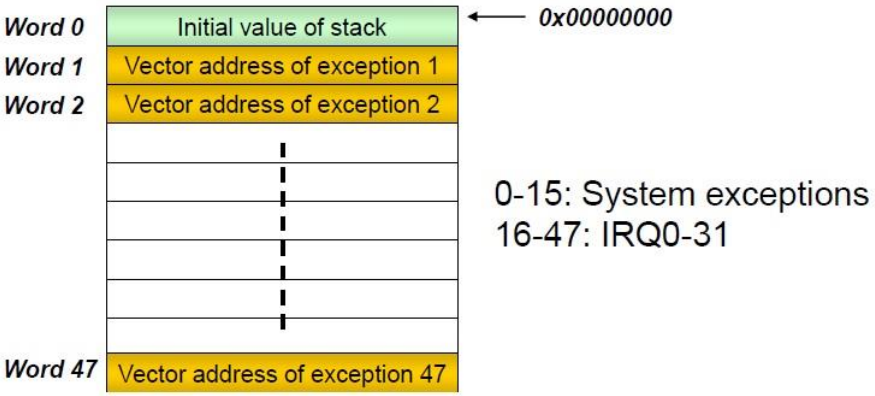


圖 6 Cortex-M0 NVIC 向量

NVIC 全部的優先權與處理都支援異常處理函式。所有異常均以"處理常式模式"處理。此 NVIC 體系結構支援具有 4 個優先順序的 32個 IRQ (IRQ[31:0])分別的中斷。所有中斷和大多數系統的異常都可以規劃為不同的優先順序。發生中斷時，NVIC 會將新中斷的優先順序與當前正在運行的優先順序進行比較。如果新中斷的優先順序高於當前中斷，則新的中斷處理常式將覆蓋當前處理常式。表1 顯示WT32L064/032中斷和異常向量.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

表格 1　　WT32L064/032 中斷和異常向量

Position	Priority	Type of priority	Acronym	Description	Address
-	-	-	-	保留	0x0000 0000
-	-3	fixed	Reset	Reset	0x0000 0004
-	-2	fixed	NMI	不可遮罩中斷。RCC 時鐘安全系統 (CSS) 是連結的 NMI 向量。	0x0000 0008
-	-1	fixed	HardFault	All class of fault	0x0000 000C
-	3	settable	SVCall	通過 SWI 指令進行系統服務呼叫	0x0000 002C
-	5	settable	PendSV	系統服務的可預訂請求	0x0000 0038
-	6	settable	SysTick	System tick timer	0x0000 003C
0	7	settable	UART0	UART0 全域中斷	0x0000 0040
1	8	settable	UART1	UART1 全域中斷	0x0000 0044
2			保留		0x0000 0048
3	10	settable	I2C0	I2C0 全域中斷	0x0000 004C
4	11	settable	I2C1	I2C1 全域中斷	0x0000 0050
5	12	settable	PWM	PWM 全域中斷	0x0000 0054
6	13	settable	SPI0	SPI0 全域中斷	0x0000 0058
7	14	settable	SPI1	SPI1 全域中斷	0x0000 005C
8	15	settable	WWDT	WWDT 全域中斷	0x0000 0060
9	16	settable	TMR0	TMR0 全域中斷	0x0000 0064
10	17	settable	TMR1	TMR1 全域中斷	0x0000 0068
11	18	settable	I2S_RX	I2S RX 全域中斷	0x0000 006C
12	19	settable	I2S_TX	I2S TX 全域中斷	0x0000 0070
13	20	settable	USB0	USB0 全域中斷	0x0000 0074
14	21	settable	USB1	USB1 全域中斷	0x0000 0078
15	22	settable	ADC	ADC 全域中斷	0x0000 007C
16	23	settable	RTC	RTC 全域中斷	0x0000 0080
17			保留		0x0000 0084
18	25	settable	CRS	CRS 全域中斷	0x0000 0088
19	26	settable	TMR2	TMR2 全域中斷	0x0000 008C
20	27	settable	PVD	PVD 全域中斷	0x0000 0090
21	28	settable	CMP0	CMP0 全域中斷	0x0000 0094
22	29	settable	CMP1	CMP1 全域中斷	0x0000 0098
23	30	settable	eFlash_CTRL	eFlash controller 全域中斷	0x0000 009C
24	31	settable	DMA0	DMA channel 0 interrupt	0x0000 00A0
25	32	settable	DMA1	DMA channel 1 interrupt	0x0000 00A4

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Position	Priority	Type of priority	Acronym	Description	Address
26	33	settable	DMA2	DMA channel 2 interrupt	0x0000 00A8
27	34	settable	DMA3	DMA channel 3 interrupt	0x0000 00AC
28	35	settable	DMA4	DMA channel 4 interrupt	0x0000 00B0
29	36	settable	DMA5	DMA channel 5 interrupt	0x0000 00B4
30	37	settable	DMA6	DMA channel 6 interrupt	0x0000 00B8
31	38	settable	GPIO	GPIO 全域中斷	0x0000 00BC

1.5.3 系統節拍計時器 (SysTick)

Cortex-M0 包括一個集成的系統節拍計時器 SysTick 提供了一個簡單的 24 位元寫入(clear-on-write)、遞減、復歸(wrap-on-zero)計數器，具有靈活的控制機制。計數器可用作即時作業系統(RTOS)的節拍計時器或簡單計數器。

- SysTick: 24位元寫入時清除、遞減、零包裝計數器
- 用作即時作業系統 (RTOS) 節拍計時器或簡單計數器
- 啟動後，從 SysTick 當前值暫存器 (SYST_CVR) 倒數到零，然後重新載入 SysTick 重新載入值暫存器 (SYST_RVR)，然後繼續遞減
- 當倒數為零時，產生中斷旗標，COUNTFLAG=1，否則COUNTFLAG=0
- 計數FLAG=0，在讀取時。SYST_CVR 值在復位時為”未知”
- SYST_RVR=0，計時器=0 (關閉計時器，即使啟動計時器)

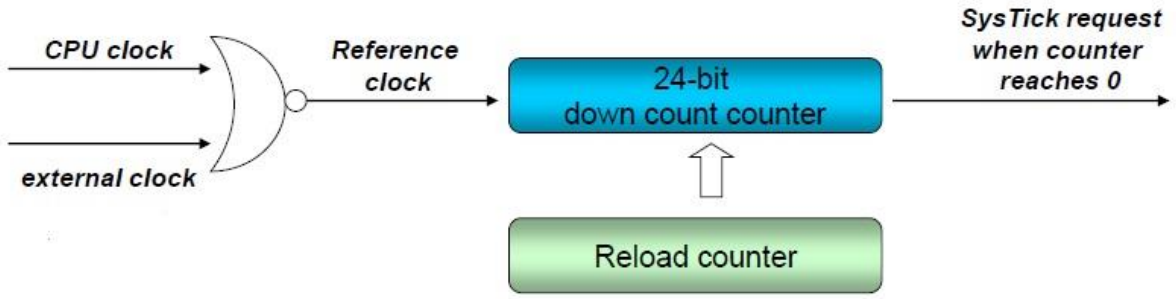
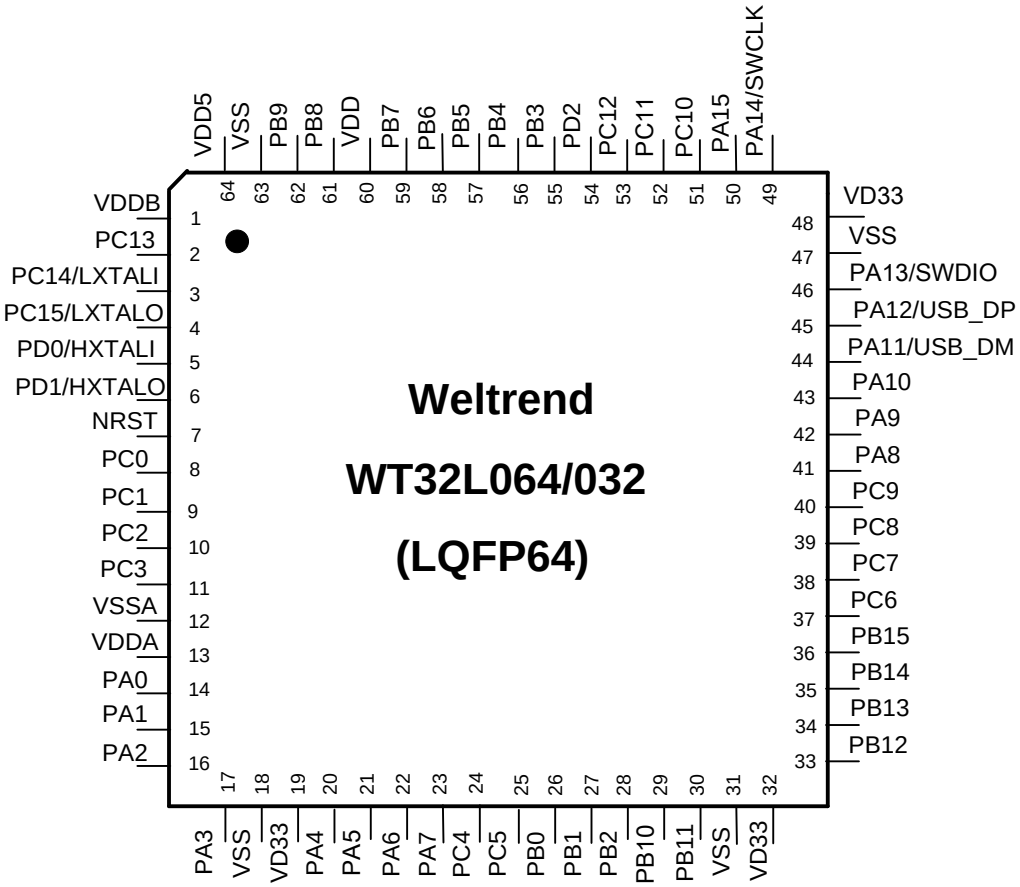


圖 7 Cortex M0 SysTick

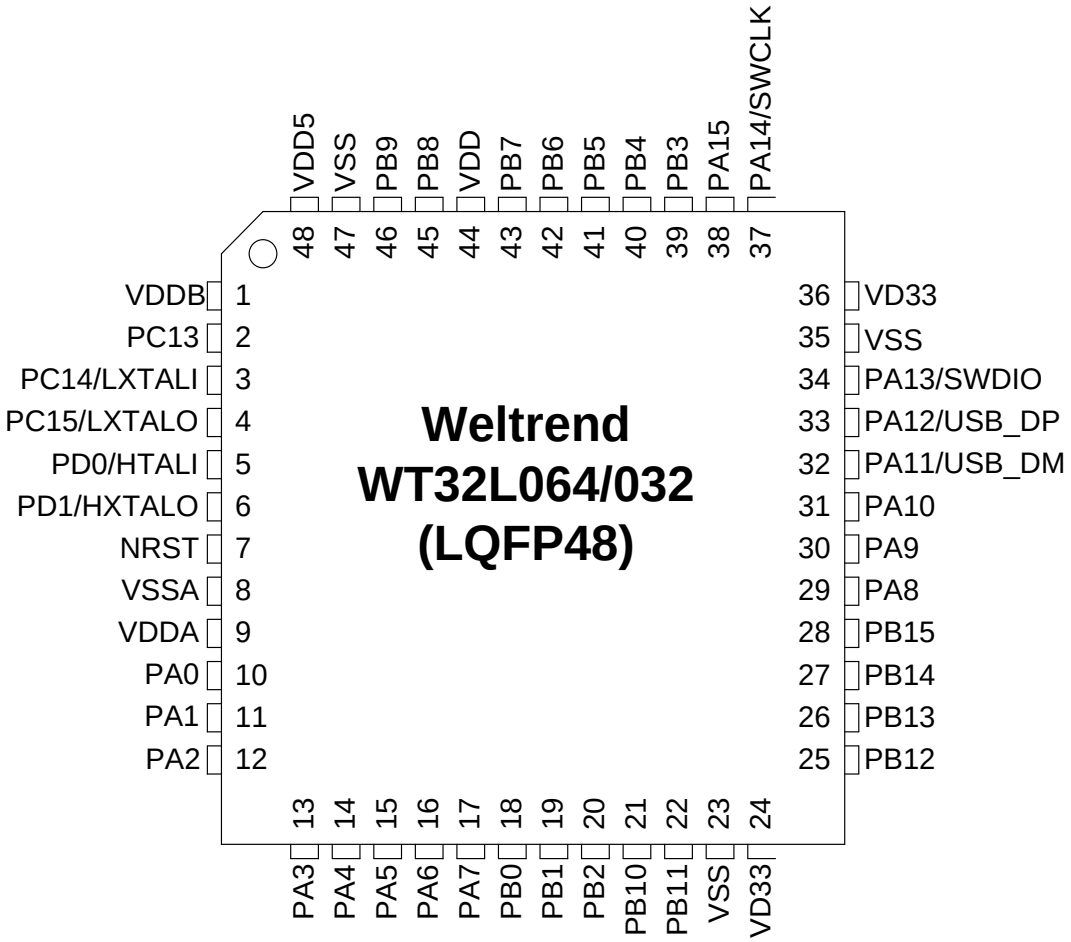
2 封裝引腳規劃

2.1 包裝

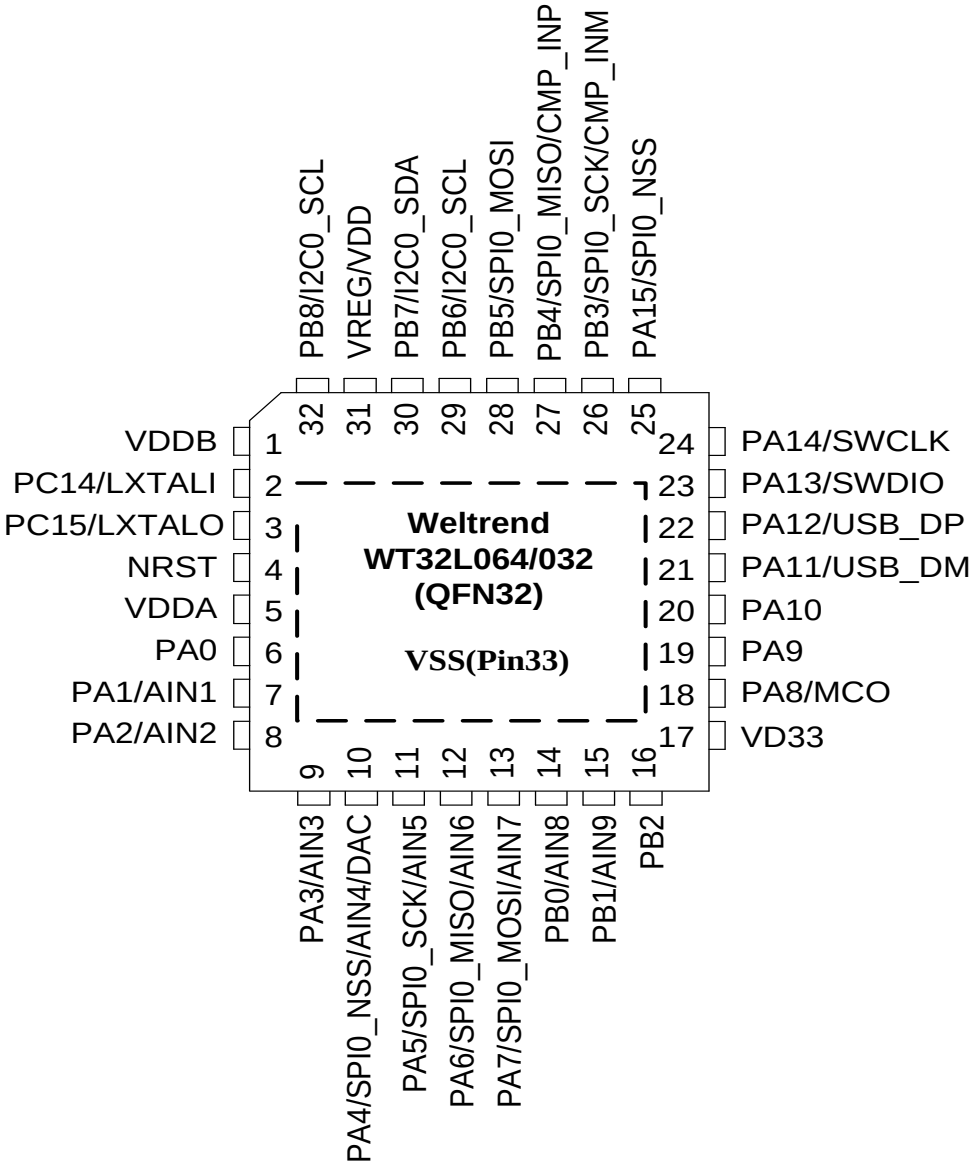
2.1.1 LQFP-64



2.1.2 LQFP-48


Weltrend
WT32L064/032
(LQFP48)
VDDB 1
PC13 2
PC14/LXTALI 3
PC15/LXTALO 4
PD0/HTALI 5
PD1/HXTALO 6
NRST 7
VSSA 8
VDDA 9
PA0 10
PA1 11
PA2 12
13 PA3
14 PA4
15 PA5
16 PA6
17 PA7
18 PB0
19 PB1
20 PB2
21 PB10
22 PB11
23 VSS
24 VD33
25 PB12
26 PB13
27 PB14
28 PB15
29 PA8
30 PA9
31 PA10
32 PA11/USB_DM
33 PA12/USB_DP
34 PA13/SWDIO
35 VSS
36 VD33
37 PA14/SWCLK
38 PA15
39 PB3
40 PB4
41 PB5
42 PB6
43 PB7
44 VDD
45 PB8
46 PB9
47 VSS
48 VDD5

2.1.3 QFN-32



本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

2.2 引腳描述

表格 2 引腳計數表

Function	LQFP-64	LQFP-48	QFN-32
XTAL	2+2	2+2	1+1
ADC	16	10	10
DAC	1	1	1
comparator	2+2	2+2	2+2
USB	1+1	1+1	1+1
analog power	1+1	1+1	1+0
digital power	3+3	3+3	1+0
VBUS power	1+1	1+1	1+1
LDO_CORE	1	1	1
GPIO	51	37	27
serial wire	2	2	2
MCO (X1)	1 (with remap)	1 (with remap)	1 (with remap)
timer CH (X3)	12 (with remap)	12 (with remap)	12
timer ETR (X1)	1 (with remap)	1 (with remap)	1 (with remap)
UART (X2)	2+2 (with remap)	2+2 (with remap)	2+2 (with remap)
SPI (X2)	2+2+2+2 (with remap)	2+2+2+2 (with remap)	2+2+2+2 (with remap)
I2C (X2)	2+2+2 (with remap)	2+2+2 (with remap)	1+1+1
I2S (X1)	1+1+1+1 (with remap)	-	-
PWM (X4)	4 (with remap)	4 (with remap)	4 (with remap)
WKUP	2	2	1
PVD_IN	1	1	1

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

表格 3　　引腳分配表

LQFP 64	LQFP 48	QFN 32	Name	Type	Structure Type	Description
1	1	1	VDDB	P	—	battery power pin (RTC)
2	2		PC13	I/O	—	WKUP1
3	3	2	PC14	I/O	**A**	LXTALI
4	4	3	PC15	I/O	**A**	LXTALO
5	5		PD0	I/O	**B**	HXTALI
6	6		PD1	I/O	**B**	HXTALO
7	7	4	NRST	I	**C**	active low external reset
8			PC0	I/O	**A1**	AIN10 / I2S_DIN
9			PC1	I/O	**A1**	AIN11 / I2S_DOUT
10			PC2	I/O	**A1**	AIN12 / I2S_BCLK
11			PC3	I/O	**A1**	AIN13 / I2S_LRCLK / PWM01A
12	8	33	VSSA	P	—	analog ground pin
13	9	5	VDDA	P	—	analog power pin
14	10	6	PA0	I/O	**A1**	AIN0 / TMR1_CH0_ETR / WKUP0 / PWM02A/ COMP0_INM
15	11	7	PA1	I/O	**A1**	AIN1 / TMR1_CH1 / PWM03A/ COMP0_INP
16	12	8	PA2	I/O	**A1**	AIN2 / UART1_TX / TMR1_CH2
17	13	9	PA3	I/O	**A1**	AIN3 / UART1_RX / TMR1_CH3
18		33	VSS	P	—	ground pin
19			VD33	P	—	power pin
20	14	10	PA4	I/O	**B**	AIN4 / SPI0_NSS / DAC
21	15	11	PA5	I/O	**A1**	AIN5 / SPI0_SCK
22	16	12	PA6	I/O	**A1**	AIN6 / SPI0_MISO / TMR2_CH0
23	17	13	PA7	I/O	**A1**	AIN7 / SPI0_MOSI / TMR2_CH1
24			PC4	I/O	**A1**	AIN14
25			PC5	I/O	**A1**	AIN15
26	18	14	PB0	I/O	**B**	AIN8 / TMR2_CH2/EXT_REF
27	19	15	PB1	I/O	**A1**	AIN9 / TMR2_CH3
28	20	16	PB2	I/O	**A**	MCO / PWM00A
29	21		PB10	I/O	**A**	I2C1_SCL / TMR1_CH2
30	22		PB11	I/O	**A**	I2C1_SDA / TMR1_CH3
31	23	33	VSS	P	—	ground pin
32	24	17	VD33	P	—	power pin
33	25		PB12	I/O	**A**	SPI1_NSS / I2C1_SMBA
34	26		PB13	I/O	**A**	SPI1_SCK
35	27		PB14	I/O	**A**	SPI1_MISO
36	28		PB15	I/O	**A**	SPI1_MOSI
37			PC6	I/O	**A**	TMR2_CH0 / I2S_DIN

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

LQFP 64	LQFP 48	QFN 32	Name	Type	Structure Type	Description
38			PC7	I/O	**A**	TMR2_CH1 / I2S_DOUT
39			PC8	I/O	**A**	TMR2_CH2 / I2S_BCLK
40			PC9	I/O	**A**	TMR2_CH3 / I2S_LRCLK
41	29	18	PA8	I/O	**A**	MCO / TMR0_CH0 / PWM01B
42	30	19	PA9	I/O	**A**	UART0_TX / TMR0_CH1 / PWM02B
43	31	20	PA10	I/O	**A**	UART0_RX / TMR0_CH2 / PWM03B
44	32	21	PA11	I/O	**B**	USB_DM / TMR0_CH3
45	33	22	PA12	I/O	**B**	USB_DP
46	34	23	PA13	I/O	**A**	SWDIO
47	35	33	VSS	P	—	ground pin
48	36		VD33	P	—	power pin
49	37	24	PA14	I/O	**A**	SWCLK
50	38	25	PA15	I/O	**A**	TMR1_CH0_ETR / SPI0_NSS
51			PC10	I/O	**A**	TMR0_CH0 / I2C1_SCL
52			PC11	I/O	**A**	TMR0_CH1 / I2C1_SDA
53			PC12	I/O	**A**	TMR0_CH2
54			PD2	I/O	**A**	TMR0_CH3
55	39	26	PB3	I/O	**A1**	TMR1_CH1 / SPI0_SCK / COMP1_INM
56	40	27	PB4	I/O	**A1**	SPI0_MISO / COMP1_INP
57	41	28	PB5	I/O	**A**	I2C0_SMBA / SPI0_MOSI
58	42	29	PB6	I/O	**A**	I2C0_SCL / UART0_TX / PWM00B
59	43	30	PB7	I/O	**A1**	I2C0_SDA / UART0_RX / PVD_IN
60	44	31	VDD	P	—	regulator core power output, connect to bypass capacitor.
61	45	32	PB8	I/O	**A**	I2C0_SCL / UART1_TX
62	46		PB9	I/O	**A**	I2C0_SDA / UART1_RX
63	47	33	VSS	P	—	ground pin
64	48		VDD5	P	—	VBUS power pin

GPIO Structure Type:

A: 5V Tolerant I/O

B: STD 3.3V I/O

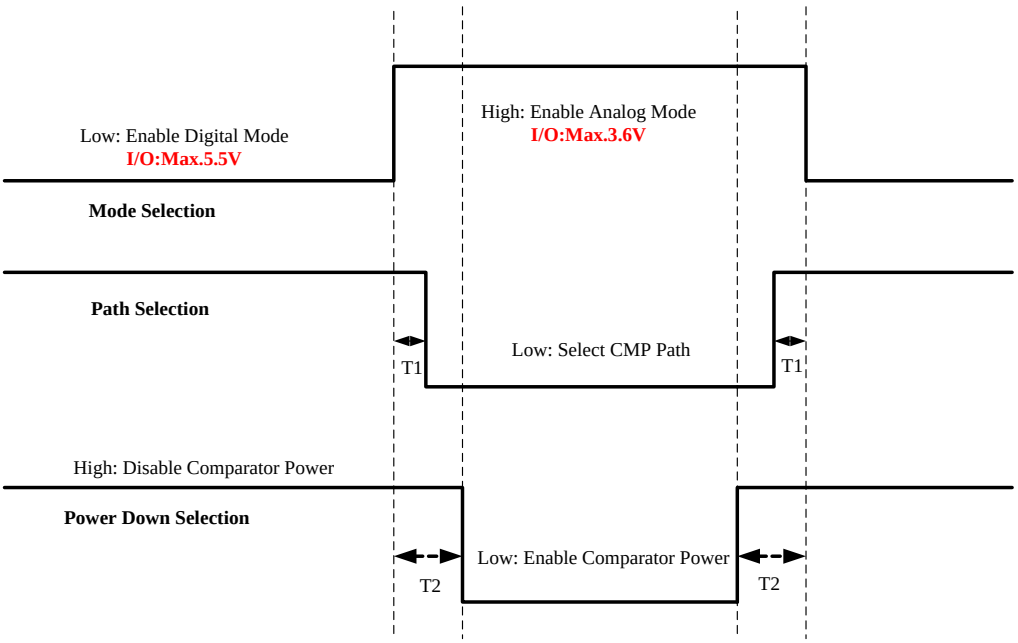
C: 雙向復位用的嵌入式弱上拉電阻

A1: 5V 忍容 (Tolerant) I/O: 僅在數位模式下，不包括類比模式

✓ 大部份的 **A1** Type IO 在復位期間默認值是在類比模式(3.3V)，必須避免連接 5V 應用，若有需要，選擇 **A** Type

✓ 如果在 A1 Type 中使用，控制時序必須遵循下面的比較器範例。
(避免數位模式 5V 輸入導致 3.3V 類比模式的硬體造成損壞)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。



本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

2.3 複合功能 I/O 與優先權

Name	AF_SEL 0	AF_SEL 1	AF_SEL 2	AF_SEL 3	AF_SEL 4	AF_SEL 5	Analog
PA0					TMR1_CH0_ETR	PWM02A	WKUP0 / AIN0/ **COM0_INM**
PA1					TMR1_CH1	PWM03A	AIN1/**COM0_INP**
PA2			UART1_TX		TMR1_CH2		AIN2
PA3			UART1_RX		TMR1_CH3		AIN3
PA4				SPI0_NSS			AIN4 / DAC
PA5				SPI0_SCK			AIN5
PA6				SPI0_MISO	TMR2_CH0		AIN6
PA7				SPI0_MOSI	TMR2_CH1		AIN7
PA8		MCO			TMR0_CH0	PWM01B	
PA9			UART0_TX		TMR0_CH1	PWM02B	
PA10			UART0_RX		TMR0_CH2	PWM03B	
PA11					TMR0_CH3		USB_DM
PA12							USB_DP
PA13	SWDIO						
PA14	SWCLK						
PA15				(SPI0_NSS)	(TMR1_CH0_ETR)		
PB0					TMR2_CH2		AIN8/**EXT_REF**
PB1					TMR2_CH3		AIN9
PB2		MCO				PWM00A	
PB3				(SPI0_SCK)	(TMR1_CH1)		**COMP1_INM**
PB4				(SPI0_MISO)			**COMP1_INP**
PB5		I2C0_SMBA		(SPI0_MOSI)			
PB6		I2C0_SCL	(UART0_TX)			PWM00B	
PB7		I2C0_SDA	(UART0_RX)				PVD_IN
PB8		(I2C0_SCL)	(UART1_TX)				
PB9		(I2C0_SDA)	(UART1_RX)				
PB10		I2C1_SCL			(TMR1_CH2)		
PB11		I2C1_SDA			(TMR1_CH3)		
PB12		I2C1_SMBA		SPI1_NSS			
PB13				SPI1_SCK			
PB14				SPI1_MISO			
PB15				SPI1_MOSI			
PC0		I2S_DIN					AIN10
PC1		I2S_DOUT					AIN11
PC2		I2S_BCLK					AIN12
PC3		I2S_LRCLK				PWM01A	AIN13
PC4							AIN14
PC5							AIN15
PC6		(I2S_DIN)			(TMR2_CH0)		
PC7		(I2S_DOUT)			(TMR2_CH1)		
PC8		(I2S_BCLK)			(TMR2_CH2)		
PC9		(I2S_LRCLK)			(TMR2_CH3)		
PC10		(I2C1_SCL)			(TMR0_CH0)		
PC11		(I2C1_SDA)			(TMR0_CH1)		
PC12					(TMR0_CH2)		
PC13							WKUP1
PC14							LXTALI
PC15							LXTALO
PD0							HXTALI
PD1							HXTALO
PD2					(TMR0_CH3)		
PD3							
PD4							

注: ()表示該功能輸入的優先順序較低

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

3 記憶體映射

3.1 AMBA 匯流排位址映射

Index	Function	Description
0x0000_0000~0x1FEF_FFFF	保留	
0x1000_0000~0x1000_FFFF	embedded flash	64KB
0x1FF0_0000~0x1FF0_07FF	保留	
0x1FF0_0800~0x1FF0_FFFF	保留	
0x1FF1_0000~0x1FF1_1FFF	boot ROM	8KB
0x1FF1_2000~0x1FFF_FFFF	保留	
0x2000_0000~0x2000_1FFF	SRAM	8KB
0x2000_5000~0x2FFF_FFFF	保留	
0x3000_0000~0x3000_0FFF	DMA buffer	4KB
0x3000_1000~0x3FFF_FFFF	保留	
0x4000_0000~0x4003_FFFF	APB0 memory space	256KB
0x4004_0000~0x4007_FFFF	APB1 memory space	256KB
0x4008_0000~0x400B_FFFF	AHB memory space	256KB
0x400C_0000~0xDFFF_FFFF	保留	
0xE000_0000~0xE00F_FFFF	保留	
0xE010_0000~0xFFFF_FFFF	保留	
0xF000_0000~0xF000_003FF	System ROM Table	
0xF000_0400~0xFFFF_FFFF	保留	

3.2 APB 記憶體空間

Range	Index	Function	Description
APB0	0x4000_0000~0x4000_0FFF		
	0x4000_1000~0x4000_1FFF		
	0x4000_2000~0x4000_2FFF	-	
	0x4000_3000~0x4000_3FFF	-	
	0x4000_4000~0x4000_4FFF	UART1	
	0x4000_5000~0x4000_5FFF	-	
	0x4000_6000~0x4000_6FFF	SPI1	
	0x4000_7000~0x4000_7FFF	-	
	0x4000_8000~0x4000_8FFF	I2C0	
	0x4000_9000~0x4000_9FFF	I2C1	
	0x4000_A000~0x4000_AFFF	-	
	0x4000_B000~0x4000_BFFF	-	
	0x4000_C000~0x4000_CFFF		
	0x4000_D000~0x4000_DFFF	-	
	0x4000_E000~0x4000_EFFF	USB	
	0x4000_F000~0x4000_FFFF	-	
	0x4001_0000~0x4001_0FFF	DAC	
	0x4001_1000~0x4001_1FFF	-	
	0x4001_2000~0x4001_2FFF		
	0x4001_3000~0x4001_3FFF	-	
	0x4001_4000~0x4001_4FFF	TMR2	

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Range	Index	Function	Description
	0x4001_5000~0x4001_5FFF	-	
	0x4001_6000~0x4001_6FFF	-	
	0x4001_7000~0x4001_7FFF	-	
	0x4001_8000~0x4001_8FFF	IWDT	
	0x4001_9000~0x4001_9FFF	WWDT	
	0x4001_A000~0x4001_AFFF	PMU	power management unit
	0x4001_B000~0x4001_BFFF	RTC	
	0x4001_C000~0x4001_CFFF	PWM	
	0x4001_D000~0x4001_DFFF	-	
	0x4001_E000~0x4001_EFFF	-	
	0x4001_F000~0x4001_FFFF	-	
APB1	0x4004_0000~0x4004_0FFF	-	
	0x4004_1000~0x4004_1FFF	-	
	0x4004_2000~0x4004_2FFF	-	
	0x4004_3000~0x4004_3FFF	-	
	0x4004_4000~0x4004_4FFF	UART0	
	0x4004_6000~0x4004_6FFF	SPI0	
	0x4004_7000~0x4004_7FFF	-	
	0x4004_8000~0x4004_8FFF	-	
	0x4004_9000~0x4004_9FFF	-	
	0x4004_A000~0x4004_AFFF	-	
	0x4004_B000~0x4004_BFFF	-	
	0x4004_C000~0x4004_CFFF	I2S	
	0x4004_D000~0x4004_DFFF	-	
	0x4004_E000~0x4004_EFFF	-	
	0x4004_F000~0x4004_FFFF	-	
	0x4005_0000~0x4005_0FFF	ADC	
	0x4005_1000~0x4005_1FFF	-	
	0x4005_2000~0x4005_2FFF	-	
	0x4005_3000~0x4005_3FFF	-	
	0x4005_4000~0x4005_4FFF	TMR0	
	0x4005_5000~0x4005_5FFF	TMR1	
	0x4005_6000~0x4005_6FFF	-	
	0x4005_7000~0x4005_7FFF	-	
	0x4005_9000~0x4005_9FFF	CRS	
	0x4005_A000~0x4005_AFFF	-	
	0x4005_B000~0x4005_BFFF	-	
	0x4005_C000~0x4005_CFFF	-	
	0x4005_D000~0x4005_DFFF	-	
	0x4005_E000~0x4005_EFFF	-	
	0x4005_F000~0x4005_FFFF	-	
AHB	0x4008_0000~0x4008_0FFF	FLASH	flash control
	0x4008_1000~0x4008_1FFF	-	
	0x4008_2000~0x4008_2FFF	DMA	
	0x4008_3000~0x4008_3FFF	-	
	0x4008_4000~0x4008_4FFF	RCC	
	0x4008_5000~0x4008_5FFF	-	

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Range	Index	Function	Description
	0x4008_6000~0x4008_6FFF	-	
	0x4008_7000~0x4008_7FFF	-	
	0x4008_9000~0x4008_9FFF	-	
	0x4008_A000~0x4008_AFFF	CRC32	
	0x4008_B000~0x4008_BFFF	-	
	0x4008_C000~0x4008_CFFF	GPIO	
	0x4008_D000~0x4008_DFFF	-	
	0x4008_E000~0x4008_EFFF	-	
	0x4008_F000~0x4008_FFFF	-	
	0x5001_F000~0x5001_FFFF	system control	

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

4 復位和時鐘控制

4.1 主要概述

復位和時鐘控制模組(RCC)如下 2 張方塊圖所示，用於提供系統各單元的復位和時鐘。

- 復位輸出
  - 提供 Flash 復位
  - 提供全域復位
- 時鐘輸出:
  - 提供 AHB, APB0 & APB1 時鐘
  - 提供 ADC 時鐘
  - 提供 USB 時鐘
  - 微控制器的時鐘輸出 (MCO)

4.2 方塊圖

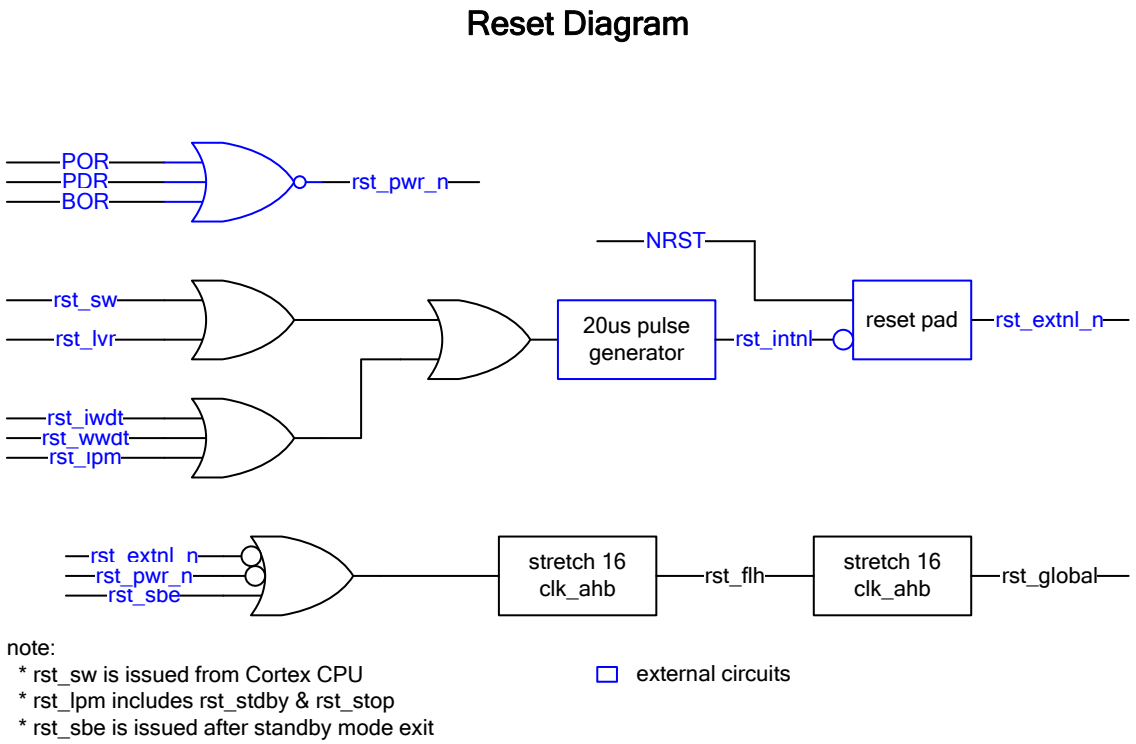


圖 8 RCC 模組復位圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Clock Diagram

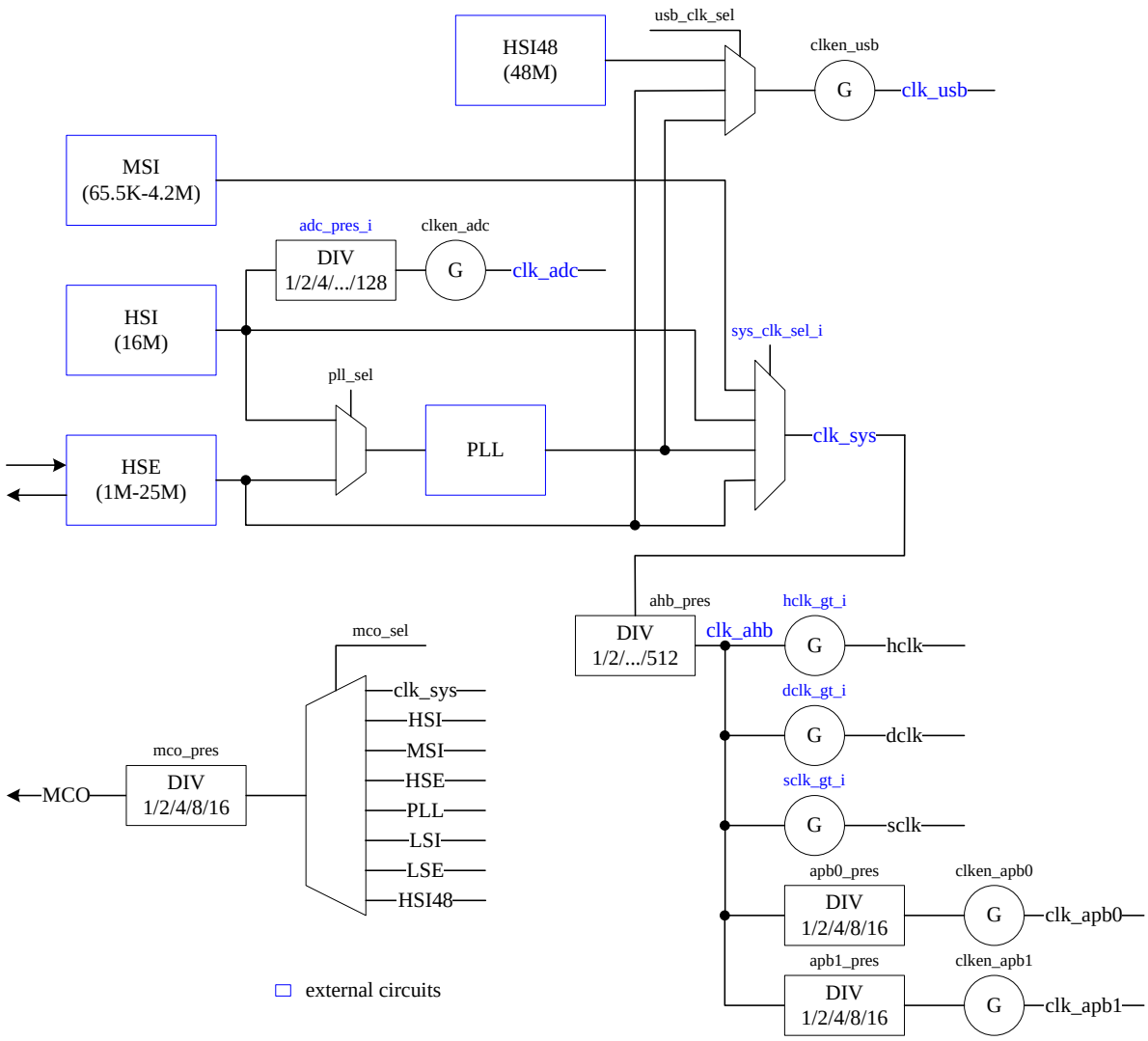


圖 9　　RCC 模組時鐘方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

4.3 RCC 暫存器描述

表格 4 RCC 控制暫存器

Index	Bit	R/W	Default	Name	Description
RCC_CCR: Clock control settings					
00h	28:24	R/W	03h	pll_prediv	輸入參考時鐘 預分頻器 Fint = Fin / (pll_prediv + 1)
	17:16	R/W	0h	pll_postdiv	輸出時鐘分頻器 Fout = Fvco / (2 ** (pll_postdiv + 1))
	14:8	R/W	0fh	pll_mul	feedback clock multiplier Ffb = Fvco / (pll_mul + 1)
	0	R/W	0	pll_sel	PLL 時鐘源選擇: 0: 選擇 HSI 振盪器時鐘作為 PLL 輸入時鐘 1: HSE 振盪器時鐘選擇為 PLL 輸入時鐘

RCC_CSCR: Source control settings					
04h	9:8	R/W	0	usb_clk_sel	USB 時鐘選擇: 0: HSI48 1: PLL 2: HSE
	1	R/W	1	clken_apb1	APB1 時鐘啟動
	0	R/W	1	clken_apb0	APB0 時鐘啟動

RCC_CCFGR: Source control settings					
08h	30:28	R/W	0	mco_pres	MCO 預分頻: MCO_PAD = MCO / 2 ** mco_pres valid range: 0 – 4
	27:24	R/W	0	mco_sel	microcontroller 時鐘輸出選擇: 0000: MCO 輸出關閉, MCO 無時鐘 0001: SYSCLK 時鐘 0010: HSI oscillator 時鐘 0011: MSI oscillator 時鐘 0100: HSE oscillator 時鐘 0101: PLL 時鐘 0110: LSI oscillator 時鐘 0111: LSE oscillator 時鐘 1000: HSI48 oscillator 時鐘
	13:11	R/W	0	apb0_pres	控制 APB0 低速的時鐘除數 0: HCLK not divided 1: HCLK divided by 2 2: HCLK divided by 4 3: HCLK divided by 8 4: HCLK divided by 16
	10:8	R/W	0	apb1_pres	控制 APB1 時鐘除數 時鐘如下: 0: HCLK not divided 1: HCLK divided by 2 2: HCLK divided by 4

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

RCC_CCFGR: Source control settings					
					3: HCLK divided by 8 4: HCLK divided by 16
	7:4	**R/W**	**0**	**ahb_pres**	控制 AHB 時鐘除數 時鐘如下: 0: SYSCLK not divided 1: SYSCLK divided by 2 2: SYSCLK divided by 4 3: SYSCLK divided by 8 4: SYSCLK divided by 16 5: SYSCLK divided by 32 6: SYSCLK divided by 64 7: SYSCLK divided by 128 8: SYSCLK divided by 256 9: SYSCLK divided by 512

RCC_RAPB0R: Module Resets for APB0					
10h	28	R/W	0	rst_pwm	PWM 復位: 0: 無效 1: PWM 復位
	27	R/W	0	rst_rtc	RTC 復位，當全域復位仍持續執行
	25	R/W	0	rst_wwdt	WWDT 復位
	24	R/W	0	rst_iwdt	IWDT 復位
	20	R/W	0	rst_tmr2	timer-2 復位
	16	R/W	0	rst_dac	DAC 復位
	14	R/W	0	rst_usb	USB 復位
	9	R/W	0	rst_i2c1	I2C1 復位
	8	R/W	0	rst_i2c0	I2C0 復位
	6	R/W	0	rst_spi1	SPI1 復位
	4	R/W	0	rst_uart1	UART1 復位
	1	-	-	-	保留
	0	-	-	-	保留

RCC_RAPB1R: Module Resets for APB1					
14h	24	-	-	-	保留
	21	R/W	0	rst_tmr1	timer-1 復位
	20	R/W	0	rst_tmr0	timer-0 復位
	16	R/W	0	rst_adc	ADC 復位
	12	R/W	0	rst_i2s	I2S 復位
	6	R/W	0	rst_spi0	SPI0 復位
	5	-	-	-	保留
	4	R/W	0	rst_uart0	UART0 復位

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

RCC_RAHBR: Module Resets for AHB					
18h	12	R/W	0	rst_gpio	GPIO 復位
	10	R/W	0	rst_crc32	CRC32 復位
	8	-	-	-	保留
	2	R/W	0	rst_dma	DMA 復位

RCC_CEAPB0R: Module clock enables for APB0					
20h	28	R/W	0	clken_pwm	PWM 時鐘啟動: 0: PWM 時鐘禁能 1: PWM 時鐘啟動
	27	R/W	0	clken_rtc	RTC 時鐘啟動
	26	R/W	1	clken_pmu	PMU 時鐘啟動
	25	R/W	0	clken_wwdt	WWDT 時鐘啟動
	24	R/W	0	clken_iwdt	IWDT 時鐘啟動
	20	R/W	0	clken_tmr2	timer-2 時鐘啟動
	16	R/W	0	clken_dac	DAC 時鐘啟動
	14	R/W	0	clken_usb	USB 時鐘啟動
	12	R/W	0	clken_intc	interrupt controller 時鐘啟動
	9	R/W	0	clken_i2c1	I2C1 時鐘啟動
	8	R/W	0	clken_i2c0	I2C0 時鐘啟動
	6	R/W	0	clken_spi1	SPI1 時鐘啟動
	4	R/W	0	clken_uart1	UART1 時鐘啟動
	1	-	-	-	保留
	0	-	-	-	保留

RCC_CEAPB1R: Module clock enables for APB1					
24h	25	R/W	0	Clken_crs	CRS 時鐘啟動 0: CRS 時鐘禁能 1: CRS 時鐘啟動
	24	-	-	-	保留
	21	R/W	0	clken_tmr1	timer-1 時鐘啟動
	20	R/W	0	clken_tmr0	timer-0 時鐘啟動
	16	R/W	0	clken_adc	ADC 時鐘啟動
	12	R/W	0	clken_i2s	I2S 時鐘啟動
	6	R/W	0	clken_spi0	SPI0 時鐘啟動
	5	-	-	-	保留
	4	R/W	0	clken_uart0	UART0 時鐘啟動

RCC_CEAHBR: Module clock enables for AHB					
28h	15	R/W	0	clken_sys	SYS 時鐘啟動: 0: SYS 時鐘禁能 1: SYS 時鐘啟動
	12	R/W	0	clken_gpio	GPIO 時鐘啟動
	10	R/W	0	clken_crc32	CRC32 時鐘啟動
	8	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

RCC_CEAHBR: Module clock enables for AHB					
	2	R/W	0	clken_dma	DMA 時鐘啟動
	0	R/W	1	clken_flh_prog	flash programmer 時鐘啟動

RCC_LCEAPB0R: Low power module clock enables for APB0					
30h	28	R/W	0	lpclken_pwm	PWM 低耗電模式時時鐘啟動: 0: PWM 低耗電模式時時鐘禁能 1: PWM 低耗電模式時時鐘啟動
	27	R/W	0	lpclken_rtc	RTC 低耗電模式時時鐘啟動 0: RTC 低耗電模式時時鐘禁能 1: RTC 低耗電模式時時鐘啟動
	26	R/W	1	lpclken_pmu	PMU 低耗電模式時時鐘啟動
	25	R/W	0	lpclken_wwdt	WWDT 低耗電模式時時鐘啟動
	24	R/W	0	lpclken_iwdt	IWDT 低耗電模式時時鐘啟動
	20	R/W	0	lpclken_tmr2	timer-2 低耗電模式時鐘啟動
	16	R/W	0	lpclken_dac	DAC 低耗電模式時時鐘啟動
	14	R/W	0	lpclken_usb	USB 低耗電模式時時鐘啟動
	12	R/W	0	lpclken_intc	interrupt controller 低耗電模式時時鐘啟動
	9	R/W	0	lpclken_i2c1	I2C1 低耗電模式時時鐘啟動
	8	R/W	0	lpclken_i2c0	I2C0 低耗電模式時時鐘啟動
	6	R/W	0	lpclken_spi1	SPI1 低耗電模式時時鐘啟動
	4	R/W	0	lpclken_uart1	UART1 低耗電模式時時鐘啟動
	1	-	-	-	保留
	0	-	-	-	保留

RCC_LCEAPB1R: Low power module clock enables for APB1					
34h	25	R/W	0	lpclken_crs	CRS 低耗電模式時時鐘啟動: 0: CRS 低耗電模式時時鐘禁能 1: CRS 低耗電模式時時鐘啟動
	24	-	-	-	保留
	21	R/W	0	lpclken_tmr1	Timer-1 低耗電模式時時鐘啟動
	20	R/W	0	lpclken_tmr0	Timer-0 低耗電模式時時鐘啟動
	16	R/W	0	lpclken_adc	ADC 低耗電模式時時鐘啟動
	12	R/W	0	lpclken_i2s	I2S 低耗電模式時時鐘啟動
	6	R/W	0	lpclken_spi0	SPI0 低耗電模式時時鐘啟動
	5	-	-	-	保留
	4	R/W	0	lpclken_uart0	UART0 低耗電模式時時鐘啟動

RCC_LCEAHBR: Low power module clock enables for AHB					
38h	15	R/W	0	lpclken_sys	SYS 低耗電模式時時鐘啟動: 0: SYS 低耗電模式時時鐘禁能 1: SYS 低耗電模式時時鐘啟動
	12	R/W	0	lpclken_gpio	GPIO 低耗電模式時時鐘啟動
	10	R/W	0	lpclken_crc32	CRC32 低耗電模式時時鐘啟動
	8	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

RCC_LCEAHBR: Low power module clock enables for AHB					
	2	R/W	0	lpclken_dma	DMA 低耗電模式時時鐘啟動
	0	R/W	1	lpclken_flh_prog	flash programmer 低耗電模式時時鐘啟動

RCC_CSR: Reset flag					
40h	31	R/W1c	0	rstf_lpm	低功率管理復位旗標
	30	R/W1c	0	rstf_wwdt	WWDT 復位旗標
	29	R/W1c	0	rstf_iwdt	IWDT 復位旗標
	28	R/W1c	0	rstf_lockup	lockup 復位旗標
	27	R/W1c	1	rstf_pwr	PWR (POR/PDR/BOR) 復位旗標
	26	R/W1c	0	rstf_lvr	LVR 復位旗標
	25	R/W1c	0	rstf_sbe	standby-exit 復位旗標
	24	R/W1c	0	rstf_sys	系統復位旗標 (軟體復位旗標)
	23	R/W1c	0	rstf_ext	external 復位旗標

R/W1C: 讀取 與 寫“1”清除

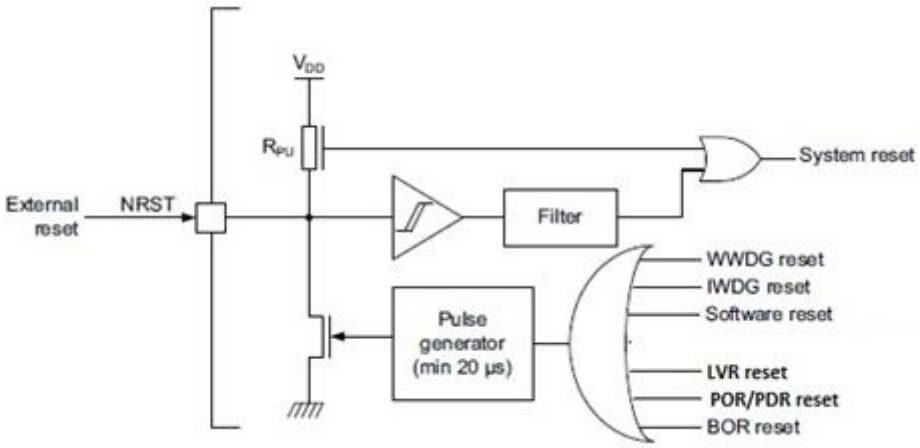
注意: 使用 RTC 功能前必須先啟動 RTC clock，因為沒有開啟就無 APB0 時鐘會引起系統當機。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

4.4 功能描述

4.4.1 復位 (RESET)

RCC 模組中包括三種類型的復位，定義為系統復位、電源復位和退出待機的復位。



4.4.1.1 系統復位

當發生以下事件之一時，將產生系統復位:

1. RST_N 引腳上有低電平產生 (外部復位)
2. 視窗看門狗計數終止的情況 (WWDT 復位)
3. 獨立看門狗計數終止的情況 (IWDT 復位)
4. 軟體復位 (SW 復位)
5. LVR 復位

這些來源作用於 NRST 引腳，該引腳在復位過程始終保持在低電位。RESET 服務常式向量固定在記憶體映射的位址 0x0000_0004。提供給元件的系統復位信號輸出在 NRST 引腳上。脈衝發生器保證每個內部復位源的最小復位脈衝持續時間為 20µs。在外部復位的情況下，當 NRST 引腳應用為低時，將產生復位脈衝。

軟體復位 (**Software Reset)**

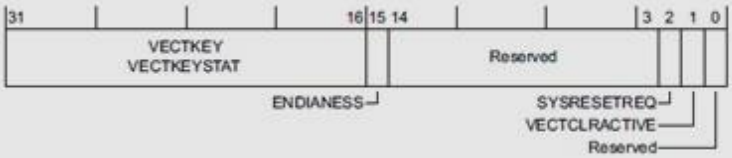
必須將 Cortex®-M0 應用程式中斷和復位控制暫存器中的 SYSRESETREQ 位元設置為可強制設備上的軟體復位。有關詳細資訊，請參閱 Cortex®-M0 技術參考手冊。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Application Interrupt and Reset Control Register, AIRCR

The AIRCR Register characteristics are:

Purpose	Sets or returns interrupt control data.
Usage constraints	There are no usage constraints.
Configurations	Always implemented.



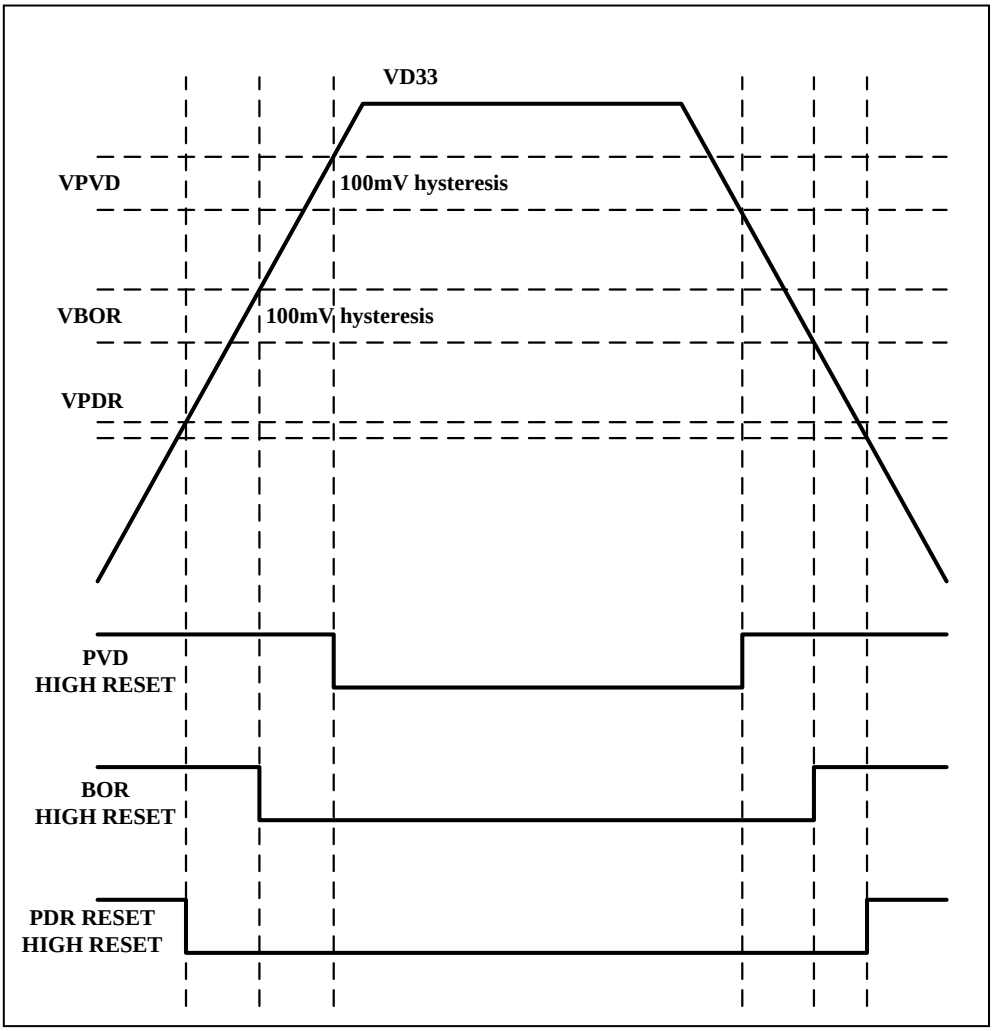
Bits	Type	Name	Function
[2]	WO	SYSRESETREQ	System Reset Request: **0** do not request a reset. **1** request reset. Writing 1 to this bit asserts a signal to request a reset by the external system. The system components that are reset by this request are IMPLEMENTATION DEFINED. A Local reset is required as part of a system reset request. A Local reset clears this bit to 0.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

4.4.1.2 電源復位

當發生以下事件之一時，將產生電源復位:
1. 電源打開/斷電復位 (POR/PDR 復位)
2. BOR 復位

電源復位將所有暫存器設置為其復位值。



1. PVD 由軟體啟動或關閉。
2. BOR 可運行從 1.8V 到 3.6V。
3. PDR 復位級別約為 1.0V。
4. 當 VD33 從 1.65V 工作到 3.6V 時沒有 BOR;當 VD33 低於 PDR 電平時，將啟動復位。
5. BOR 復位電平設置: 請參閱第 16.6 PMU 章節。
6. PVD 設置: 請參閱第 16.6 PMU 章節。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

4.4.1.3 待機離開時復位 (Standby Exit Reset)

當系統從待機模式恢復時，將產生退出待機(Standby Exit)復位。

4.4.2 時鐘 (Clock)

四個不同的時鐘源振盪器可用於驅動系統的時鐘 (SYSCLK):
- HSI 內部高速振盪器 (High-speed internal, oscillator clock)
- HSE 外部高速振盪器 (High-speed external, oscillator clock)
- PLL 鎖相迴路振盪器 (PLL clock)
- MSI 內部多種速度振盪器 (Multispeed internal, oscillator clock)

從復位啟動、從停止喚醒或待機(Standby)低功耗模式喚醒後，使用 MSI 作為系統時鐘源。
此時 IC 仍具有以下兩個輔助時鐘源:
- 37 kHz 低速內部 RC (LSI RC)，驅動獨立看門狗。
- 32.768 kHz 低速外部晶體 (LSE Xtal)，可驅動系統時鐘 (RTCCLK)

4.4.2.1 PLL 時鐘 (PLL Clock)

內部 PLL 可以由 HSI RC 或 HSE 晶體當時鐘源。它用於驅動系統的時鐘，並為 USB 週邊產生 48 MHz 時鐘。PLL 輸入時鐘頻率必須介於 2 MHz 和 24 MHz 之間。通過使用嵌入在 PLL 中的輸入除法、乘法因數和輸出除法獲得所需的頻率。

在啟動 PLL 之前，必須執行 PLL 規劃 (選擇源時鐘、輸出除法、乘法因數和輸出除法因數)。啟動 PLL 後，無法更改這些參數。

PLL Diagram

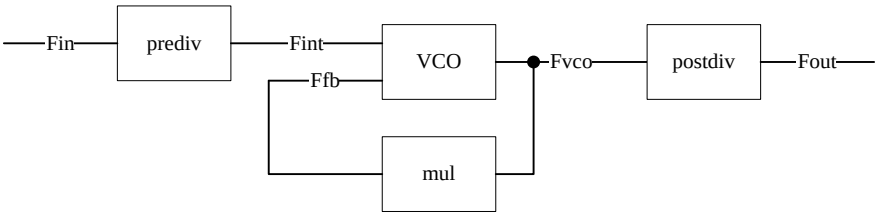


圖 10 PLL Diagram

注意:
1. 8MHz ≤ Fvco ≤ 192MHz, if VDDA ≥ 1.8V; 8MHz ≤ Fvco ≤ 96MHz, if 1.65V ≤ VDDA < 1.8V;
2. Fout = Fin * (pll_mul + 1) / (pll_prediv + 1) / (2 ** (pll_postdiv + 1))
3. Fvco = Fin * (pll_mul + 1) / (pll_prediv + 1).

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5 電源管理單元

5.1 電源管理單元概述

電源管理單元 (PMU) 控制核心和週邊元件的所有電源，還控制 MSI 的系統時鐘和頻率範圍的來源。該器件集成了零功率上電復位 (zeropower power-on reset, POR)、斷電復位 (power-down reset, PDR)，並配有欠電壓復位 (brown out reset，BOR)電路。 (請參閱 BOR) 該器件具有嵌入式可程式設定電壓檢測器 (PVD)，可監控 V_{DD}/V_{DDA} 電源並將其與 V_{PVD} 門檻值進行比較。軟體可在 1.85V 和 3.05 V 之間選擇 七種不同的 PVD 級別，步進級距為 200 mV。(請參閱 PVD)

- 三種不同的穩壓器模式:
  - Main (MR)
  - Low-power (LPR)
  - Power-down
- 動態核心電壓:
  - 1.8V
  - 1.2V
- 五種省電模式:
  - Low-power run mode (LPR)
  - Sleep mode (MR)
  - Stop mode (MR)
  - Low–power stop mode (LPR)
  - Standby mode (Power-down)

5.2 Power Domain Overview

該器件可分為兩個模組，由兩個電壓提供。核心電壓可在待機(Standby)模式下關閉，如圖 11 所示。

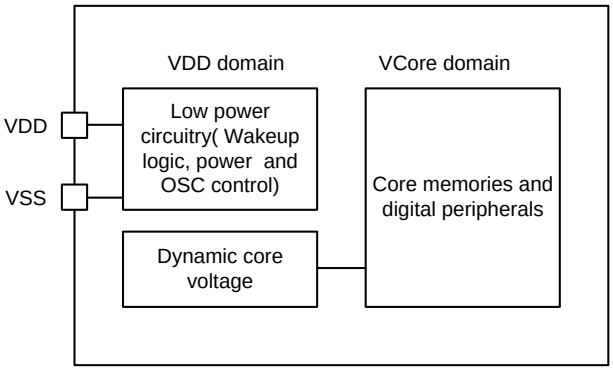


圖 11 電源域概觀

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5.3 電壓穩壓器

嵌入式線性穩壓器提供除待機(Standby)電路外的所有數位電路。穩壓器輸出電壓 (V_{CORE}) 可以通過軟體程式設定到 1.2V 或 1.8 V 內的二個不同範圍 (參見動態核心電壓章節)。

復位後一直啟動電壓穩壓器(regulator)。它適用于三種不同的模式: 主控(MR)、低功耗(LPR) 和斷電模式，具體取決於應用模式。

Run mode, 穩壓器(Regulator)是主控模式(MR)，為 V_{CORE} 域 (內核、儲存體和數位週邊設備)提供全功率。

Low-power run mode, 穩壓器處於低功耗模式 (LPR)，為 V_{CORE} 域提供低功耗，從而保留暫存器和內部 SRAM 的內容。

Sleep mode, 穩壓器是主控模式(MR)，為 V_{CORE} 域提供全功率，保留暫存器和內部 SRAM 的內容。關閉系統時鐘，但為 NVIC 保留週邊時鐘.

Stop mode, 穩壓器是主控模式(MR)，為 V_{CORE} 域提供全功率，保留暫存器和內部 SRAM 的內容。所有內部時鐘都關閉電源，只能通過擴展中斷 (EXTI) 喚醒。(請參閱 EXTI 部分)

Low-power stop mode, 穩壓器處於低功耗模式 (LPR)，向 V_{CORE} 域提供低功耗，從而保留暫存器和內部 SRAM 的內容。所有內部時鐘都關閉電源，只能通過擴展中斷 (EXTI) 喚醒。 (請參閱 EXTI 部分)。

Standby mode, 穩壓器已關閉電源。暫存器和 SRAM 的內容丟失，待機電路除外。

5.4 動態核心電壓

動態電壓縮放是一種電源管理技術，根據具體情況增加或降低用於數位週邊 (V_{CORE}) 的電壓。

Range 1

範圍 1 是著重"CPU 性能(performance)"電壓範圍。只要 VDD 輸入電壓高於 2.3V. 快閃記憶體程式，穩壓器輸出 1.8 V 電壓，即可在此範圍內執行擦除操作。

Range 2

範圍 2 是著重"功率性能"電壓範圍。穩壓器輸出 1.2 V 電壓，VDD 沒有任何限制，但系統時鐘不能超過 4.2MHz。

有關每個系列的性能的詳細資訊，請參閱表格 5。

表格 5 性能與 V_{CORE} 範圍

CPU performance	Power performance	Vcore Range	Typical Value (V)	Max frequency (MHz)	VDD range
High	Low	1	1.8	System Clock(MAX)	2.3V-VDDMAX
Low	High	2	1.2	4.2	VDDMIN –VDDMAX

➔ 當 VD33 電壓低於 2.2V，系統會自動將 V_{CORE} power 由 1.8V 切換到 1.2V，因此用戶必須使用 PVD (可程式電壓偵測器) 監測 VD33，一旦低於 2.2V 之前就先靠軟體將時鐘源切換到較低頻的 MSI (4.2 MHz)。

➔ 當 VD33 以高速時鐘工作並交替快速開啟/關閉時，用户必須開啟 BOR 以防止 VD33 ≤ 2.2V 引起 MCU 故障。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5.5 省電模式

預設情況下，微控制器在系統或上電復位後處於運行模式。在運行模式下，CPU 由 HCLK 計時，程式碼執行。當 CPU 不需要保持運行時 (例如在等待外來事件時)可以使用幾種低功耗模式來節省電源。使用者需要選擇在低功耗、性能、啟動時間短和可用喚醒源之間提供最佳折衷模式。

設備具有五種省電模式:

- **Low-power run mode:** 穩壓器在低功耗模式下，時鐘頻率有限，運行的週邊設備數量有限。
- **Sleep mode:** Cortex®-M0 內核停止，週邊設備繼續運行。
- **Stop mode:** 所有時鐘都停止，穩壓器運行。
- **Low-power stop mode:** 所有時鐘都停止，穩壓器處於低功耗模式。
- **Standby mode:** V_{CORE} 域已關閉電源。

此外，運行模式下的功耗可以通過以下方法之一降低:

- 減慢系統時鐘的速度
- 當未使用到 APBx 和 AHBx 週邊設備時，可以關閉時鐘。

表格 6 節能模式摘要

<table>
<tr><th>Mode name</th><th>Entry</th><th>Wakeup</th><th>Effect on V_{CORE} domain clocks</th><th>Effect on V_{DD} Domain clocks</th><th>Voltage regulator</th></tr>
<tr><td>Low-power run</td><td>bldo_pd and LPRUN bits + Clock setting</td><td>穩壓器(regulator)強制使用主穩壓器 (1.8V)</td><td>None</td><td>None</td><td>低功耗模式下 (low-power mode)</td></tr>
<tr><td rowspan="2">Sleep mode</td><td>WFI or Return from ISR</td><td>Any interrupt</td><td rowspan="2">關閉 CPU CLK，對其它時鐘或類比時鐘源沒有影響</td><td rowspan="2">None</td><td rowspan="2">ON</td></tr>
<tr><td>WFE</td><td>Wakeup event</td></tr>
<tr><td>Stop mode</td><td>SLEEPDEEP bit + WFI or Return from ISR or WFE</td><td rowspan="2">任何擴展中斷 (EXTI) 和 IWDT 復位</td><td rowspan="3">所有 V_{CORE} 域時鐘關閉</td><td rowspan="3">HSI16(1), HSE and MSI oscillators OFF</td><td>ON</td></tr>
<tr><td>Low-power stop mode</td><td>lpsdsr bits + SLEEPDEEP bit + WFI or Return from ISR or WFE</td><td>低功耗模式下 (low-power mode)</td></tr>
<tr><td>Standby mode</td><td>pdds bits + SLEEPDEEP bit + WFI or Return from ISR or WFE</td><td>WKUP 引腳高電平，RTC 報警，RTC 週期計時器，外部復位輸入，NRST 引腳，IWDT 復位</td><td>OFF</td></tr>
</table>

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5.5.1 外部中斷 (Extended Interrupt, EXTI)

EXTI 允許管理超過 20 條事件線路，這些事件線路可以從停機模式喚醒設備。

於停機模式下使用I/O單向邊緣觸發來進行喚醒時，需留意以下兩點以避免異常，或可改用雙向邊緣觸發或準位觸發:

1． 下緣觸發: 若I/O處於低位準時進入停機模式，則此I/O無法再產生下降緣而無法喚醒。

2． 上緣觸發: 若I/O處於高位準時進入停機模式，則此I/O無法再產生上升緣而無法喚醒。

表格 7 EXTI Lines Connections

EXTI line	Line source
每個 port 的 0-15	GPIO
16	PVD
17	RTC alarm
18	RTC periodic timer
19	COMP output

5.5.2 節能模式下時鐘的行為

APB 週邊時鐘可以通過軟體關閉。

睡眠模式 (Sleep modes)

CPU 時鐘在睡眠模式下停止。記憶體介面時鐘 (快閃記憶體和 RAM 介面)和所有週邊設備時鐘可以在睡眠期間由軟體停止。當連接週邊的所有時鐘時，在睡眠模式下，硬體會關閉 AHB 到 APB 橋接器時鐘。

停止和待機模式 (Stop and Standby modes)

系統時鐘和所有高速時鐘在停機和待機模式下停止:

- PLL 功能被關閉
- 內部 RC 16 MHz (HSI16) 振盪器被關閉，除非在停機模式下設置 hsi16keron 位元
- 外部 1-24 MHz (HSE) 振盪器被關閉
- 內部 65 kHz – 4.2 MHz (MSI) 振盪器被關閉

當通過中斷 (停機模式)退出此模式時，內部 MSI 或 HSI16 可以通過PMU單元控制位元(Stopwuck)選擇為系統時鐘。對於兩個振盪器，其各自的範圍調適值保持在停機模式退出。

當通過復位 (待機模式)退出此模式時，內部 MSI 振盪器將選擇為系統時鐘。範圍調適值復位為預設的 2.1 MHz。

如果快閃記憶體程式操作或對 APB 域的訪問正在進行，則延遲停機模式或待機模式的執行，直到快閃記憶體或 APB 訪問完成。

進入停機模式(STOP Mode)前，須關閉所有TIMER與SYSTICK，待喚醒後再重新開啟，以避免喚醒異常。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5.6 暫存器定義

表格 8 PMU 控制暫存器

Index	Bit	R/W	Default	Name	Description
PMU_EN: PMU Enable					
00h	[0]	R/W	1	pmu_enable	0: 關閉 PMU 以節省更多電源 1: 啟動 PMU
PMU_PVD_IE: Interrupt signals					
04h	[1]	R/W	1	pvd_int_en	啟動 PVD interrupt 0: 禁能 1: 啟動
	[0]	R	0	pvd_int	PVD interrupt flag
PMU_RGLTR_CR: Regulator control signals					
08h	[8]	R/W	1	ch1p2v_n	核心電源選擇。 0: 1.2V 1: 1.8V
	[5]	R/W	0	lpsdsr	進入睡眠模式或停機模式時關閉 BLDO
	[4]	R/W	0	pdds	當 MCU 申請深度睡眠時，狀態選擇 0: 停機模式 (**Stop** Mode) 1: 待機模式 (**Standby** Mode)
	[1]	R/W	0	sldo_pd	低功耗穩壓器 (regulator)斷電 0: 開啟 1: 斷電
	[0]	R/W	0	bldo_pd	主要穩壓器 (regulator)斷電 0: 開啟 1: 斷電
PMU_VD_CR: Voltage detector control signals					
0Ch	[10:8]	R/W	000	bor_sel	BOR level selection [000]: setting VBOR0=1.7V [001]: setting VBOR1=1.93V [010]: setting VBOR2=2.3V [011]: setting VBOR3=2.55V [100]: setting VBOR4=2.8V
	[6:4]	R/W	000	pls_sel	PVD 電平選擇 [000]: 設置 VPVD0=1.85V [001]: 設置 VPVD1=2.04V [010]: 設置 VPVD2=2.24V [011]: 設置 VPVD3=2.4 V [100]: 設置 VPVD4=2.64V [101]: 設置 VPVD5=2.83V [110]: 設置 VPVD6=3.05V [111]: 設置 VPVD7: 外部輸入類比電壓 (內部比較與 VBGC)
	[3:2]	R/W	11	cmp_hs	選擇 CMP 的操作模式 High Speed Mode: 1 Low Speed Mode: 0 cmp_hs[1]: CMP2

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					cmp_hs[0]: CMP1
	[1]	R/W	1	bor_pd	BOR 電源控制 0: 開啟 1: 關閉
	[0]	R/W	1	pvd_pd	PVD 電源控制 0: 開啟 1: 關閉
PMU_AN_PD: Analog power control					
14h (pmu_an_pd)	[11]	R/W	1	dac_pd	DAC 電源控制 0: 開啟 1: 關閉
	[10]	R/W	1	r2r_pd	Rail-to-Rail 電源控制 0: 開啟 1: 關閉
	[9]	R/W	1	adc_pd	ADC 電源控制 0: 開啟 1: 關閉
	[8:7]	R/W	1	cmp_pd	CMP1 & CMP2 電源控制 [7]: CMP1, [8]: CMP2 0: 開啟 1: 關閉
	[6]	R/W	0	flash_keep_off	退出停機模式時，Flash 保持關閉電源
	[5]	R/W	0	run_pd_fls	退出睡眠模式以運行模式時，Flash 關閉
	[4]	R/W	0	sleep_pd_fls	進入睡眠模式時，Flash 關閉
	[1]	R/W	0	rom_pd	ROM 電源控制 0: 開啟 1: 關閉
	[0]	R/W	0	flash_pd	Flash 電源控制 0: 開啟 1: 關閉
PMU_CLK_PD: Clock power signals					
18h	[5]	R/W	1	usb48m_pd	USB 48M 電源控制 0: 開啟 1: 關閉
	[4]	R/W	1	hse_pd	HSE 電源控制 0: 開啟 1: 關閉
	[3]	R/W	1	pll_pd	PLL 電源控制 0: 開啟 1: 關閉
	[2]	R/W	1	hsi_pd	HSI 電源控制 0: 開啟 1: 關閉
	[1]	R/W	1	lsi_pd	LSI 電源控制 0: 開啟 1: 關閉
	[0]	R/W	0	msi_pd	MSI 電源控制

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					0: 開啟 1: 關閉
PMU_CLK_CR: Clock control signals					
1Ch	[11]	R/W	0	dclk_gt	1: Disable debug mode DCLK for power saving 0: Enable debug mode DCLK, no power saving
	[9]	R/W	0	stopwuck	退出停機模式 (STOP Mode) 時，使用時鐘源 1: Turn on HSI 0: Turn on MSI
	[8]	R/W	0	hsi16keron	進入停機模式時保持 HSI 電源打開
	[6:4]	R/W	101	msi_range	頻率輸出選擇引腳 3'b000: range0 65.5K 3'b001: range1 131K 3'b010: range2 262K 3'b011: range3 524K 3'b100: range4 1.05M 3'b101: range5 2.1M 3'b110: range6 4.2M 3'b111: range6 4.2M
	[1:0]	R/W	00	sw_sysclk	選擇系統頻率 00: MSI 01: HSI16 10: HSE 11: PLL
PMU_WKUP_CR: Wakeup control signals					
20h	[3]	R/W	0	rst_stop	進入停機模式時產生復位
	[2]	R/W	0	rst_stdby	進入待機模式時產生復位
	[1]	R/W	0	wukp1_en	Wakeup pin 1 啟動
	[0]	R/W	0	wukp0_en	Wakeup pin 0 啟動
PMU_CSR: Status Flag					
24h	[4]	R/W	0	boot_sel	Boot select
	[1]	R/W1C	0	stop_flag	停止旗標，如果從停止喚醒，寫入 1 以清除
	[0]	R/W1C	0	stby_flag	待機旗標，如果從待機喚醒，請寫入 1 以清除
PMU_ATPD_STOP: Auto power down at Stop					
28h	[8]	R/W	0	stop_lvr22_pd	設定 lvr22_pd 當 PMU 進入停機模式
	[7]	R/W	0	stop_lvr18_pd	設定 lvr18_pd 當 PMU 進入停機模式
	[4]	R/W	1	stop _r2r_pd	設定 r2r_pd 當 PMU 進入停機模式
	[3]	R/W	1	stop _dac_pd	設定 dac_pd 當 PMU 進入停機模式
	[2]	R/W	1	stop _adc_pd	設定 adc_pd 當 PMU 進入停機模式
	[1]	R/W	1	stop _cmp_pd	設定 cmp_pd 當 PMU 進入停機模式
	[0]	R/W	1	stop _lsi_pd	設定 lsi_pd 當 PMU 進入停機模式
PMU_ATPD_STBY: Auto power down at Standby					
2Ch	[11]	R/W	0	stby_pdvbg_dig	設定 pdvbg_dig 當 PMU 進入待機模式
	[10]	R/W	0	stby _bor_pd	設定 bor_pd 當 PMU 進入待機模式
	[9]	R/W	0	stby _pvd_pd	設定 pvd_pd 當 PMU 進入待機模式
	[8]	R/W	0	stby _lvr22_pd	設定 lvr22_pd 當 PMU 進入待機模式
	[7]	R/W	0	stby _lvr18_pd	設定 lvr18_pd 當 PMU 進入待機模式

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	[6]	R/W	0	stby _pdr_v18_pd	設定 pdr_v18_pd 當 PMU 進入待機模式
	[5]	R/W	0	stby _pdr_vda_pd	設定 pdr_vda_pd 當 PMU 進入待機模式
	[4]	R/W	1	stby _r2r_pd	設定 r2r_pd 當 PMU 進入待機模式
	[3]	R/W	1	stby _dac_pd	設定 dac_pd 當 PMU 進入待機模式
	[2]	R/W	1	stby _adc_pd	設定 adc_pd 當 PMU 進入待機模式
	[1]	R/W	1	stby _cmp_pd	設定 cmp_pd 當 PMU 進入待機模式
	[0]	R/W	1	stby _lsi_pd	設定 lsi_pd 當 PMU 進入待機模式

R/W1C: 讀取 與 寫“1”清除

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5.7 狀態機 (State Machine)

5.7.1 執行模式 (Run mode)

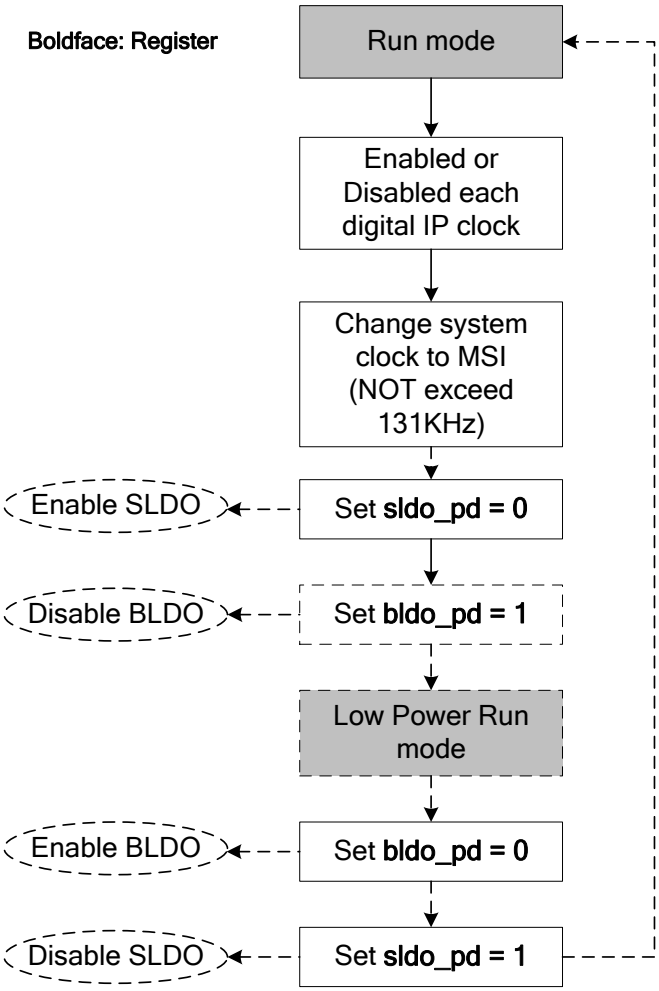


圖 12 低功耗運行模式狀態機

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5.7.2 睡眠模式 (Sleep Mode)

Boldface: Register

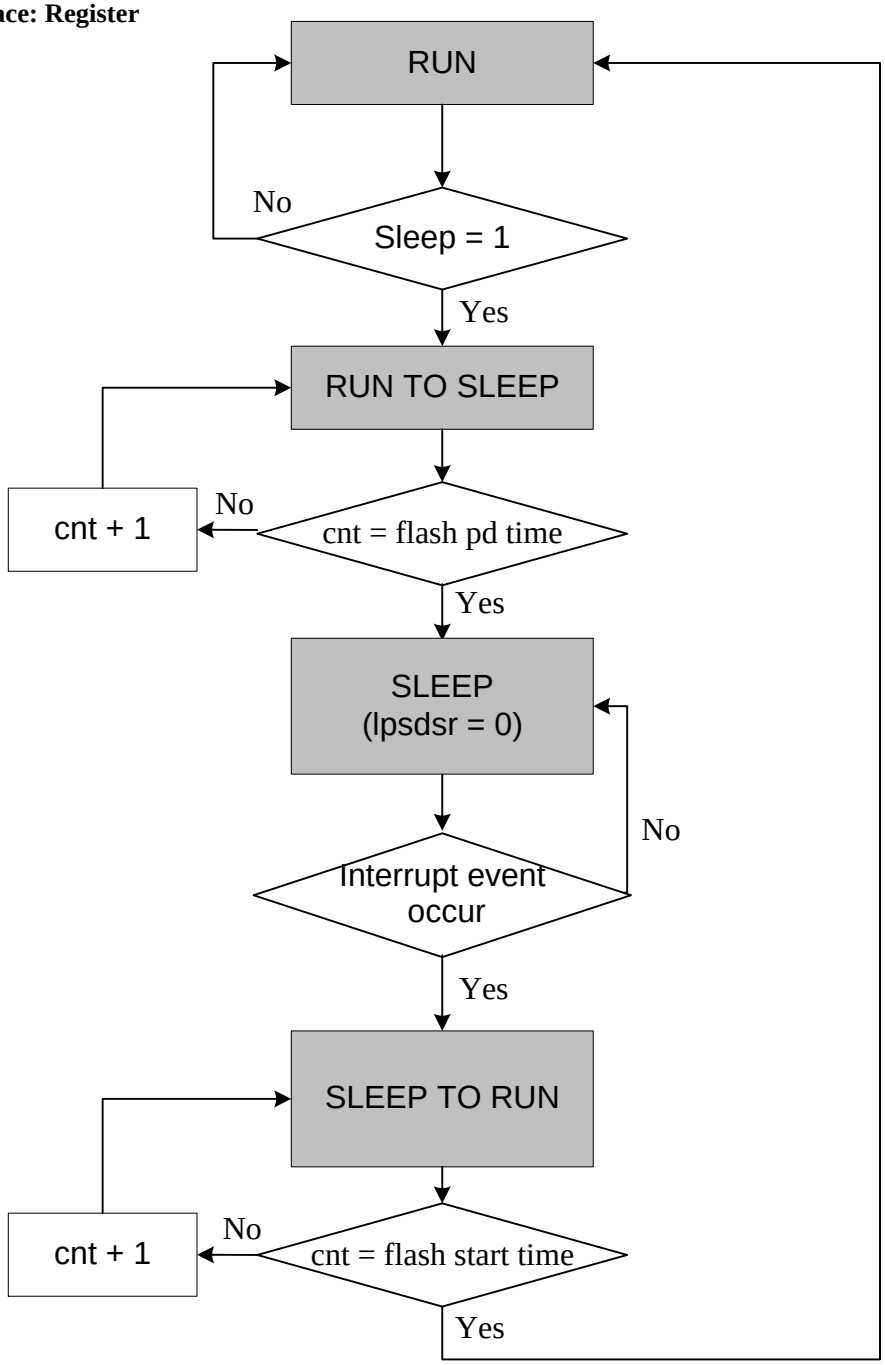


圖 13 睡眠模式狀態機

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

睡眠模式

CPU 時鐘在睡眠模式下停止。記憶體介面時鐘 (快閃記憶體和 RAM 介面)和所有週邊設備時鐘可以在睡眠期間由軟體停止。在睡眠模式下，當連接到這些時鐘的所有週邊設備時鐘被關閉時，硬體會關閉 AHB 到 APB 橋接器時鐘。

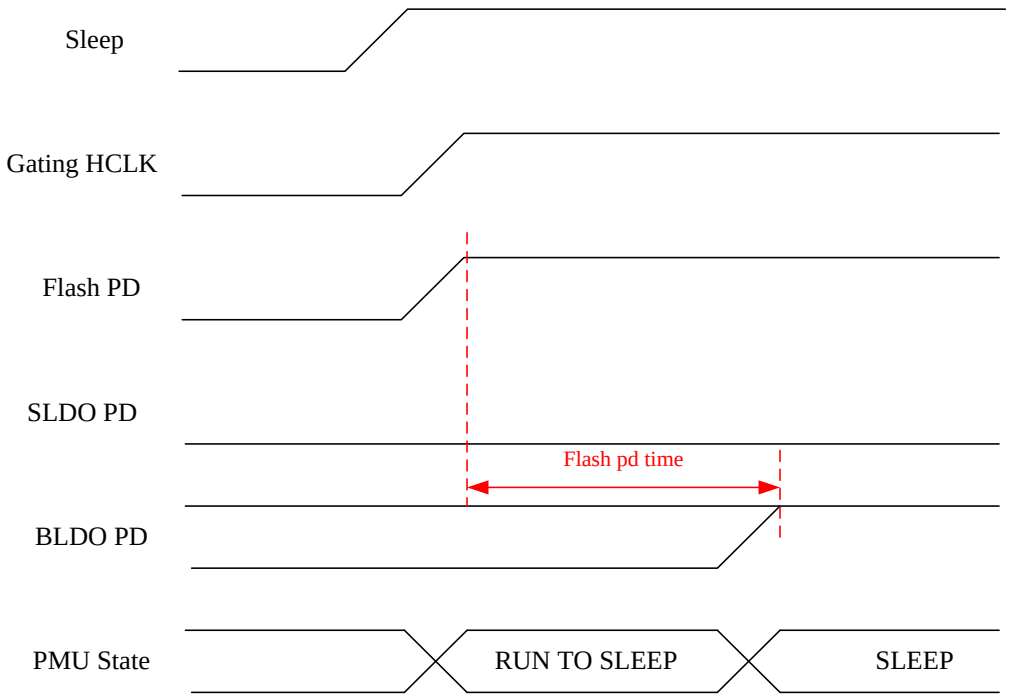


圖 14　　進入睡眠模式的時序圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

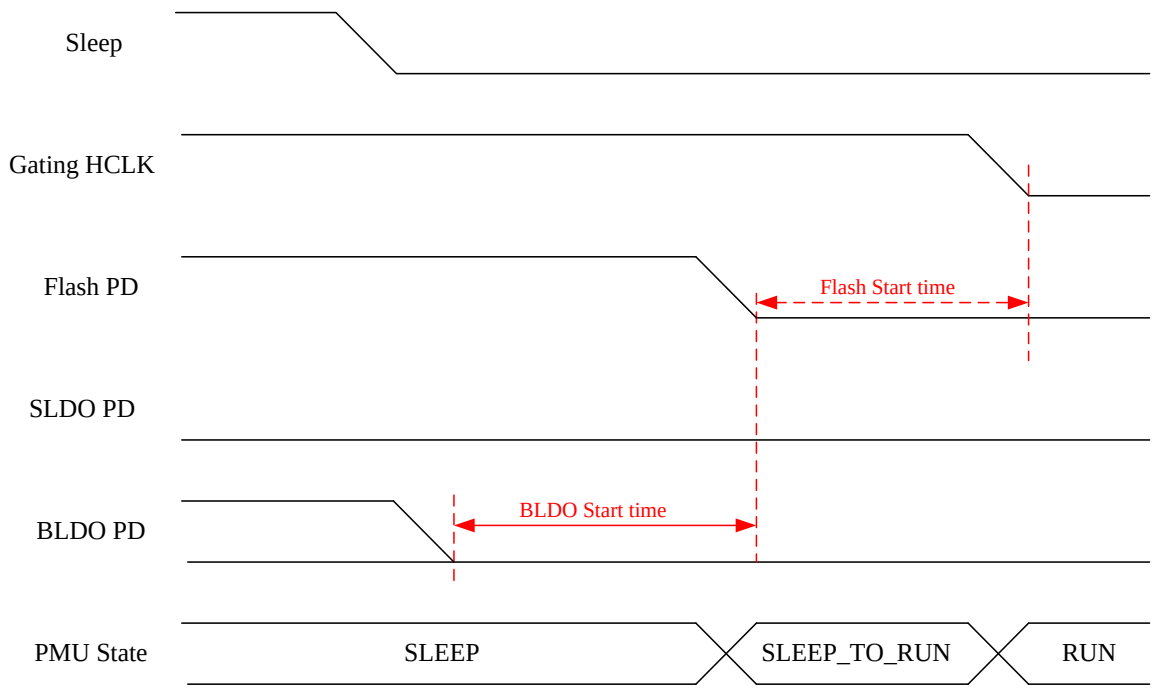


圖 15　　退出睡眠模式的時序圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5.7.3 停機模式 (Stop Mode)

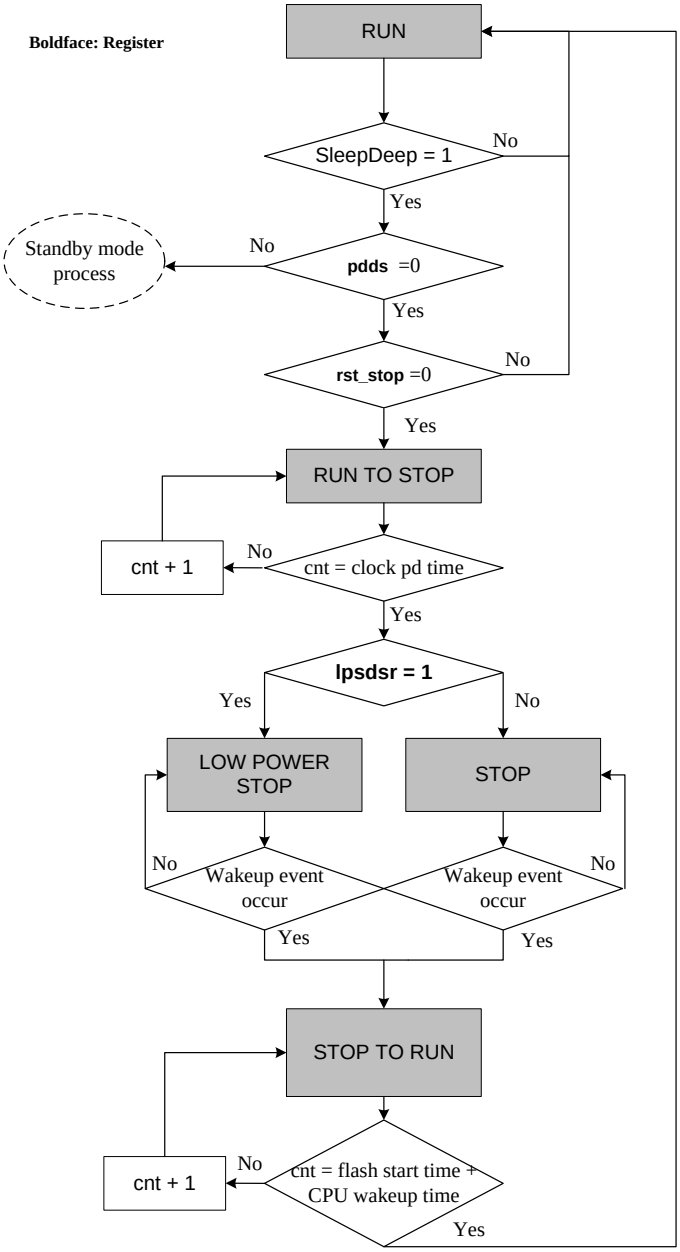


圖 16 停機模式狀態機

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

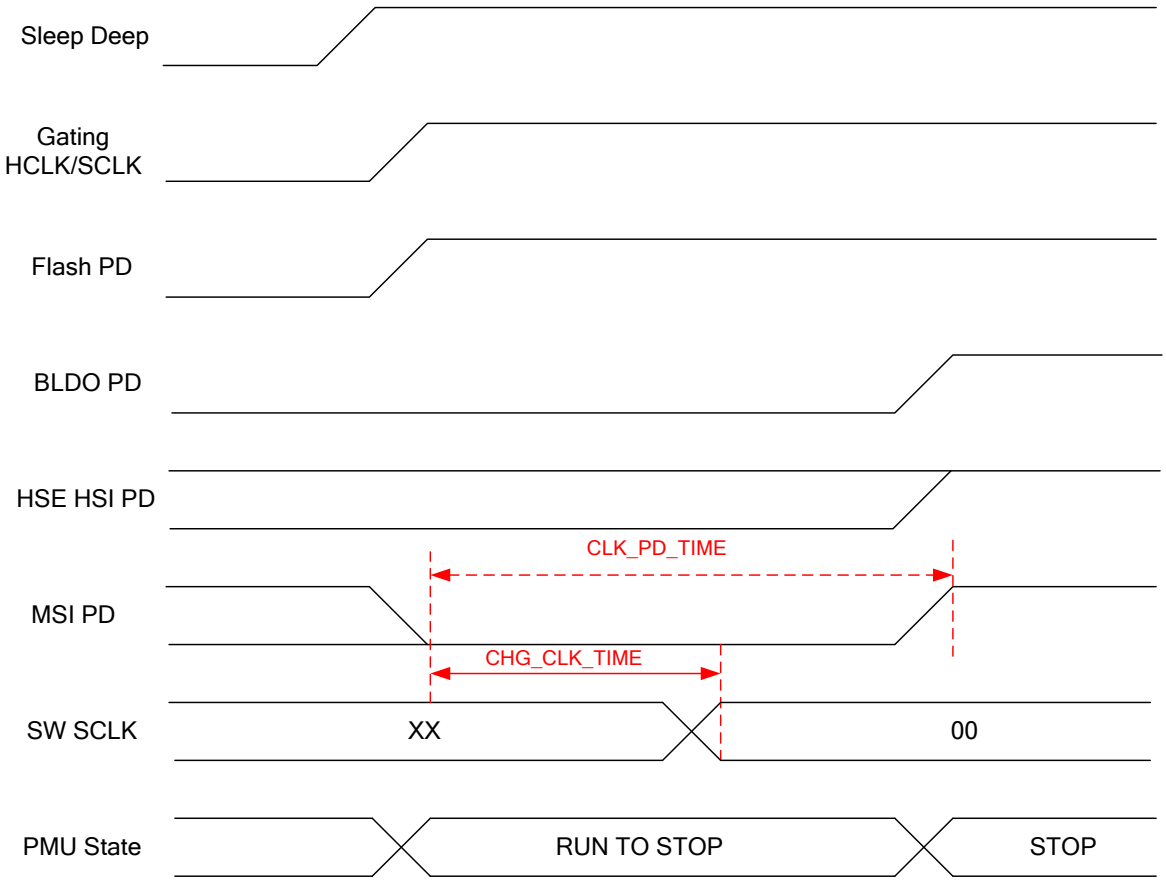


圖 17　　進入停機模式的時序圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

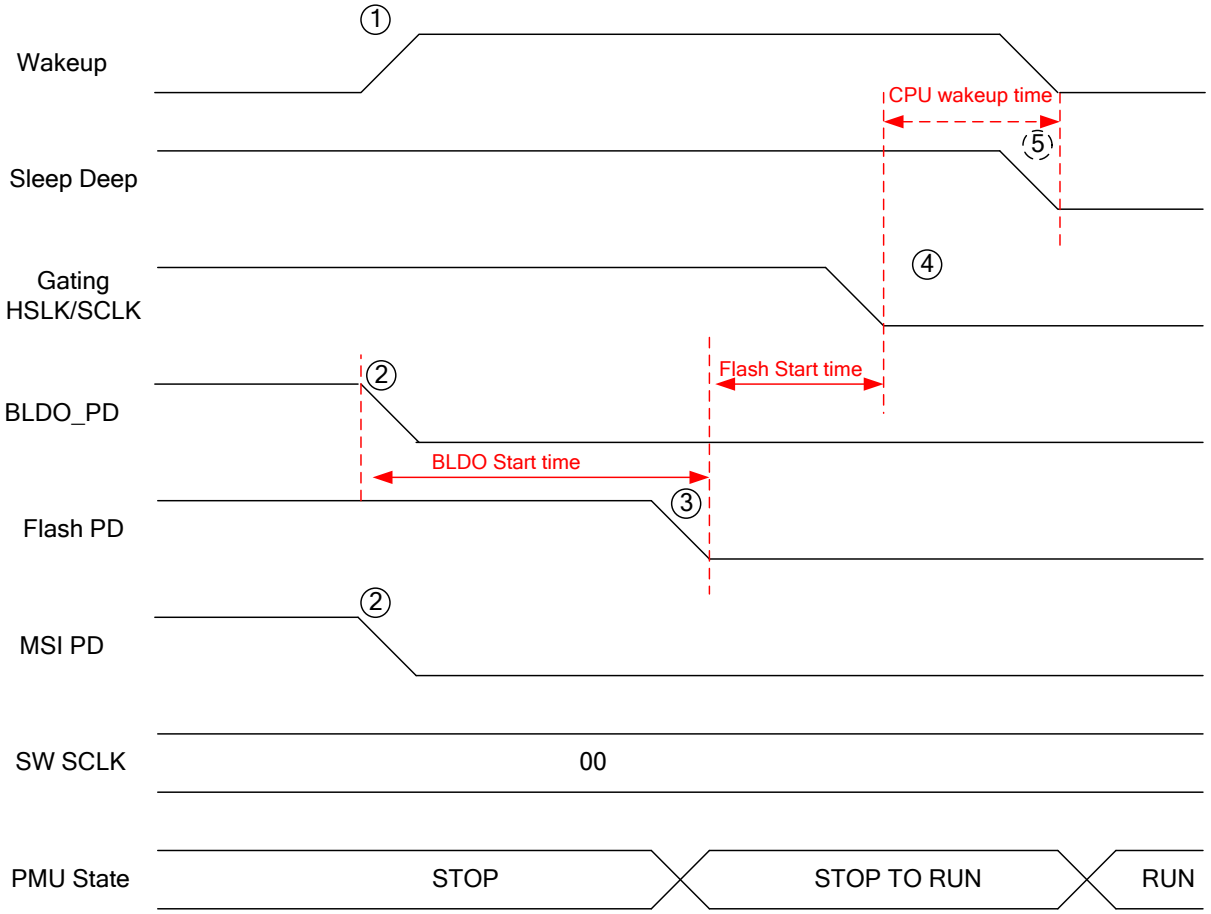


圖 18　　退出停機模式的時序圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5.7.4 待機模式 (Standby Mode)

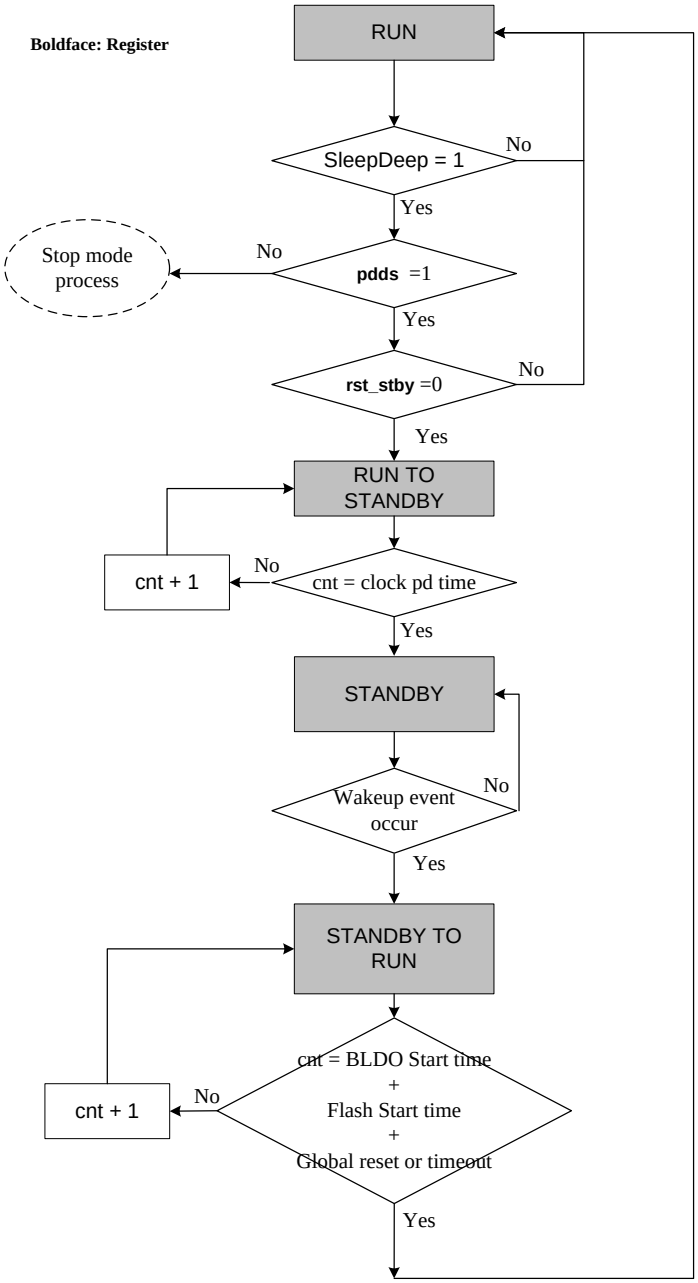


圖 19 待機模式狀態機

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

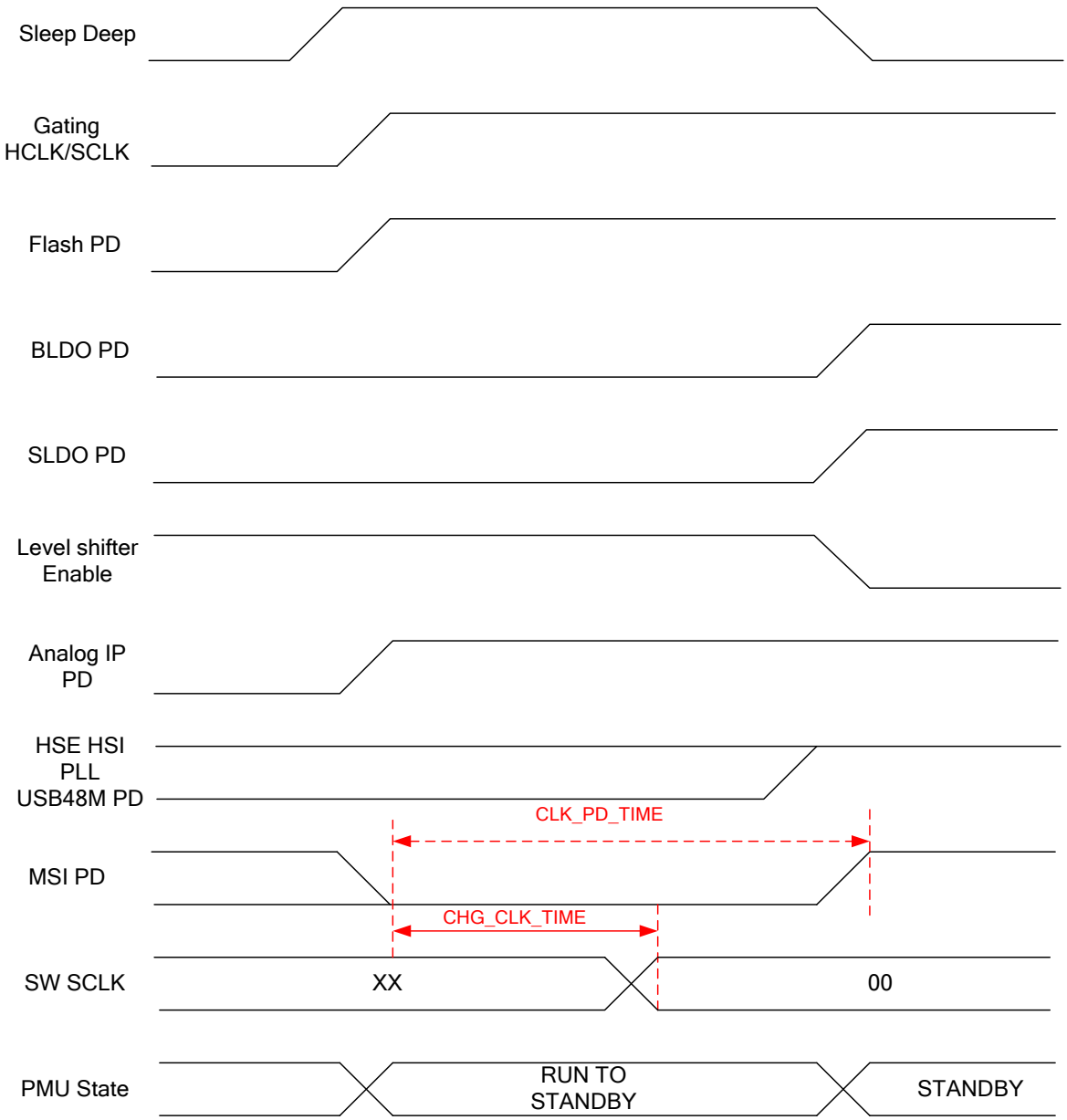


圖 20　　進入待機模式的時序圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

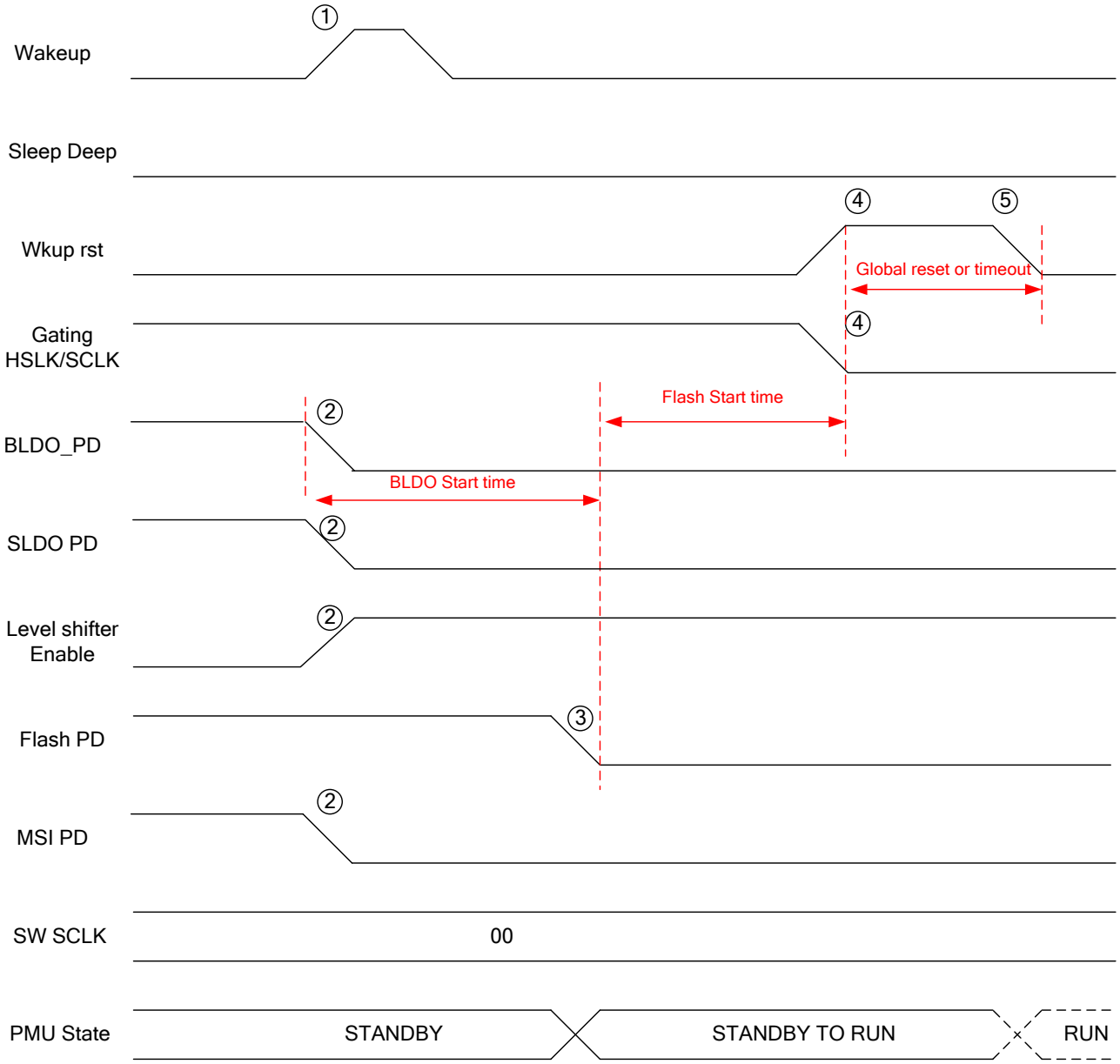


圖 21　　退出待機模式的時序圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

5.8 設定範例

將 GPIO PA[0] 設置為喚醒引腳，PA[3:1] 表示 PMU 狀態。使用者可以在任何電源模式下測量電流 (流程圖的紅色方塊)。

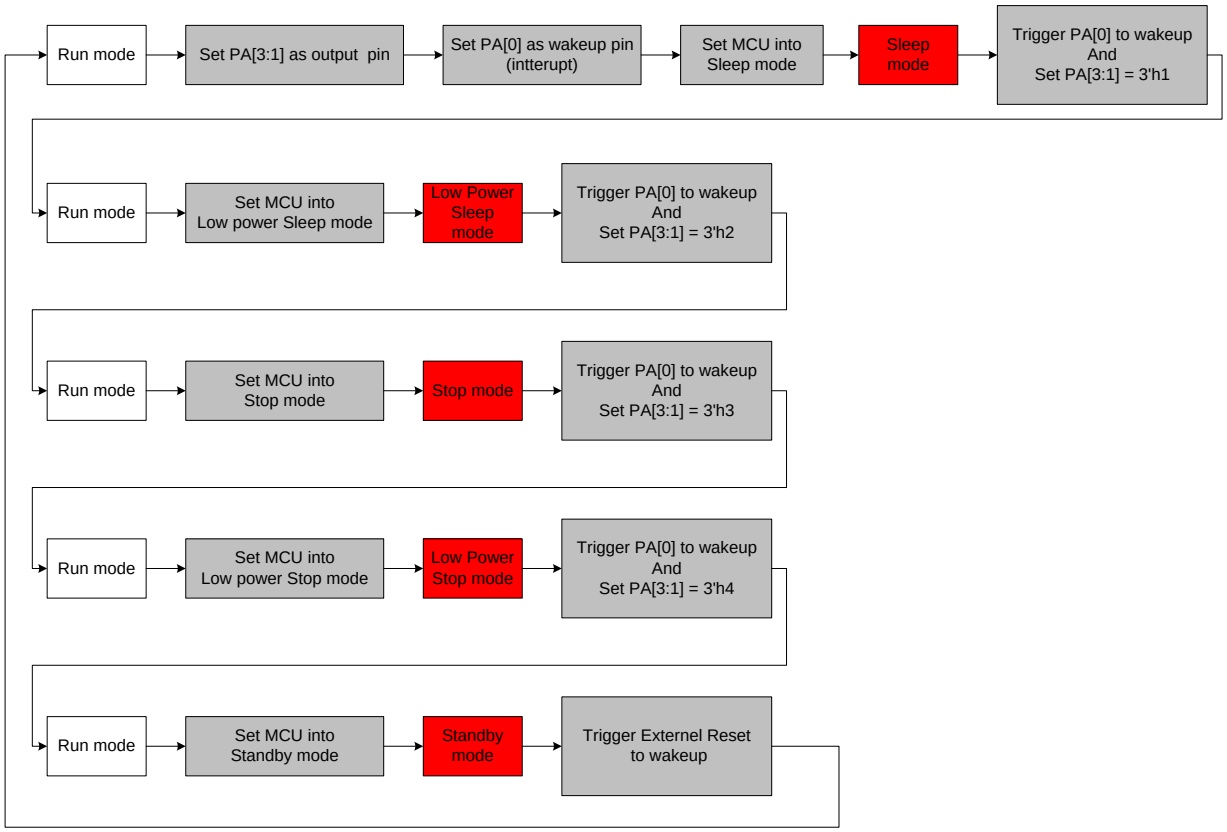


圖 22 斷電流程圖

5.9 操作模式 與 喚醒源

操作模式:

Operating Mode	BLDO	SLDO	Low Freq. OSC.	High Freq. OSC	PLL	CPU	Peripherals	SRAM Data Retention
NORMAL	On	On	On	On	NA	On	NA	V
Low-Power RUN	Off	On	On	Off	Off	On	NA	V
SLEEP	On	On	On	On	Off	Off	NA	V
STOP	On	On	Off	On/Off(*1)	Off	Off	NA	V
Low-Power STOP	Off	On	Off	Off	Off	Off	Off	V
STANDBY	Off	Off	Off	Off	Off	Off	Off	X

*1: 如果 BLDO 打開，讓 HSI 保持週邊設備工作

*2: 如果 BLDO 關閉， 高頻時鐘恐無法正常運作，必須靠軟體關閉

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

喚醒源:

Power Down Mode	2 lines Wake up I/O PA0 & PC13	GPIO Wake up	COMP Wake up	DAC Wake up	ADC Wake up	RTC Wake up	IWDT Wake up	USB Resume
SLEEP	V(INT)	V(INT)	V(INT)	V(INT)	V(INT)	V(INT)	V (RESET)	V V(INT)
LOW POWER STOP	V(INT)	V(INT)	V(INT)	NA	NA	V(INT)	V (RESET)	V V(INT)
STANDBY	V (high level trigger) (RESET)	NA	NA	NA	NA	V (RESET)	V (RESET)	

功能概述

表格 9　　操作模式上的週邊

Ips	Run / Active	Sleep [wk up]	Low-power run	Low-power sleep[wk]	Stop		Low- power stop		Standby	
						Wakeup capability		Wakeup capability		Wakeup capability
USB	O	O	--	--	--	O	--	O	--	--
DAC	O	O	O	O	O	--	O	--	--	--
ADC	O	O	--	--	--	--	--	--	--	--
CMP	O	O	O	O	O	O	O	O	--	--
WWDT	O	O	O	O	--	--	--	--	--	--
IWDT	O	O	O	O	O	O	O	O	O	O
SysTick Timer	O	O	O	O	--	--	--	--	--	--
PVD	O	O	O	O	O	O	O	O	--	--
GPIOs	O	O	O	O	O	O	O	O	--	--
RTC	O	O	O	O	O	O	O	O	O	O
2 lines Wake up I/O PA0 & PC13 (high level trigger)	O	O	O	O	O	O	O	O	O	O
Wakeup time to Run mode	0µs	~7.2µs	0µs	~7.2µs	~42µs		~42µs		~610µs	
Consumption VDD=3.0 V (Typ)	~8.9mA (32 MHz)	~330µA (MSI 4.2 MHz)	~202µA (MSI 1 MHz)	~265µA (MSI 4.2 MHz)	33µA (TYP.) (No RTC)		**0.6µA (TYP.)** (No RTC)		0.3 µA (TYP.) (No RTC)	
					33.7µA (TYP.) (with RTC)		**1.3µA (TYP.)** (with RTC)		0.9 µA (TYP.) (with RTC)	

"O" = Option 可選軟體可以啟動/關閉。　"TBD" = 尚未量測。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

6 eFlash 控制

6.1 主要概述

NVM (Non-Volatile-Memory，嵌入式非揮發快閃記憶體)為 64-bit 記憶體單元所組成，可用於存儲代碼、資料、開機程序(Boot code)或可選位元組(Option bytes)。記憶體陣列被分為多個頁面(Page)，每個頁面(Page)由 128x64 位元 (或 1024 bytes)組成，且每個扇區(Sector)是由快閃記憶體程式碼區域中的 4K bytes 和 Option Bytes 區域 (原廠參數值)所組成。

- 讀取介面支持字組(word)、半字組(half-word)或位元組(byte)之讀取
- 快閃記憶體(Flash Memory)之寫入操作以字組(WORD)為單位
- 可選位元組(Option bytes)區域之寫入操作乃以字組(WORD)為單位
- 擦除(Erase)操作乃以頁面(Page)為單位 (快閃記憶體和 Option bytes 皆是)
- 具有可選位元組(Option bytes)載入器 (init_load)
- 支援大量擦除(Mass Erase)操作
- 支援讀或寫入保護
- 支援 PCROP (Proprietary Code Read-Out Protecton，專有代碼讀取保護)

6.2 方塊圖

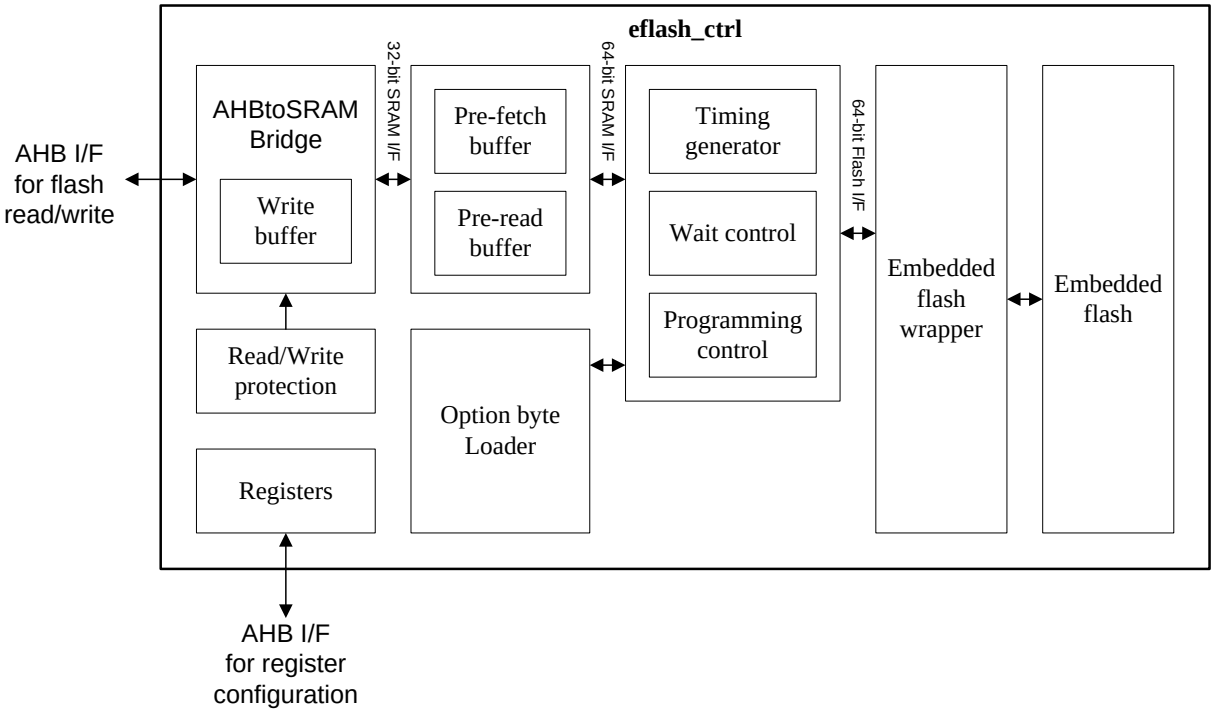


圖 23 eFlash 控制方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

6.3 暫存器描述

表格 10 eFlash 控制暫存器表

Index	Bit	R/W	Default	Name	Description
FLASH_ACR: Flash access control					
00h	31:7	-	-	-	保留
	6	R/W	0	prften	預取(Prefetch)啟用設置: 0: 預取已禁用。 1: 預取已啟用。當記憶體介面儲存完最後提取的位址時，接著會嘗試讀取下一個位址(在沒有其其它讀取或寫入操作正在進行時)。 注意: 每當 disab_buf 位元 (在此暫存器中)設置為 1 時，它都會自動復位。要瞭解預取的工作原理，請參閱”提取和預取”部分。
	5	R/W	0	pre_read	預讀(Pre-read)啟用設置: 0: 預讀已禁用 1: 預讀已啟用。當記憶體介面儲存完最後一個資料讀取的位址，接著會嘗試讀取下一個位址的資料(在沒有其它讀取或寫入或預取操作正在進行時)。 注意: 每當 disab_buf 位元 (在此暫存器中)設置為 1 時，它都會自動復位。
	4	R/W	1	disab_buf	快取(cache)緩衝區禁用設置(用於讀取期間)。 0: 啟用緩衝區 1: 禁用緩衝區。每次需要一個 NVM 值時，都會執行一個新的記憶體讀取程序。這意味著，即使對於已讀取過的位址 (例如前一筆讀取的位址)，每次讀取亦都需再次訪問 NVM。 注意: 復位此位元時，prften 和 pre_read 位元也會自動復位。
	3:2	-	-	-	保留
	1:0	R/W	0	latency	NVM 讀取等待設置(0~3 Wait State)。 0: 0 Wait State(由 NVM 讀取一個字組之等待時間)。 1: 1 Wait State(由 NVM 讀取一個字組之等待時間) 2: 2 Wait State(由 NVM 讀取一個字組之等待時間) 3: 3 Wait State(由 NVM 讀取一個字組之等待時間) 使用者必須依核心工作頻率和操作模式 (電源)來寫入正確的值，請參照表 12 以取得正確的設定值，MCU 並不會自動檢查設置是否正確。 若要增加時鐘頻率，使用者必須先更改此值，然後再增加頻率; 若要降低時鐘頻率，使用者必須先降低頻率，然後再更改此值。
FLASH_PECR: Flash program erase control					
04h	31:18	-	-	-	保留
	17	R/W	0	errie	錯誤中斷(Error interrupt) 啟動設置: 0: 錯誤中斷(Error interrupt) 禁能. 1: 錯誤中斷(Error interrupt) 啟動. 注意: 僅當 pelock 為 0 時，才能修改此位元; 而

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					當此位元啟動時去設定 pelock 為鎖定狀態並不會復位此位元，此時中斷保持於啟用狀態。
	16	R/W	0	eopie	寫入完成中斷(End of programming interrupt)啟動設置: 0: 寫入完成中斷禁能. 1: 寫入完成中斷啟動. 注意:僅當 pelock 為 0 時，才能修改此位元; 而當此位元啟動時去設定 pelock 為鎖定狀態並不會復位此位元，此時中斷保持於啟用狀態。
	15:12	-	-	-	保留
	11	-	-	-	保留
	10	R/W	0	mass	大量擦除請求設置 0: 未請求大量擦除操作 1: 請求大量擦除操作 注意: 當 pelock 為 0 時，才能修改此位元; 當設置 pelock 時，此位元將會復位。
	9	-	-	-	保留
	8	R/W	0	erase	擦除請求設置(Page Erase) 0: 未請求擦除操作。 1: 請求擦除操作。 注意: 當 pelock 為 0 時，才能修改此位元; 當設置 pelock 時，此位元將會復位。
	7:3	-	-	-	保留
	2	-	-	-	保留
	1	R/W	1	prglock	快閃記憶體之程式碼區域(Program memory)鎖定設置: 0: 解鎖程式碼區域中的寫入和擦除操作。 1: 鎖定程式碼區域中的寫入和擦除操作。 此位元阻止快閃記憶體之程式碼區域之寫入或擦除操作。它只能寫入 1 來重新鎖定，若要將其復位為 0，則需要使用 flash_prgkeyr[31:0]暫存器來進行正確的解鎖順序 (請參閱“解鎖快閃記憶體程式碼區域”)，當 pelock 位元為 0 時，解鎖的鑰匙為: - First key:8C9D_AEBFh - Second key: 1314_1516h 注意: 當設置 pelock 為鎖定時，此位元亦會跟著被設置為鎖定。
	0	R/W	1	pelock	flash_pecr[31:0]暫存器鎖定設置(即此位元所在之暫存器): 0: 解鎖暫存器 flash_pecr[31:0]，它可以被修改，其它位解鎖。啟用資料寫入或擦除操作。 1: 鎖定暫存器 flash_pecr[31:0]，此時無法啟動寫入或擦除操作。 此位元鎖定 flash_pecr[31:0]暫存器，它只能寫入 1 來重新鎖定，若要將其復位為 0，則需要使用 flash_pekeyr[31:0]暫存器來進行正確的解鎖順序 (請參閱”解鎖 FLASH_PECR 暫存器”)。解鎖的鑰匙為: - First key: 89AB_CDEF

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					- Second key: 0203_0405
Reserved					
08h	31:0	-	-	-	保留
FLASH_PEKEYR: Flash program erase key					
0ch	31:0	W	-	flash_pekeyr	flash_pecr[31:0]解鎖暫存器(唯寫) 使用兩個寫入操作程序來進行解鎖 (第一個操作為 89AB_CDEFh，第二個操作為 0203_0405h)，寫入大小為字組，可以解鎖 flash_pecr[31:0] 暫存器。詳細資訊，請參閱"解鎖 FLASH_PECR 暫存器"。
FLASH_PRGKEYR: Flash program memory key					
10h	31:0	W	-	flash_prgkeyr	快閃記憶體之程式碼區域解鎖暫存器(唯寫) 使用兩個寫入操作程序來進行解鎖 (第一個操作為 8C9D_AEBFh，第二個操作為 1314_1516h)，寫入大小為字組，可以解鎖快閃記憶體之程式碼區域。 注意: 僅當 pelock 已解鎖時才能執行此程序來進行解鎖，詳細資訊請參閱"解鎖快閃記憶體程式碼區域"。
FLASH_SR: Flash status					
18h	31:14	-	-	-	保留
	13	R/W1c	0	rderr	讀取保護錯誤旗標 0: 未發生讀取保護錯誤。 1: 發生讀取保護錯誤。 當使用者嘗試讀取受 PCROP 保護的區域時，硬體會設置此位元，通過寫入 1 來進行清除。
	12	-	-	-	保留
	11	R/W1c	0	optverr	Option bytes 區域有效內容錯誤旗標 0: 在 Option bytes 載入期間未發生錯誤。 1: 在 Option bytes 載入期間發生一個或多個錯誤 當 Options bytes 載入期間，一個或多個配置不匹配時，硬體會設置此位元，這意味著載入的配置可能與使用者在記憶體中寫入的配置不同。通過寫入 1 來進行清除。 注意: 如果在載入保護相關位元時發生錯誤 (wprmod、rdprot[7:0]、wrprot[x])，則 Flash 程式記憶體中的原始程式碼可能無法正確執行。
	10:9	-	-	-	保留
	8	R/W1c	0	wrperr	寫入保護錯誤旗標 0: 未發生寫入保護錯誤。 1: 發生寫入保護錯誤。 當程式所要寫入或擦除的位址為寫入保護時，硬體會設置此位元，通過寫入 1 來進行清除。
	7:4	-	-	-	保留
	4	R	0	lve	低電壓讀取狀態旗標 0: NVM 處於正常電壓讀取模式 1: NVM 處於低電壓讀取模式
	3	-	-	-	保留
	2	R	1	endhv	高電壓結束狀態旗標

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					0: NVM 正處於高電壓狀態以執行寫入或擦除操作。 1: NVM 未處於高電壓狀態,即此時沒有寫入或擦除操作正在進行。 注意: 此位元由硬體進行設置與復位。
	1	R/W1c	0	eop	寫入結束 (EOP)狀態旗標 0: 未發生寫入結束(EOP) 事件 1: 發生寫入結束(EOP) 事件，此時若設置了 eopie 位元，則會產生中斷。 當完成一未被中止之寫入或擦除操作時，硬體會將此位元設置為 1，軟體通過寫入 1 來進行清除。
	0	R	0	bsy	記憶體介面忙碌旗標 0: 未進行寫入或擦除操作。 1: 寫入或擦除操作正在進行中。
Reserved					
1ch	31:0			-	保留
FLASH_INIT0: Analog initial load					
20h	31:0			-	保留
FLASH_INIT1: Analog initial load					
24h	31:0			-	保留
FLASH_OPTR: Boot ROM option					
28h	31:30	R/W	-	nboot	自舉模式選擇 0: boot from ROM(remap 0x00000000 to ROM) 1: boot from Flash(remap 0x00000000 to Flash) 2: boot from system RAM (remap 0x00000000 to system RAM) 此位元用於選擇設備之自舉模式，如果在 Option bytes 載入期間此值發生配置不匹配，則硬體自動載入 0 待機復位後，如果在 Option bytes 載入期間此值匹配正確，則此位元會自動被設置。
	29:9	-	-	-	保留
	8	R	-	wprmod	寫入或讀取保護模式 (快閃記憶體程式碼區域) 0: PCROP=0，此時 flash_wrprot[x] 用於扇區(Sector)寫入保護之設置。 1: PCROP=1，此時 flash_wrprot[x] 用於扇區(Sector)讀取保護之設置。 (同時也無法寫入) 如果在 Option bytes 載入期間發生此值配置不匹配，則硬體自動載入 1
	7:0	R/W	-	rdprot	讀取保護等級 Aah: level 0 (可讀) 其它: level 1 (防讀) 此值記錄讀取保護等級，於 Option bytes 載入期間自動載入。如果在 Option bytes 載入期間發生此值配置不匹配，則硬體自動載入 0x00。 注意: 軟體只能從未保護改寫為保護，無法在已保護下改寫為未保護

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

FLASH_WRPROT0: Write protection					
2ch	31:0	R/W	0	flash_wrprot[31:0]	扇區(sector) 0~31 保護設置 1. 當 wprmod[0] = 0: 在快閃記憶體內容的暫存器中，這些位元為快閃記憶體的寫入保護設定 (每個位元保護 4KB 位元組的扇區:第一個位保護第一個扇區，第二個位保護第二個扇區等)。在這種情況下，1 = 扇區受寫入保護，0 = 無保護。這些位元以及其相對應的 Option bytes 的內容可以隨意進行設置或復位，並無任何限制。 2. 當 wprmod[0] = 1: 則這些位元用於讀取保護設定 (請參閱"資料讀取與預讀")，開啟讀取保護的同時亦無法進行寫入，而讀取保護並不會防止程式碼提取。 在這種情況下，1 = 無保護，0 = 扇區讀取保護。 這些位元只能增加保護(可將某位元由 1 設置為 0，但不能將原本為 0 的部分設置為 1) 大量擦除(mass erase)時將復位 wprmod 位元，但不會復位此暫存器的內容， 所以大量擦除後，使用者必須寫入具有零的相對 Option bytes 才能完全刪除寫入保護。 如果在 Option bytes 載入期間此配置發生不匹配的狀況，並且 FLASH_OPTR 暫存器中的 wprmod=1，則將會載入 0000h 至此暫存器; 反之若 wprmod=0，則將會載入 FFFFh 至此暫存器。 如果在 FLASH_OPTR 暫存器中載入 wprmod 時出現不匹配的狀況 (因此載入了 1)，則將載入 0000h 至暫存器。
FLASH_WRPROT1: Write protection					
30h	31:0	R/W	0	flash_wrprot[63:32]	扇區(sector) 32~63 保護設置，詳細內容請參考上方 flash_wrprot[31:0]之說明
Reserved					
40h	31:0				保留
Reserved					
44h	31:0				保留
Reserved					
48h	31:0				保留
Reserved					
4ch	31:0				保留
Reserved					
50h	31:0				保留

R/W1C: 讀取 與 寫"1"清除

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

6.4 功能描述

6.4.1 NVM 功能描述

NVM (Non-Volatile-Memory, 嵌入式非揮發快閃記憶體)為 64-bit 記憶體單元所組成，可用於存儲代碼、資料、開機程序(Boot code)或可選位元組(Option bytes)。記憶體陣列被分為多個頁面(Page)，每個頁面(Page)由 128x64 位元 (或 1024 bytes)組成; 每個扇區(Sector)乃由快閃記憶體程式記憶體中的 4K bytes 和 Option bytes 區域 (原廠參數值)所組成。表格 11 顯示了 NVM 組織，包括主區塊中的 64 頁面。

表格 11 NVM 組織

NVM	NVM address	Page	Sector	Description
Main memory block	1000_0000h – 1000_03FFh	0	0	Flash program memory
	1000_0400h – 1000_07FFh	1		
	1000_0800h – 1000_0BFFh	2		
	1000_0C00h – 1000_0FFFh	3		
	…	…		
	1000_F000h – 1000_F3FFh	60	15	
	1000_F400h – 1000_F7FFh	61		
	1000_F800h – 1000_FBFFh	62		
	1000_FC00h – 1000_FFFFh	63		

6.4.2 讀取 NVM

- 讀取保護

根據時鐘頻率，讀取 NVM 可能需要 0~1 Wait-State，使用者必須設置正確的 Wait State 數量(FLASH_ACR 暫存器中的 latency [1:0]位元)，因對於 Wait State 所設置的的數量並不會自動驗證所設置的值是否正確。錯誤的 Wait State 數量的可能會造成讀取值的錯誤 (高頻時鐘下設置為 0 個 wait states)或拉長執行代碼的時間 (低頻時鐘下設置為 3 個 wait-state)。

程式可以按字組 (WORD=4 位元組)、半字組 (half-word=2 位元組)或位元組來讀取 NVM，但在寫入或擦除操作期間則會無法讀取。如果寫入或擦除操作正在進行，則讀取將處於等待(Wait-State)狀態，直到寫入或擦除操作完成，此時硬體將會延遲讀取操作之要求，除非此時所讀取的位址為讀取保護，在這種情況下，錯誤會通過硬體故障(hard-fault)或記憶體介面旗標發送給主控器，此時不會拖延與等待。表格 12 顯示了在 NVM 中讀取字組所需的延遲 wait-state。

表格 12 等候狀態數(wait-states)

range	Wait state required
≦ 16MHz	0
＞ 16MHz, ≦ 32MHz	1

- 更改 CPU 頻率

復位後，預計所使用的時鐘是 MSI (2.1 MHz)，快閃記憶體暫存器中會配置為 0 Wait-State，此時必須遵守以下軟體程序，以調整 CPU 時鐘頻率以及訪問 NVM 所需的 Wait State 數。CPU 時鐘或 Wait State 配置之更改可能需要一些時間才能生效，可利用檢查 AHB 預除器(pre-scaler)之因數(factor)和時鐘源狀態值來確認 CPU 時鐘頻率是否即與所設置的頻率相同，亦可利用讀取 FLASH_ACR 暫存器來確保程式有正確設計 Wait State 數量。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

- 增加 CPU 頻率

1. 將 FLASH _ACR 暫存器中的延遲 latency[1:0] 位元設定為 1 個 Wait-State (如有必要)。
2. 通過讀取 FLASH_ACR 暫存器，檢查是否 Wait State 數量已為新的設定值。當 Wait State 的數量發生更改時，記憶體介面將更改對 NVM 進行讀取存取的方式，若此時讀取操作正在進行時，則無法修改 Wait State 的數量，因此記憶體介面將會進行等待，直到 NVM 上沒有未完成之讀取。

   當主控器讀回 FLASH_ACR 暫存器的內容，此時讀取動作及要求之主控器將會停止，直到 Wait State 的數量真正更改完之。如果使用者不讀回暫存器，則之後對 NVM 的訪問可能會以 0 Wait State 的時間完成，就算是時鐘頻率增加，此時去計算該值也會是錯誤的。
3. 在復位和時鐘控制器 (RCC)中修改 CPU 時鐘源或者 AHB 時鐘預除器(prescaler)。
4. 通過分別讀取復位與時鐘控制器 (RCC)中的時鐘源狀態或者 AHB 預除器(prescaler)值，檢查是否已是新的 CPU 時鐘源或新的 CPU 時鐘預除器(prescaler)值。此檢查很重要，因為某些時鐘可能需要一些時間才能完成設置與使用。

- 降低 CPU 頻率

1. 在復位和時鐘控制器 (RCC)中修改 CPU 時鐘源或 AHB 時鐘預除器(prescaler)。
2. 通過分別讀取復位和時鐘控制器 (RCC)中的時鐘源狀態或者 AHB 預除器(prescaler)的值，檢查是否已是新的 CPU 時鐘源或者新的 CPU 時鐘預除器(prescaler)值。
3. 將 FLASH_ACR 暫存器中的延遲 latency[1:0] 位元設定為 0 Wait State (如果需要)。
4. 通過讀取 FLASH_ACR 暫存器，檢查是否已是新的 Wait-State 數。由於上一段解釋的種種因素，有必要重新讀取檢查該暫存器。

➢ 資料緩衝 (Data buffering)

在 NVM 中，有六個緩衝區可影響讀取操作 (用於提取和資料)的性能，且在某些情況下有助於降低功耗。緩衝區的結構如圖 24 所示，每個緩衝區存儲 3 種不同類型的資訊:位址、資料和歷史記錄。在讀取操作中，如果在緩衝區中找到要讀取之位址，則記憶體介面可以在不訪問 NVM 的情況下返回資料。緩衝區中的資料為 32 位元寬 (即使主伺服器只讀取 8 bit 或 16 bit)，因此無論該值在以前的讀取中使用的大小如何皆可以直接傳回值。歷史記錄用於瞭解緩衝區的內容是否有效，並刪除較舊的緩衝區 (以存放新值)。

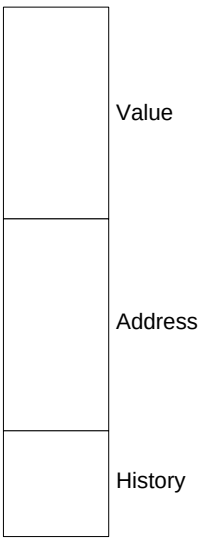


圖 24 一個內部緩衝區的結構

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

緩衝區用於存儲正常讀取操作期間從 NVM 所接收的值，以及用於存放推測讀取的值。禁用推測讀取下將使得僅有主控器所要求的資料會存儲在緩衝區中 (預設為啟用)。如果要讀的值已在緩衝區中，則可以增加性能，因為該值已在緩衝區中，此時則無需 Wait-State; 同時隨著記憶體中的讀取次數減少且記憶體中的所有組合路徑都穩定，因此降低了功耗。

緩衝區被劃分為多個群組來管理不同的任務，每個群組中的緩衝區數量可以從使用者選擇的配置而更改 (參見表格 13)。使用的緩衝區總數始終為 6 (已啟用下)，歷史記錄始終以群組來進行管理，記憶體介面始終於所有緩衝區之中搜尋特定位址是否已經存在，而非檢查緩衝區群組或讀取是提取指令或資料。

在復位時或進行數個位址更新之寫入/擦除操作後，所有緩衝區都會設為空值，歷史記錄設置為 EMPTY; 而在編程使用字組、半字組或位元組的程式後，則僅清除具有相關位址的緩衝區。

表格 13　預取-預緩衝管理 (Pre-fetch & Pre-buffer)

disab_buf	prften	pre_read	Buffers for fetch			Buffers for data	
			Buffers for jumps	Buffers for prefetch	Buffers for last value	Buffers for pre-read	Buffers for last value
1	-	-	0	0	0	0	0
0	0	0	3	0	1	0	2
0	1	0	2	1	1	0	2
0	0	1	3	0	1	1	1
0	1	1	2	1	1	1	1

如果緩衝區中的值不為空，則歷史記錄將顯示讀取或寫入該值所花費的時間。歷史記錄乃由一個從最新到最舊值的列表所組成，在給定的瞬間，群組中只有一個緩衝區可以具有特定的歷史記錄值 (空值除外)。當將緩衝區移動到最新位置時，群組中的所有其它緩衝區將同時移動一步，從而維持順序。當緩衝區被讀取 (主控器要求讀取緩衝區的內容)或被寫入 (從 NVM 中取得新的值)時，歷史記錄將更改為最新位置。當記憶體需要新位址時，記憶體介面始終覆寫至正確群組中之最舊的一個緩衝區 (若有空的緩衝區則直接寫入空的緩衝區)。

位於快閃記憶體暫存器(FLASH_ACR)中有三個設定值可用於管理緩衝區:

- disab_buf

  設置此位元將禁用所有緩衝區。當此位元為 1 時，無法啟用預取或預讀操作，例如，如果主控器請求同一位址兩次，則在 NVM 中產生兩次讀取。

- prften

  將此位元設置為 1 (需先將 disab_buf 設置為 0)可啟用預取。當記憶體介面沒有任何操作正在進行時，將讀取最後獲取的位址後的位址並將其存儲在緩衝區中.

- pre_read

  將此位元設置為 1 (需先將 disab_buf 設置為 0)可啟用預讀。當記憶體介面沒有任何操作進行中或預取執行時，將讀取最後一個資料位址後的位址並將其存儲在緩衝區中..

➢ 提取與預取 (Fetch and prefetch)

記憶體介面提取是指從 NVM 讀取資料並執行已讀取之資料。記憶體介面不會檢查執行讀取操作的主控器及其所讀取之位置，它僅驗證讀取操作是否完成且執行已讀取之資料。這意味著可以執行提取於:

- 所有區域
- 任意大小(16 或 32 位元)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

記憶體介面存儲在緩衝區中的內容:

- 跳轉的位址。因此，在迴圈中，只需於第一次訪問時進行 NVM 讀取，後續操作則因為跳轉位址已經位於緩衝區中已不再需要進行 NVM 讀取。
- 最後一個讀取位址。所以當執行提取 16 位元資料時，其它 16 位元資料業已位在緩衝區中。

為了管理提取，記憶體介面使用 4 個緩衝區:復位時 (disab_buf[0] = 0，prften[0] = 0，pre_read[0] = 0)，3 個緩衝區用於管理跳轉(jumps)，1 個緩衝區用於存儲獲取的最後一筆資料(last value)。使用此配置，4 個用於提取的緩衝區被組織成 2 個群組，具有獨自的歷史記錄:迴圈群組和獲取最後一筆資料的群組。

將 prften 位元設置為 1 可啟用預取(prefectch)。預取是 NVM 中的推測讀取，在主控器不請求讀取時執行，並且從獲取的最後一個位址處再額外讀取一個字組的資料(4 個位元組)，此讀取具有較低的優先順序，如果主控器請求讀取 (資料或提取)至與預取位址不同的位址，則此讀取將中止。啟用預取時，迴圈群組中的一個緩衝區將移動到一個新群組 (僅使用一個緩衝區)，用以儲存預取值，此時: 2 個緩衝區繼續存儲跳轉(jumps)，1 個緩衝區用於預取(prefetch)，1 個緩衝區用於最後一筆資料(last value)。

記憶體介面可以僅預取一個地址，所以當未進行提取且預取已完成下該功能會暫時停用。預取完成後，如果主控器請求預取的值，則預取緩衝區中的內容將被複製到最後一個值緩衝區且新的預取動作會啟用。相反，如果主控器請求不同的位址，預取緩衝的內容丟失，此時開進行 NVM 讀取 (如果需要)，並在完成後，一新的預取動作開始預取 NVM 讀取之新地址再加 4 之位址。

預取僅能增加效能於 1 個 wait state 下之讀取以及大多數為連續線性的程式碼:使用者必須評估利弊並依狀況來是否要啟用預取。預取會造成耗電增加，因為會有較多 NVM 讀取操作 (但並非所有的預取資料都會被使用到)。

➢ 資料讀取與預讀 (pre-read)

從記憶體介面讀取的資料，對應于不是提取的任何讀取操作，主控器讀取操作之常數和參數皆為資料。復位時，(disab_buf[0] = 0，prften[0] = 0，pre_read[0] =0)，記憶體介面使用在 2 個緩衝區所組成的一個群組來存儲最後兩個值作為資料讀取。

在某些特殊情況下，啟用預讀 (pre_read[0] = 1，帶 disab_buf[0] = 0)可能很有用。預讀(pre-read)的工作方式與預取完全一樣:它是最後一個資料位址的推測性讀取，每次遞增 4 個位元組 (一個字組)。使用此配置，一個資料緩衝區將移動到新群組以存儲預讀值，而第二個緩衝區繼續存儲讀取的最後一個值。對於預取，如果主控器請求預讀值，則在最後一個讀取值中複製預讀值;如果主控器請求其它位址，則該值將丟失。

預讀(pre-read)的優先順序低於正常讀取或預取操作:這意味著只有在沒有其它類型的讀取正在進行時才會啟動預讀。請注意，在錯誤情況下使用的預讀可能是有害的:在代碼中，資料讀取不是線性完成的，減少用於最後讀取值的緩衝區數 (從 2 到 1)可能會增加對 NVM 的訪問次數 (以及訪問 NVM 的時間)。此外，這還會導致預取延遲。表格 14 是可能之配置摘要。

表格 14 緩衝區和推測讀取的規劃

disab_buf	prften	pre_read	Description
1	X	X	Buffers 禁能
0	0	0	啟動緩衝區:不進行推測讀取
0	1	0	啟動預取:啟動提取時的推測讀取
0	0	1	啟動預讀:對啟動的資料進行推測讀取
0	1	1	啟動預取和預讀:提取的推測讀取和啟動的資料

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

6.4.3 寫入與抹除 NVM

有許多方法可以更改 NVM 之 內容。記憶體介面有助於減少發生 NVM 內容被意外更改的可能性，並通過硬體實現在不同記憶體區域中進行擦除或寫入所需的所有程序。

- **寫入與抹除協議 (Write/erase protocol)**

要在移除保護時寫入或擦除記憶體內容，使用者需要:

1. 將操作配置為執行(寫入或抹除)。
2. 向記憶體介面發送正確數量的資料，在 NVM 中寫入一個或多個位址。
3. 等待操作完成。

在等待期間，使用者可以準備下一個操作 (在非常特殊的情況下除外)，編寫新配置並開始為下一個寫入或擦除操作寫入資料。

- **單寫入操作方式 (Single programming operation)**

使用此協定，軟體必須將值寫入 NVM 的未受保護的位址中。當記憶體介面收到此寫入請求時，它會在檢查保護和上一個值時，將主時鐘脈衝停止，並在 NVM 內鎖定新值。然後，軟體可以開始配置下一個操作。當快閃記憶體暫存器 FLASH_SR 的 eop 位元被設置為 1 時 (如果操作開始時為 0)代表操作將完成。

6.4.4 鎖定與解鎖操作

在執行寫入或擦除操作之前，必須進行解鎖操作，以便使用者可以寫入快閃記憶體暫存器、程式記憶體和 Option bytes 區域。要執行寫入或擦除操作，請解鎖 FLASH_PECR 暫存器的 pelock 位元，當此位元解鎖 (其值為 0)時，即可修改同一暫存器的其它位元。

要寫入或擦除快閃記憶體程式碼區域，請解鎖快閃記憶體暫存器的 prglock 位元，但僅有在 pelock 為 0 時，才能解鎖該位元。

解鎖 FLASH_PECR 暫存器

復位後，由於在 FLASH_PECR 暫存器中設置了 pelock 位元，因此 FLASH_PECR 暫存器無法進行寫入操作，相同的解鎖程序同時取消此兩者之保護。以下程序用於解鎖 FLASH_PECR 暫存器:

1. **寫入第 1 個 KEY 值(PEKEY1 = 0x89ABCDEF)至暫存器 FLASH_PEKEYR**
2. **寫入第 2 個 KEY 值(PEKEY2 = 0x02030405)至暫存器 FLASH_PEKEYR**

任何錯誤的 KEY 順序列都會產生硬體錯誤(hard fault)，即使主控器嘗試在兩個 KEY 順序之間編寫另一個暫存器，或者使用錯誤的 KEY 值，亦為如此; 但讀取操作並不會產生錯誤，也不會中斷程序。在以下四種情況下，將會返回硬體錯誤(hard fault):

- 在第一次寫入 KEY 後，且輸入的 PEKEY1 值錯誤。
- PEKEY1 輸入正確，但在第二次寫入的 PEKEY2 的值不匹配。
- 嘗試將第三個值寫入 flash_pekeyr (請注意:仿真中也是如此)。
- 嘗試在 PEKEY1 和 PEKEY2 之間進行另一記憶體介面暫存器之寫入操作。

當正確執行後，解鎖程序將清除 FLASH_PECR 暫存器中的 pelock 位元，若要再次鎖定 flash_pecr，軟體只需將 flash_pecr 中的 pelock 位元設置為 1 即可。重新鎖定時，pelock 位元需要一個新解鎖程序才能返回到 0。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

➢ 解鎖快閃記憶體之程式碼區域

另一額外的保護用來防止寫入或擦除快閃記憶體之程式碼區域。復位後，快閃記憶體之程式碼區域無法進行寫入操作: 在 FLASH_PECR 暫存器中設置了 prglock 位元，通過清除 prglock 位元可授予對快閃記憶體之程式碼區域的寫入存取權限。以下程列用於解鎖快閃記憶體之程式碼區域:

1. 解鎖 FLASH_PECR 暫存器 (請參閱上一章節"解鎖 FLASH_PECR 暫存器")
2. **寫入第 1 個 KEY 值(PRGKEY1 = 0x8C9DAEBF)至暫存器 FLASH_PRGKEYR**
3. **寫入第 2 個 KEY 值(PRGKEY2 = 0x13141516)至暫存器 FLASH_PRGKEYR**

如果在 pelock 的值為 1 時寫入 KEY 值，並不會產生錯誤，並且 prglock 的值將會依然為 1，此時若要解鎖則必須在使 pelock = 0 之下重新執行解鎖程。在以下四種情況下，將會返回硬體錯誤(hard fault):

- 在第一次寫入 KEY 後，且輸入的 PRGKEY1 值錯誤。
- PRGKEY1 輸入正確，但在第二次寫入的 PRGKEY2 的值不匹配。
- 嘗試將第三個值寫入 flash_prgkeyr (請注意:仿真中也是如此)。
- 嘗試在 PRGKEY1 和 PRGKEY2 之間進行另一記憶體介面暫存器之寫入操作。

當正確執行時，解鎖程序將清除 prglock 位元，並且快閃記憶體之程式碼區域可進行寫入操作，若要再次鎖定快閃記憶體程式碼區域，軟體只需將 FLASH_PECR 暫存器中的 prglock 位元設置為 1 即可。重新鎖定時，prglock 位元需要一個新的解鎖程序才能返回到 0。如果 pelock 的值返回到 1 (鎖定)，則 prglock 也會自動跟著鎖定。

6.4.5 狀態暫存器

FLASH_SR 狀態暫存器提供有關記憶體介面或 NVM 狀態 (操作是否正在進行)和發生的錯誤資訊。

➢ **bsy**

此旗標由硬體設置和復位。每次記憶體介面執行寫入或擦除操作時，它都會被設置為 1 以通知此時無法執行任何其它操作。如果此時請求新操作，則可能發生以下不同的行為:

- 等待讀取、或等待寫入或擦除:如果軟體在執行寫入或擦除操作時再請求一寫入操作 (hvoff = 0)，則記憶體介面將暫停主控器，並在前一寫入或擦除操作完成後立刻執行被暫停的工作。
- rderr 錯誤:
  如果軟體在執行寫入或擦除操作時再請求一讀取操作 (hvoff = 0)，但欲讀取的位址受到保護，則記憶體介面將舉起 rderr 旗標並繼續等待前一寫入或擦除操作的結束。

➢ **eop**

此旗標由硬體設置，並由軟體進行復位。軟體可透過將其寫 1 來將其復位，當寫入或擦除操作完成且記憶體介面可以處理其它操作 (或開始一個被暫停的操作)時，此位元將會被設置為 1。

在開始新的寫入或擦除操作之前清除此位元可以幫助知道實際的操作何時完成。當在進行大量擦除動作時等待此位元旗標被設置 1 乃是非常重要的事，如此方能得知何時方可進行下一個新的操作。

➢ **hvoff**

此旗標由硬體設置和復位，它是一個來自於 NVM 記憶體介面之資訊: 它通知此時高壓穩壓器(High-Voltage Regulators)是打開 (= 0)或關閉 (= 1)。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

6.5 記憶體保護

使用者可以保護部分的 **NVM** (快閃記憶體程式碼區域和 Option bytes 區域)，以免受意外的寫入和駭客代碼攻擊 (意外之代碼讀取)，為此導入了三種類型的保護。

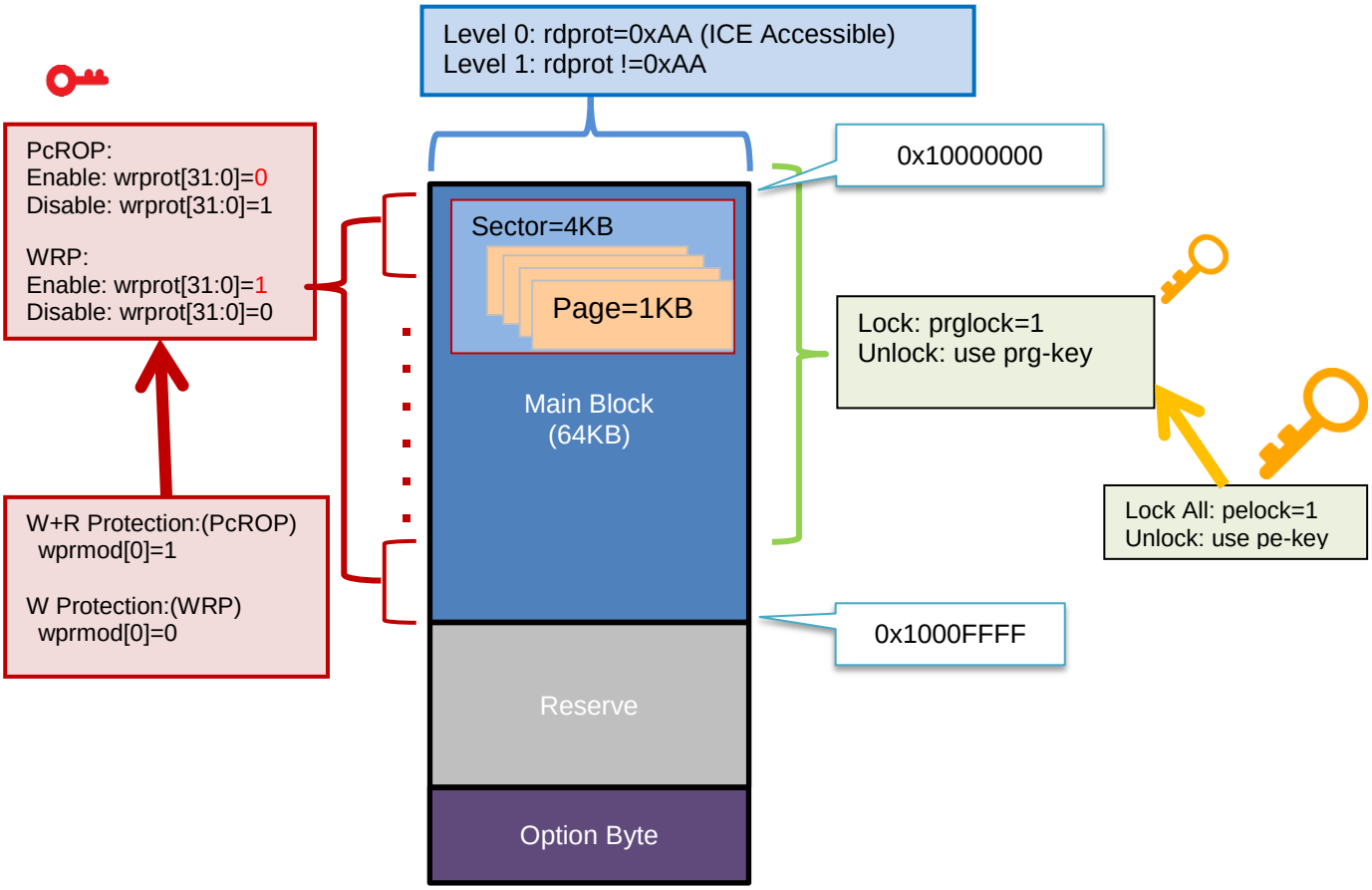


圖 25 記憶體保護

6.5.1 讀取保護 RDP (Read Out Protection)

這種類型的保護目的在防止 NVM 內容之意外讀取 (駭客攻擊)。此保護由 FLASH_OPTR 暫存器中的 rdprot[7:0] 位元來管理，該值在開機(boot)期間從 Option bytes 區域載入，並複製到暫存器中。

定義了兩個保護層級:

- Level 0: 無保護

當 rdprot[7:0]設置為 0xAA 時，此時即 level 0。啟用此級別時，如果沒有啟用其它保護，則可以在快閃程式記憶體和 Option bytes 區域中無限制地進行讀取和寫入。

- Level 1: 快閃記憶體讀取保護

當 rdprot[7:0]設置為除 0xAA 以外的任何值時，此時即 level 1。當 Option bytes 被擦除或是 rdprot[7:0]欄位中的值發生不匹配時，此時預設之保護等級即為此保護層級。

當設置為 Level 1 等級，此時程式碼區域為防讀保護。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

啟用此級別後:

- 當連接了調試器 (single-wire)，亦無法執行對快閃記憶體程式碼區域之訪問 (程式碼與資料之讀取與寫入)，但對其它區域則沒有限制: 可以讀取、寫入或擦除 Option bytes 區域。
- 當完成啟動於快閃記憶體之程式碼區域中時，所有操作能進行。
- 大量擦除將會刪除快閃記憶體之程式碼區域，並將保護層級更改為 Level 0，刪除 Option bytes 之第三個字組然後進行重寫以啟用 Level 0 並禁用 PCROP (WPRMOD = 0)。

6.5.2 資產保護 PcROP (Proprietary Code Read-Out Protection)

快閃記憶體之程式碼區域可以防止被駭客代碼讀取:讀取的資料會被阻止 (不含程式碼提取)。受保護的代碼不得訪問受保護區域中的資料，包括文字池(literal pool)。快閃記憶體之程式碼區域可以防止駭客代碼進行讀取:這會阻止讀取資料 (不含程式碼提取)，假設本機代碼是根據 PCROP 選項編譯的。此模式透過設置 FLASH_OPTR 暫存器中的 wprmod 位元為 1 來啟動。

保護設置以是扇區(sector)為單位(1 sector=4 pages=4KB)，為了保護扇區，需將 wrprot[63:0] 對應的位元設置為 0: 設置 0 表示讀取和寫入保護; 1 則表示沒有保護。表格 15 顯示了 wrprot[15:0]配置位與 64KB 快閃記憶體 16 扇區位址之間的連結。

在受保護的扇區中作為資料執行的任何讀取操作 (請參閱"讀取資料和預讀部分")都將在 FLASH_SR 暫存器中觸發 rderr 旗標。任何受讀取保護的扇區也受寫入保護，對這些扇區任何的寫入訪問都將觸發 FLASH_SR 暫存器中的 wrperr 旗標。

表格 15 PcROP & wrprot 快閃記憶體保護範圍

Bit	Start address	End address	Bit	Start address	End address
0	1000_0000h	1000_0FFFh	16	1001_0000h (保留)	1001_0FFFh (保留)
1	1000_1000h	1000_1FFFh	17	1001_1000h (保留)	1001_1FFFh (保留)
2	1000_2000h	1000_2FFFh	18		
3	1000_3000h	1000_3FFFh	19		
4	1000_4000h	1000_4FFFh	20		
5	1000_5000h	1000_5FFFh	21		
6	1000_6000h	1000_6FFFh	22		
7	1000_7000h	1000_7FFFh	23		
8	1000_8000h	1000_8FFFh	24		
9	1000_9000h	1000_9FFFh	25		
10	1000_A000h	1000_AFFFh	26		
11	1000_B000h	1000_BFFFh	27		
12	1000_C000h	1000_CFFFh	28		
13	1000_D000h	1000_DFFFh	29		
14	1000_E000h	1000_EFFFh	…	…	…
15	1000_F000h	1000_FFFFh	63	1003_F000h (保留)	1003_FFFFh (保留)

當 wprmod=1 (啟用 PCROP)時，無法刪除對扇區的保護: 可以於 wrprot[63:0]設置新的零 (保護新扇區)，但不能設置新的 1 (從扇區中刪除保護)，無論保護等級 (rdprot 的配置)為何皆為如此。當 wprmod 處於活動狀態時，如果使用者嘗試復位 wprmod 或從扇區中刪除保護，此時程式會持續執行，但 wprmod 位元或受保護的扇區保持不變。

要從扇區(sector)中移除保護的唯一方法是請求大量擦除 (即 mass erase，會將保護等級更改為 Level 0 並禁用 PcROP):禁用 PCROP 時，即可自由更改扇區(sector)保護。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

6.5.3 防止意外的寫入或擦除操作

記憶體介面支持兩種方法來防止意外的寫入或擦除操作，這些操作可對所有快閃記憶體之區域有效，或者僅限於快閃記憶體之程式碼區域之特定扇區(sector)。

如”解鎖或鎖定操作”部分所述，使用者可以:

- 僅當 pelock = 0 和 optlock = 0 時，才能寫入或擦除到 Option bytes 區域。
- 僅當 pelock = 0 和 prglock = 0 時，才能寫入或擦除到快閃記憶體之程式碼區域。

要了解設置 pelock、prglock 和 optlock 的程序，請參閱”解鎖 FLASH_PECR 暫存器”、”解鎖快閃記憶體程式碼區域”。

在快閃記憶體之程式碼區域中，可以使用扇區 (sector)為單位來添加另一個寫入保護。禁用 PCROP 時(wprmod[0] = 0)，使用 wrprot[15:0]位元來啟用扇區 (sector)上的寫入保護。與 PcROP 相比，極性是相對的:為了保護扇區(sector)，必須要將相對的位元設置為 1; 要刪除保護，則必須要設置為 0。表格 15 之內容對於寫入保護亦為有效。如上所述，啟用 PCROP 時，防止讀取的扇區(sector)也受到寫入與擦除保護，可防止寫入或擦除之操作。不管是在 Level 0 或 Level 1 中皆可以隨時更改扇區(sector)上的寫入保護。表格 16 中簡述各種保護狀態。

表格 16 記憶體訪問與模式

Flash program memory sectors	Mode		
	User mode (including In Application Programming)	Debug mode	
Flash program memory (RDP Level Setting)	R/W (Level 1 or 0)	Level 0 (rdprot[7:0]=0XAA)	Level 1 (rdprot[7:0]≠0XAA)
		R/W	Protected (no access)
Flash program memory (prglock[0] = 1)	R	R	Protected (no access)
Flash program memory (prglock[0] = 0)	R/W	R/W	Protected (no access)
Flash program memory in WRP pages	R	R	Protected (no access)
Flash program memory in PcROP pages	Fetch	Fetch	Protected (no access)

6.5.4 讀取 NVM

以下為所有前面提到的保護更改規則之摘要:

- 在 Level 1 時進行大量擦除(mass erase)後，保護等級會減小到 Level 0。
- PCROP 可在請求進行大量擦除(mass erase)時刪除。
- 啟用 PCROP 時，可以添加受保護的扇區 sector (寫入 0)，但不能移除保護。當不匹配發生時會涉及所有受讀和寫入保護的扇區 (如果啟用了 PCROP)。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

6.5.5 保護錯誤 (Protection Errors)

- 寫入保護錯誤旗標(wrperr)

如果對快閃記憶體之程式碼區域中受寫入保護的頁面進行擦除與寫入操作，則硬體在 FLASH_SR 暫存器中設置寫入保護錯誤旗標 (wrperr)。因此，當軟體嘗試:

- 寫入至受寫入保護之頁面
- 寫入至工廠預設之 Option bytes.
- 在 PEKEY、PRGKEY 未解鎖下，請求寫入快閃記憶體之程式碼區域或 Option bytes 區域。

寫入保護錯誤發生後會中止寫入或擦除操作，並可以產生中斷 (當 FLASH_PECR 暫存器中的 errie= 1 時)。若要復位此旗標，軟體需要將其寫入 1。

- 讀取錯誤旗標 (rderr)

如果軟體嘗試讀取受 PCROP 保護的扇區(sector)，則硬體在 FLASH_SR 暫存器中設置 rderr 旗標，此時在匯流排上接收的資料為 0。如果啟用了錯誤中斷 (FLASH_PECR 暫存器中的 errie = 1)，則會產生一個中斷。若要重置此旗標，軟體需要將其寫入 1。

6.6 NVM 中斷

將 FLASH_PECR 暫存器中之燒錄結尾(End of programming)的中斷啟用位元 (eopie)設置為 1 即會在擦除或燒錄執行完成且正確結束時產生中斷，此時 FLASH_SR 暫存器中的程式結束位元旗標 (eop)會被設置為 1，軟體需寫入 1 來將其復位。

在 FLASH_PECR 暫存器中設置錯誤中斷啟用位元 (errie)即可在燒錄或擦除操作期間發生錯誤時產生中斷。在這種情況下，在 FLASH_SR 暫存器中會有一個甚至多個錯誤旗標被設置起來:

- rderr (PCROP 讀取保護錯誤旗標)
- wrperr (寫入保護錯誤旗標)
- optverr (Option bytes 合法性錯誤旗標)

要復位錯誤旗標，軟體需要將正確之旗標位元寫入 1。

表格 17 快閃記憶體中斷要求

Interrupt event	Event flag	Enable control bit
End of operation	eop	eopie[0]
Error	rderr[0] wrperr[0] optverr[0]	errie[0]

6.6.1 硬體錯誤 (Hard Fault)

以下狀況會產生一個硬體錯誤:

- 如果在記憶體匯流排上嘗試讀取任何已設置為讀取保護之區域時。
- 如果在暫存器匯流排上將不正確的值寫入 FLASH_PEKEYR、FLASH_PRGKEYR 時。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

6.7 記憶體介面管理

本節的目的是闡明當請求一個操作而另一個操作正在進行時會發生什麼情況: 即不同的操作同時進行下之記憶體介面管理方式。

6.7.1 操作優先權 (Priority) 和進程 (Evolution)

有三種類型的操作，並且每種操作都有不同的流程:

- 讀取(Read)
  - 如果沒有任何操作正在進行，並且欲讀取的位址未受保護，則讀取將會直接執行而不會有延遲，並且使用實際配置執行讀取。
  - 如果欲讀取的位址受到保護，則此操作會被濾掉 (讀取請求永遠不會發送到記憶體)，並會引發錯誤。
  - 如果欲讀取之位址不受保護，但記憶體介面繁忙而無法執行操作，則操作將被置於保留狀態，會儘快被執行。
- 寫入(Write) /擦除(erase)
  - 如果沒有任何操作正在進行，並且欲寫入的位址未受保護，則寫入或擦除將立即開始; 在匯流排和主控器被阻止操作幾個系統時鐘的時間之後，記憶體介面接著將會釋放匯流排和主控器的操作。
  - 如果位址受到保護，則過濾掉此寫入或擦除操作 (寫入或擦除之請求將永遠不會發送到記憶體)，並會引發錯誤。
  - 如果位址未受保護，但未滿足一個或多個條件，則操作將中止 (中止需要更多時間執行，因為 NVM 需要返回到預設配置)，並會引發錯誤。
  - 如果欲寫入或擦除的位址未受保護且所有規則都符合，但記憶體介面處於繁忙狀態，則操作將被置於保留狀態，會儘快被執行。

6.7.2 操作之程序 (Sequence of Operations)

- 在寫入進行時讀取資料

如果主伺服器在寫入操作進行時請求讀取資料 (請參閱"資料讀取與預讀"部分)，則有三種不同的情況:

- 如果讀取位址於受保護區域中，則觸發 rderr 旗標並繼續進行目前之寫入操作。
- 讀取將置於保留狀態，並在寫入操作完成後執行讀取。需要強調的是，在讀取等待執行的所有時間中，主控器將被阻止運作，在寫入和讀取操作完成之前，無法執行任何其它操作。

- 在寫入進行時提取程式碼

如果主控器在寫入時獲取指令，則情況類似于讀取資料 (請參閱"寫入進行時讀取資料"的前兩個條件)。

- 在另一個寫入進行時要求寫入操作

如果主控器請求寫入操作，而另一個寫入操作正在進行，則有以下不同的情況:

- 如果新寫入位址位於受保護區域中，則觸發 wrperr 旗標，此時繼續進行當前的寫入並刪除新寫入之要求。
- 如果新的寫入操作不在受保護區域中，則新的寫入將置於保留狀態，並於當下進行的寫入操作完成後執行。必須強調，請求新寫入時，主控器將被阻止運作，直到當下進行之寫入操作完成，且新寫入已完成內部位址和資料之儲存為止。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

- 當大量擦除正在進行時，則會禁止新的寫入請求: 在大量擦除的所有步驟中，資料不會在內部存儲，並且新資料可以更改存儲為保護的值，從而添加不需要的保護。
- 此時可以更改配置以準備新的寫入操作。

6.7.3 讀取時更改等候狀態數 (Wait-States)

要更改 Wait-State 的數量，必須寫入 FLASH_ACR 暫存器，而暫存器的讀/寫與記憶體讀/寫使用不同的介面。讀取記憶體介面時無法更改 Wait-State 的數量，如果要求傳送到暫存器介面，則無法停止記憶體介面。

因此，當主控器正在讀取記憶體，而另一個主控器更改 Wait-State 數量時，暫存器介面將被鎖定，直到更改生效 (直到讀取停止)。要停止進行更改 Wait State 數量之主控器，請務必重新讀取 FLASH_ACR 暫存器的內容，因無法知道更改 Wait-State 數所需的時鐘週期數，這取決於客戶代碼。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

6.8 可選位元組 (Option bytes)

在 NVM 上，保留了一個區域以存儲一組用於配置產品的 Option Bytes。某些 Option Bytes 在工廠中寫入，而其它 Option Bytes 則可以由終端使用者來進行配置。

由終端使用者管理的配置存儲於 Option bytes 區域中，必須留意開機(boot)程序之執行，此開機程序發生在開機復位後，Option bytes 會在開機(boot)期間自動載入，用於設置 flash_optr 和 FLASH_WRPROT 暫存器的內容。

6.8.1 Option bytes 描述

許多重要的規劃設定是放在可選位元組 (Option bytes)的區域，藉由應用介面庫 (API)讓用戶讀取與修改，詳細請參考表格 18.

表格 18 API 功能表

API Functions	Description	Example Code
FLASH_OB_LevelUpdate	Update the configuration of RDP (Read Out Protection) level in the Option Bytes area.	FLASH_OB_LEVEL
FLASH_OB_PcropUpdate	Update the configuration of PcROP (Read Out Protection) in the Option Bytes area.	FLASH_OB_WRITE_PROTECTION & FLASH_OB_READ_PROTECTION
FLASH_OB_EepromWrite	Write data to the EEPROM data in the Option Bytes area (max 512 bytes).	FLASH_OB_EEPROM
FLASH_OB_EepromRead	Read data to the EEPROM data in the Option Bytes area (max 512 bytes).	FLASH_OB_EEPROM

終端使用者在使用它們之前必須在 IDE 中選擇軟體套件“FLASHEXT”。該軟件組件的類別為 Standard-Peripheral-Driver。它包含兩個文件:“WT32L064/032_flashext.h”和“WT32L064/032_flashext.lib”，可以在 CMSIS PACK 安裝路徑下找到它們。

有關如何使用這些功能的信息，請參閱 CMSIS PACK 中的相關示例代碼。

6.8.2 保護旗標載入不匹配

當 Option bytes 載入期間發生不匹配時，記憶體介面會將預設值設置到暫存器中。在 Option bytes 區域中，有三種保護資訊:

- rdprot[7:0]

此配置設置保護等級(Level)，如下一節所述，更改此級別將更改訪問 NVM 和產品的可能性。此預設值為 Level 1，雖可以從 Level 1 返回到 Level 0，但快閃記憶體程式記憶體的所有內容都將被刪除 (因需進行大量擦除 mass erase)。

- wprmod

此旗標獨立于 rdprot[7:0]，如果快閃記憶體程式碼區域受到保護，則不進行讀或寫。當此旗標為 1 (讀取保護)時，復位它的唯一方法是請求大量擦除(mass erase)。此預設值為 1 (讀取保護)，當此位元上電載入發生不匹配時，同時還會將 wrprot[63:0] 設置為預設值。

- wrprot[63:0]

此配置用來設置快閃記憶體程式碼區域的哪些頁面受防讀或防寫。如果已禁用讀取保護 (wprmod = 0)，則必須在正確對應之位元中設置 1 以特定保護扇區(sector); 如果啟用了讀取保護 (wprmod = 1)，則 0 必須位於正確對應的位元中才能保護時定扇區(sector)。如果在開機(boot)期間 wprmod 出現載入不匹配的狀況，則此配置將被載入為 0，以便保護快閃記憶體程式碼區域的所有扇區(sector)不被讀取。如果 wprmod 已正確讀取，但 wrprot[63:0] 發生不匹配的狀況，則當 wprmod = 1 時，則此暫存器將載入為 0，如果此時 wprmod = 0 時，暫存器將載入為 1。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

因此，保護不匹配會對程式代碼的正常執行 (如果它位於快閃記憶體程式碼區域中)產生嚴重影響:當存在讀取保護時，只能進行提取。在快閃記憶體程式碼區域中，某些值在代碼執行期間作為資料 (例如常數)讀取;保護所有扇區(sector)不被讀取會阻止從快閃記憶體程式碼區域執行應用程式代碼。

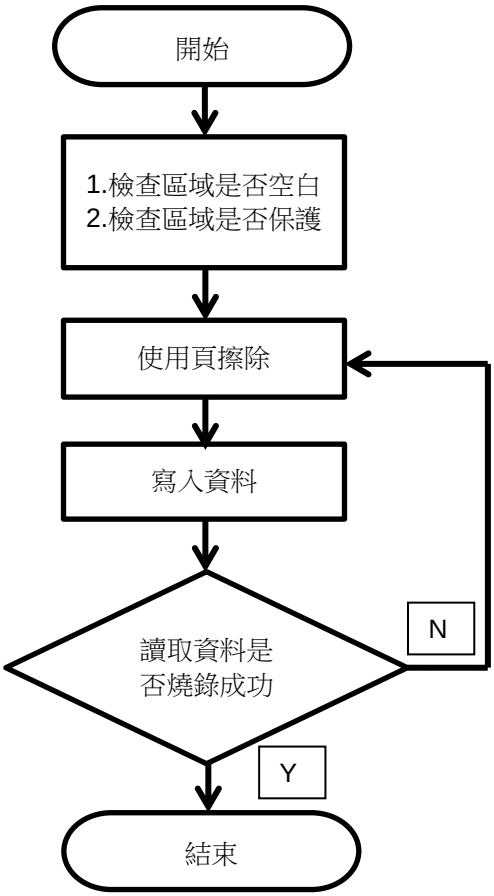
6.8.3 模擬的 EEPROM

6.8.3.1 描述

WT32L064/032 可以使用快閃記憶體 Flash 空間來模擬 E^2PROM。
@ VDD33=1.8V~3.6V (Note: 1.65V~1.8V Flash 僅能讀)

操作流程如下:

1. 選定空白 Flash 無程式占用的區域
2. 確認該區域無防寫或防讀保護 (參閱 6.5 章節說明)
3. 執行 Page Erase 清除該區域
4. 使用 Byte、Half-Word 或 Word 資料長度寫入
5. 可使用 Byte、Half-Word 或 Word 資料長度執行讀取與校驗
6. 可透過週邊如 UART、I^2C 搭配收發模擬 EEPROM 資料



本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

7 DMA

7.1 概要

- 符合 AMBA v2.0
  - 用於 DMA 控制器規劃的 AHB 從機介面
  - 用於資料傳輸的 AHB 主機介面
  - 傳輸類型 – 單模式
  - 32-bits (word), 16-bits (half-word), 8-bits (byte) 等寬字元轉換

- 7 個可規劃的 DMA 通道
  - 支援記憶體到週邊傳輸
  - 支援週邊到記憶體的傳輸
  - 支援週邊到週邊傳輸

- 支援的週邊硬體 **(注意: 週邊硬體的系統時鐘 APB0 或 APB1 僅支援 AHB/1, AHB/2,** 不支援 **AHB/4, AHB/8, AHB/16)**
  - 15 組的請求/確認硬體握手
  - UARTs (Tx/Rx)
  - Timers
  - IICs (Tx/Rx)
  - ADC
  - SPI (Tx/Rx)
  - USB
  - I2S (Tx/Rx)

- 仲裁 線路
  - Round-robin 仲裁.
  - 可規劃 4 級優先順序

- 循環模式

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

7.2 功能描述

直接記憶體存取控制器(DMA)增強了系統性能，減少了處理器中斷產生。有 7 個可規劃通道，用於記憶體到週邊、週邊到記憶體以及週邊到週邊傳輸。每個通道都連接到專用硬體握手信號。

7.2.1 方塊圖

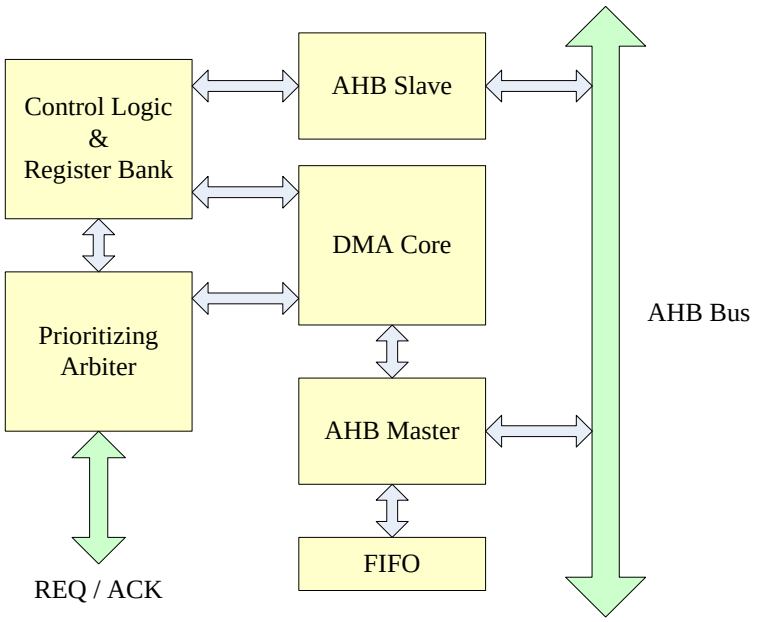


圖 26 DMA 方塊圖

7.2.2 AHB 主機介面

系統可利用此 AHB 主機介面傳輸 AHB 匯流排上的資料。

7.2.3 AHB 從機介面

系統可以規劃 DMA 控制器或通過此 AHB 從機介面訪問 AHB 匯流排上的設備。

7.2.4 FIFO 緩衝區

FIFO 緩衝區在源和目標之間提供資料傳輸緩衝區。

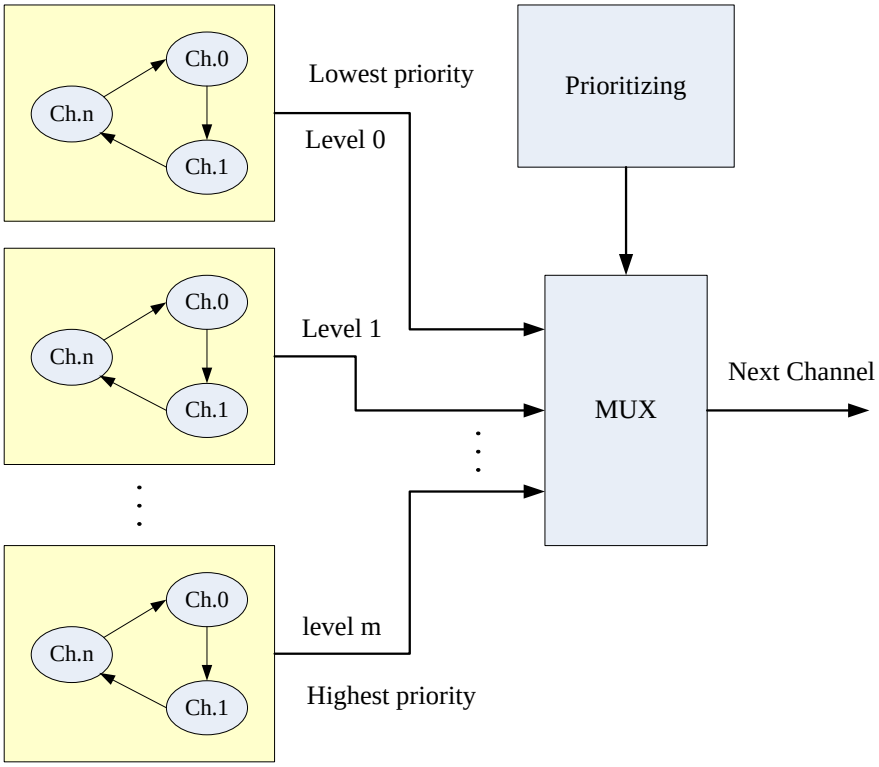
7.2.5 DMA 核心

DMA 資料傳輸引擎。

7.2.6 優先權仲裁

處理硬體握手信號以啟動 DMA 傳輸並規劃最多 7 個通道。他們可以將迴圈仲裁方案分為 4 個優先順序。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。



7.2.7 控制邏輯與暫存器組

AHB 從機介面暫存器集合，並為 DMA 傳輸產生一些控制邏輯。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

7.3 DMA Register Table

7.3.1 中斷狀態/清除、通道 Busy 的全域設置

Base Address: 0x0030_0000h

Index	Default	R/W	Bit	Name	Description
DMA_BUSY: DMA busy					
04			31:7		保留
	0h	RO	6	dma_busy6	1: 通道 6 忙碌 0: 通道 6 可用
	0h	RO	5	dma_busy5	1: 通道 5 忙碌 0: 通道 5 可用
	0h	RO	4	dma_busy4	1: 通道 4 忙碌 0: 通道 4 可用
	0h	RO	3	dma_busy3	1: 通道 3 忙碌 0: 通道 3 可用
	0h	RO	2	dma_busy2	1: 通道 2 忙碌 0: 通道 2 可用
	0h	RO	1	dma_busy1	1: 通道 1 忙碌 0: 通道 1 可用
	0h	RO	0	dma_busy0	1: 通道 0 忙碌 0: 通道 0 可用
DMA_ISR: Interrupt status					
08			31:28		保留
	0	RO	27	err_int6	由硬體設置，由軟體清除。 0: 無傳輸錯誤事件。 1: 傳輸錯誤。
	0	RO	26	half_int6	0: 無 half_int 事件於通道 6 1: 有 half_int 事件發生於通道 6
	0	RO	25	total_int6	0: 無 total_int 事件於通道 6 1: 有 total_int 事件發生於通道 6
	0	RO	24	dma_int6	0: 無 half_int 或 total_int 事件於通道 6 1: 有 err_int, half_int 或 total_int 事件發生於通道 6
		RO	23	err_int5	由硬體設置，由軟體清除。 0: 無傳輸錯誤事件。 1: 傳輸錯誤。
	0	RO	22	half_int5	0: 無 half_int 事件於通道 5 1: 有 half_int 事件發生於通道 5
	0	RO	21	total_int5	0: 無 total_int 事件於通道 5 1: 有 total_int 事件發生於通道 5
	0	RO	20	dma_int5	0: 無 half_int 或 total_int 事件於通道 5 1: 有 err_int, half_int 或 total_int 事件發生於通道 5
		RO	19	err_int4	由硬體設置，由軟體清除。 0: 無傳輸錯誤事件。 1: 傳輸錯誤。
	0	RO	18	half_int4	0: 無 half_int 事件於通道 4 1: 有 half_int 事件發生於通道 4
	0	RO	17	total_int4	0: 無 total_int 事件於通道 4 1: 有 total_int 事件發生於通道 4

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Default	R/W	Bit	Name	Description
	0	RO	16	dma_Int4	0: 無 half_int 或 total_int 事件於通道 4 1: 有 err_int, half_int 或 total_int 事件發生於通道 4
		RO	15	err_int3	由硬體設置，由軟體清除。 0: 無傳輸錯誤事件。 1: 傳輸錯誤。
	0	RO	14	half_int3	0: 無 half_int 事件於通道 3 1: 有 half_int 事件發生於通道 3
	0	RO	13	total_int3	0: 無 total_int 事件於通道 3 1: 有 total_int 事件發生於通道 3
	0	RO	12	dma_int3	0: 無 half_int 或 total_int 事件於通道 3 1: 有 err_int, half_int 或 total_int 事件發生於通道 3
		RO	11	err_int2	由硬體設置，由軟體清除。 0: 無傳輸錯誤事件。 1: 傳輸錯誤。
	0	RO	10	half_int2	0: 無 half_int 事件於通道 2 1: 有 half_int 事件發生於通道 2
	0	RO	9	total_int2	0: 無 total_int 事件於通道 2 1: 有 total_int 事件發生於通道 2
	0	RO	8	dma_int2	0: 無 half_int 或 total_int 事件於通道 2 1: 有 err_int, half_int 或 total_int 事件發生於通道 2
		RO	7	err_int1	由硬體設置，由軟體清除。 0: 無傳輸錯誤事件。 1: 傳輸錯誤。
	0	RO	6	half_int1	0: 無 half_int 事件於通道 1 1: 有 half_int 事件發生於通道 1
	0	RO	5	total_int1	0: 無 total_int 事件於通道 1 1: 有 total_int 事件發生於通道 1
	0	RO	4	dma_int1	0: 無 half_int 或 total_int 事件於通道 1 1: 有 err_int, half_int 或 total_int 事件發生於通道 1
		RO	3	err_int0	由硬體設置，由軟體清除。 0: 無傳輸錯誤事件。 1: 傳輸錯誤。
	0	RO	2	half_int0	0: 無 half_int 事件於通道 0 1: 有 half_int 事件發生於通道 0
	0	RO	1	total_int0	0: 無 total_int 事件於通道 0 1: 有 total_int 事件發生於通道 0
	0	RO	0	dma_int0	0: 無 half_int 或 total_int 事件於通道 0 1: 有 err_int, half_int 或 total_int 事件發生於通道 0
DMA_CLR_F: Clear flags					
			31:28		保留
		WO	27	Clr_err_int6	0: 無效 1: 清除 err_int6 旗標
	0	WO	26	clr_half_int6	0: 無效 1: 清除 half_int6 旗標
0C	0	WO	25	clr_total_int6	0: 無效 1: 清除 total_int6 旗標
	0	WO	24	clr_int6	0: 無效 1: 清除s dma_int6, err_int6, total_int6 and half_int6 旗標s
		WO	23	Clr_err_int5	0: 無效 1: 清除 err_int5 旗標

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Default	R/W	Bit	Name	Description
	0	WO	22	clr_half_int5	0: 無效 1: 清除 half_int5 旗標
	0	WO	21	clr_total_int5	0: 無效 1: 清除 total_int5 旗標
	0	WO	20	clr_int5	0: 無效 1: 清除s dma_int5, err_int5, total_int5 and half_int5 旗標s
		WO	19	Clr_err_int4	0: 無效 1: 清除 err_int4 旗標
	0	WO	18	clr_half_int4	0: 無效 1: 清除 half_int4 旗標
	0	WO	17	clr_total_int4	0: 無效 1: 清除 total_int4 旗標
	0	WO	16	clr_int4	0: 無效 1: 清除s dma_int4, err_int4, total_int4 and half_int4 旗標s
		WO	15	Clr_err_int3	0: 無效 1: 清除 err_int3 旗標
	0	WO	14	clr_half_int3	0: 無效 1: 清除 half_int3 旗標
	0	WO	13	clr_total_int3	0: 無效 1: 清除 total_int3 旗標
	0	WO	12	clr_int3	0: 無效 1: 清除s dma_int3, err_int3, total_int3 and half_int3 旗標s
		WO	11	Clr_err_int2	0: 無效 1: 清除 err_int2 旗標
	0	WO	10	clr_half_int2	0: 無效 1: 清除 half_int2 旗標
	0	WO	9	clr_total_int2	0: 無效 1: 清除 total_int2 旗標
	0	WO	8	clr_int2	0: 無效 1: 清除s dma_int2, err_int2, total_int2 and half_int2 旗標s
		WO	7	Clr_err_int1	0: 無效 1: 清除 err_int1 旗標
	0	WO	6	clr_half_int1	0: 無效 1: 清除 half_int1 旗標
	0	WO	5	clr_total_int1	0: 無效 1: 清除 total_int1 旗標
	0	WO	4	clr_int1	0: 無效 1: 清除s dma_int1, err_int1, total_int1 and half_int1 旗標s
		WO	3	Clr_err_int0	0: 無效 1: 清除 err_int0 旗標
	0	WO	2	clr_half_int0	0: 無效 1: 清除 half_int0 旗標
	0	WO	1	clr_total_int0	0: 無效 1: 清除 total_int0 旗標
	0	WO	0	clr_int0	0: 無效 1: 清除s dma_int0, err_int0, total_int0 and half_int0 旗標s

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

7.3.2 DMA 通道 x 來源之 AddrESS 暫存器

X = 0 ~ 6, where x is channel number
Channel X Address index: 0x10 + 0x10 * (channel number X)

Index	Default	R/W	Bit	Name	Description
DMA_SR_ADDR0: Source address of channel 0					
10	0	R/W	31:0	dma_saddr0	通道 0 source address
DMA_SR_ADDR1: Source address of channel 1					
20	0	R/W	31:0	dma_saddr1	通道 1 source address
DMA_SR_ADDR2: Source address of channel 2					
30	0	R/W	31:0	dma_saddr2	通道 2 source address
DMA_SR_ADDR3: Source address of channel 3					
40	0	R/W	31:0	dma_saddr3	通道 3 source address
DMA_SR_ADDR4: Source address of channel 4					
50	0	R/W	31:0	dma_saddr4	通道 4 source address
DMA_SR_ADDR5: Source address of channel 5					
60	0	R/W	31:0	dma_saddr5	通道 5 source address
DMA_SR_ADDR6: Source address of channel 6					
70	0	R/W	31:0	dma_saddr6	通道 6 source address

7.3.3 DMA 通道 x 目地之位址暫存器

X = 0 ~ 6, where x is channel number
Channel X Address index: 0x14 + 0x10 * (channel number X)

Index	Default	R/W	Bit	Name	Description
DMA_DT_ADDR0: Destination address of channel 0					
14	0	R/W	31:0	dma_daddr0	通道 0 destination address
DMA_DT_ADDR1: Destination address of channel 1					
24	0	R/W	31:0	dma_daddr1	通道 1 destination address
DMA_DT_ADDR2: Destination address of channel 2					
34	0	R/W	31:0	dma_daddr2	通道 2 destination address
DMA_DT_ADDR3: Destination address of channel 3					
44	0	R/W	31:0	dma_daddr3	通道 3 destination address
DMA_DT_ADDR4: Destination address of channel 4					
54	0	R/W	31:0	dma_daddr4	通道 4 destination address
DMA_DT_ADDR5: Destination address of channel 5					
64	0	R/W	31:0	dma_daddr5	通道 5 destination address
DMA_DT_ADDR6: Destination address of channel 6					
74	0	R/W	31:0	dma_daddr6	通道 6 destination address

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

7.3.4 DMA 通道 x 資料數量之暫存器

X = 0 ~ 6, where x is channel number
Channel X Address index: 0x18 + 0x10 * (channel number X)

Index	Default	R/W	Bit	Name	Description
DMA_LENGTH0: Total data length of channel 0					
18			31:9		保留
	0	R/W	8:0	dma_lenth0	通道 0 總大小傳輸長度: 1 ~ 511 0: DMA transfer stop
DMA_LENGTH1: Total data length of channel 1					
28			31:9		保留
	0	R/W	8:0	dma_lenth1	通道 1 總大小傳輸長度: 1 ~ 511 0: DMA transfer stop
DMA_LENGTH2: Total data length of channel 2					
38			31:9		保留
	0	R/W	8:0	dma_lenth2	通道 2 總大小傳輸長度: 1 ~ 511 0: DMA transfer stop
DMA_LENGTH3: Total data length of channel 3					
48			31:9		保留
	0	R/W	8:0	dma_lenth3	通道 3 總大小傳輸長度: 1 ~ 511 0: DMA transfer stop
DMA_LENGTH4: Total data length of channel 4					
58			31:9		保留
	0	R/W	8:0	dma_lenth4	通道 4 總大小傳輸長度: 1 ~ 511 0: DMA transfer stop
DMA_LENGTH5: Total data length of channel 5					
68			31:9		保留
	0	R/W	8:0	dma_lenth5	通道 5 總大小傳輸長度: 1 ~ 511 0: DMA transfer stop
DMA_LENGTH6: Total data length of channel 6					
78			31:9		保留
	0	R/W	8:0	dma_lenth6	通道 6 總大小傳輸長度: 1 ~ 511 0: DMA transfer stop

7.3.5 DMA 通道 x 設定暫存器

X = 0 ~ 6 where x is channel number
Channel X Address index: 0x1C + 0x10 * (channel number X)

Index	Default	R/W	Bit	Name	Description
DMA_CFG0: Configuration of channel 0					
1C			31:16		保留
	0	RW	15:14	Src_width0	通道 0 來源發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
	0	RW	13:12	Dest_width0	通道 0 目的發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Default	R/W	Bit	Name	Description
			11		保留
	0	RW	10	circ_mode0	通道 0 循環緩衝模式 1: 循環緩衝模式 啟動 0: 循環緩衝模式 禁能
	0	R/W	9:8	pri_ch0	通道 0 優先權等級: 3: Highest priority 2: High priority 1: Medium priority 0: Low priority (Default)
	0	R/W	7:6	src_adr0_ctl	通道 0 來源地址控制: 3: 保留 2: Fixed source address 1: 保留 0: 遞增來源位址 (Default)
	0	R/W	5:4	dst_adr0_ctl	通道 0 目的位址控制 3: 保留 2: 固定目標位址(destination address) 1: 保留 0: 增加目標位址 (預設值)
	0	R/W	3	en_err_int0	通道 0 錯誤中斷啟動 1: 錯誤中斷啟動 0: 錯誤中斷關閉
	0	R/W	2	en_half_int0	通道 0 發送一半中斷啟動 1: 發送一半中斷啟動 0: 發送一半中斷關閉
	0	R/W	1	en_total_int0	通道 0 發送全部中斷啟動: 1: 發送全部中斷啟動 0: 發送全部中斷關閉
	0	R/W	0	dma_chen0	通道 0, 寫1 致能.
DMA_CFG1: Configuration of channel 1					
2C			31:16		保留
	0	RW	15:14	Src_width1	通道 1 來源發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
	0	RW	13:12	Dest_width1	通道 1 目的發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
			11		保留
	0	RW	10	circ_mode1	通道 1 循環緩衝模式 1: 循環緩衝模式啟動 0: 循環緩衝模式禁能
	0	R/W	9:8	pri_ch1	通道 1 優先權等級: 3: Highest priority 2: High priority 1: Medium priority 0: Low priority (預設值)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Default	R/W	Bit	Name	Description
	0	R/W	7:6	src_adr1_ctl	通道 1 來源地址控制: 3: 保留 2: Fixed source address 1: 保留 0: 遞增來源位址 (預設值)
	0	R/W	5:4	dst_adr1_ctl	通道 1 目的位址控制: 3: 保留 2: Fixed destination address 1: 保留 0: 遞增目標位址 (預設值)
	0	R/W	3	en_err_int1	通道 1 錯誤中斷啟動 1: 錯誤中斷啟動 0: 錯誤中斷關閉
	0	R/W	2	en_half_int1	通道 1 發送一半中斷啟動 1: 發送一半中斷啟動 0: 發送一半中斷關閉
	0	R/W	1	en_total_int1	通道 1 發送全部中斷啟動: 1: 發送全部中斷啟動 0: 發送全部中斷關閉
	0	R/W	0	dma_chen1	通道 1 寫“1” 致能
DMA_CFG2: Configuration of channel 2					
3C			31:16		保留
	0	RW	15:14	Src_width2	通道 2 來源發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
	0	RW	13:12	Dest_width2	通道 2 目的發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
			11		保留
	0	RW	10	circ_mode2	通道 2 循環緩衝模式 1: 循環緩衝模式 啟動 0: 循環緩衝模式 禁能
	0	R/W	9:8	pri_ch2	通道 2 優先權等級: 3: Highest priority 2: High priority 1: Medium priority 0: Low priority (預設值)
	0	R/W	7:6	src_adr2_ctl	通道 2 來源地址控制: 3: 保留 2: Fixed source address 1: 保留 0: 遞增來源位址 (預設值)
	0	R/W	5:4	dst_adr2_ctl	通道 2 目的位址控制: 3: 保留 2: Fixed destination address 1: 保留 0: 遞增目標位址 (預設值)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Default	R/W	Bit	Name	Description
	0	R/W	3	en_err_int2	通道 2 錯誤中斷啟動 1: 錯誤中斷啟動 0: 錯誤中斷關閉
	0	R/W	2	en_half_int2	通道 2 發送一半中斷啟動 1: 發送一半中斷啟動 0: 發送一半中斷關閉
	0	R/W	1	en_total_int2	通道 2 發送全部中斷啟動: 1: 發送全部中斷啟動 0: 發送全部中斷關閉
	0	R/W	0	dma_chen2	通道 2 寫“1”致能
DMA_CFG3: Configuration of channel 3					
4C			31:16		保留
	0	RW	15:14	Src_width3	通道 3 來源發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
	0	RW	13:12	Dest_width3	通道 3 目的發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
			11		保留
	0	RW	10	circ_mode3	通道 3 循環緩衝模式 1: 循環緩衝模式啟動 0: 循環緩衝模式禁能
	0	R/W	9:8	pri_ch3	通道 3 優先權等級: 3: Highest priority. 2: High priority. 1: Medium priority. 0: Low priority (預設值).
	0	R/W	7:6	src_adr3_ctl	通道 3 來源地址控制: 3: 保留 2: Fixed source address 1: 保留 0: 遞增來源位址 (預設值)
	0	R/W	5:4	dst_adr3_ctl	通道 3 目的位址控制: 3: 保留 2: Fixed destination address 1: 保留 0: 遞增目標位址 (預設值)
	0	R/W	3	en_err_int3	通道 3 錯誤中斷啟動 1: 錯誤中斷啟動 0:錯誤中斷關閉
	0	R/W	2	en_half_int3	通道 3 發送一半中斷啟動 1: 發送一半中斷啟動 0: 發送一半中斷關閉
	0	R/W	1	en_total_int3	通道 3 發送全部中斷啟動: 1: 發送全部中斷啟動 0: 發送全部中斷關閉
	0	R/W	0	dma_chen3	通道 3 寫“1”致能
DMA_CFG4: Configuration of channel 4					

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Default	R/W	Bit	Name	Description
5C			31:16		保留
	0	RW	15:14	Src_width4	通道 4 來源發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
	0	RW	13:12	Dest_width4	通道 4 目的發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
			11		保留
	0	RW	10	circ_mode4	通道 4 循環緩衝模式 1: 循環緩衝模式啟動 0: 循環緩衝模式禁能
	0	R/W	9:8	pri_ch4	通道 4 優先權等級: 3: Highest priority 2: High priority 1: Medium priority 0: Low priority (預設值)
	0	R/W	7:6	src_adr4_ctl	通道 4 來源地址控制: 3: 保留 2: Fixed source address 1: 保留 0: 遞增來源位址 (預設值)
	0	R/W	5:4	dst_adr4_ctl	通道 4 目的位址控制: 3: 保留 2: Fixed destination address 1: 保留 0:遞增目標位址 (預設值)
	0	R/W	3	en_err_int4	通道 4 錯誤中斷啟動 1: 錯誤中斷啟動 0: 錯誤中斷關閉
	0	R/W	2	en_half_int4	通道 4 發送一半中斷啟動 1: 發送一半中斷啟動 0: 發送一半中斷關閉
	0	R/W	1	en_total_int4	通道 4 發送全部中斷啟動: 1: 發送全部中斷啟動 0: 發送全部中斷關閉
	0	R/W	0	dma_chen4	通道 4 寫”1”致能
DMA_CFG5: Configuration of channel 5					
6C			31:16		保留
	0	RW	15:14	Src_width5	通道 5 來源發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
	0	RW	13:12	Dest_width5	通道 5 目的發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
			11		保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Default	R/W	Bit	Name	Description
	0	RW	10	circ_mode5	通道 5 循環緩衝模式 1: 循環緩衝模式啟動 0: 循環緩衝模式禁能
	0	R/W	9:8	pri_ch5	通道 5 優先權等級: 3: Highest priority 2: High priority 1: Medium priority 0: Low priority (預設值)
	0	R/W	7:6	src_adr5_ctl	通道 5 來源地址控制: 3: 保留 2: Fixed source address 1: 保留 0: 遞增來源位址 (預設值)
	0	R/W	5:4	dst_adr5_ctl	通道 5 目的位址控制: 3: 保留 2: Fixed destination address 1: 保留 0: 遞增目標位址 (預設值)
	0	R/W	3	en_err_int5	通道 5 錯誤中斷啟動 1: 錯誤中斷啟動 0: 錯誤中斷關閉
	0	R/W	2	en_half_int5	通道 5 發送一半中斷啟動 1: 發送一半中斷啟動 0: 發送一半中斷關閉
	0	R/W	1	en_total_int5	通道 5 發送全部中斷啟動: 1: 發送全部中斷啟動 0: 發送全部中斷關閉
	0	R/W	0	dma_chen5	通道 5 寫“1” 致能
DMA_CFG6: Configuration of channel 6					
7C			31:16		保留
	0	RW	15:14	Src_width6	通道 6 來源發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
	0	RW	13:12	Dest_width6	通道 6 目的發送資料寬度 00: 8bits 01: 16bits 10: 32bits 11: 保留
			11		保留
	0	RW	10	circ_mode6	通道 6 循環緩衝模式 1: 循環緩衝模式啟動 0: 循環緩衝模式禁能
	0	R/W	9:8	pri_ch6	通道 6 優先權等級: 3: Highest priority 2: High priority 1: Medium priority 0: Low priority (預設值)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Default	R/W	Bit	Name	Description
	0	R/W	7:6	src_adr6_ctl	通道 6 來源地址控制: 3: 保留 2: Fixed source address 1: 保留 0: 遞增來源位址 (預設值)
	0	R/W	5:4	dst_adr6_ctl	通道 6 目的位址控制: 3: 保留 2: Fixed destination address 1: 保留 0: 遞增目標位址 (預設值)
	0	R/W	3	en_err_int6	通道 6 錯誤中斷啟動 1: 錯誤中斷啟動 0: 錯誤中斷關閉
	0	R/W	2	en_half_int6	通道 6 發送一半中斷啟動 1: 發送一半中斷啟動 0: 發送一半中斷關閉
	0	R/W	1	en_total_int6	通道 6 發送全部中斷啟動: 1: 發送全部中斷啟動 0: 發送全部中斷關閉
	0	R/W	0	dma_chen6	通道 6 寫“1” 致能

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

8 GPIO

8.1 主要概述

每個通用 I/O 埠(PA、PB、PC、PD)有三個配置暫存器 (gpio_px_mode、gpio_px_ot 和 gpio_px_pupd)、兩個數據暫存器(gpio_px_out和gpio_px_in)和設置/復位/切換暫存器 (gpio_px_br、gpio_px_bs 和 gpio_px_bt)。此外，所有 GPIO 都有複用 (alternate)功能選擇暫存器 (gpio_px_af)。

- AHB I/F，支援單次大量的 WORD 存取
- 輸出狀態:推拉式(push-pull)或開汲極(open-drain) + 上拉(pull-up)/下拉(pull-down)
- 輸出資料暫存器 (gpio_px_out)或週邊設備 (備用功能輸出)輸出資料
- 輸入狀態: 浮動、上拉或下拉、類比
- 輸入資料暫存器 (gpio_px_in)或週邊設備 (備用函數輸入)的資料
- 類比功能
- 複用(alternate)功能選擇暫存器
- 高度靈活的引腳，允許使用 I/O 引腳作為 GPIO 或作為多種週邊功能之一

8.2 方塊圖

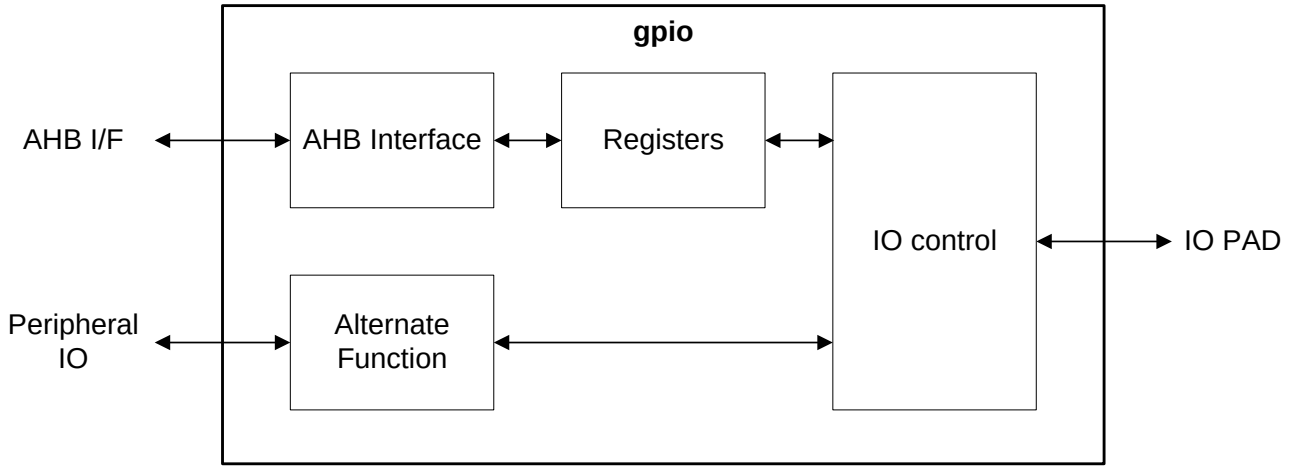


圖 27 GPIO 方塊圖

8.3 暫存器描述

表格 19 GPIO 控制暫存器

Index	Bit	R/W	Default	Name	Description
GPIOA_MODE: Pad mode register					
000h	31:0	R/W	ebff_0fffh	gpio_pa_mode	PA 0~15 的 模式暫存器。 這些位元由軟體編寫以配置 I/O 模式。 [2y+1:2y]: X 埠的模式設定。 X: 哪一個 I/O 埠，範圍 A~D 埠。 Y: 哪一根 I/O 範圍 0~31 2'b00: 輸入模式

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					2'b01: 普通輸出模式 2'b10: 複用功能模式 2'b11: 類比功能模式 注意: 預設 PA[13], PA[14] 是複用功能. PA[6], PA[7] 是 輸入模式.
Reserved					
004h	31:0	-	-	-	保留
GPIOA_PUPD: Pad pull-up/pull-down register					
008h	31:0	R/W	2400_5000h	gpio_pa_pupd	PA 上拉或下拉電阻。 這些位元由軟體編寫，用於規劃 I/O 上拉或下拉 [2y+1:2y]: 上拉或下拉於埠 X. 2'b00: 無上拉, 下拉 2'b01: 上拉 2'b10: 下拉 2'b11: 保留 注意:預設情況下，PA[13] 是上拉;PA[14] 是下拉。PA[6] 和 PA[7] 是上拉。
Reserved					
00ch	31:0	-	-	-	保留
GPIOA_DO: Pad output data					
010h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pa_out	PA 輸出資料
GPIOA_DI: Pad input data					
014h	31:16	-	-	-	保留
	15:0	R	-	gpio_pa_in	PA 輸入資料
GPIOA_OTYPE: Pad output type					
018h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pa_ot	PA 輸出類型. 0: 推挽式 (Push-pull). 1: 開汲極 (Open-drain) 注意:在開汲極類型中，如果將 gpio_pa_pupd 致能為上拉，則邏輯 1 由內部上拉電阻驅動引腳;否則，邏輯 1 應由外部上拉電阻驅動。
GPIOA_DS: Pad drving strength					
01ch	15:0	W	-	gpio_pa_ds	PA 驅動能力 0: 低 (預設值). 1: 高
GPIOA_BT_RST: Pad bit reset					
020h	31:16	-	-	-	保留
	15:0	W	-	gpio_pa_br	PA 位元重置 0: 無效 1: 將 gpio_pa_out 對應位元重置為 "0"
GPIOA_BT_SET: Pad bit set					
024h	31:16	-	-	-	保留
	15:0	W	-	gpio_pa_bs	PA 位元設置 0: 無效 1: 將 gpio_pa_out 對應位元設置為 "1"
GPIOA_BT_TGLE: Pad bit toggle					

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
028h	31:16	-	-	-	保留
	15:0	W	-	gpio_pa_bt	PA 位元變化 (toggle) 0: 無效 1: 切換相對反應的位元變化 gpio_pa_out "0->1" 或"1->0"
GPIOA_AF0: Pad alt function					
040h	31:0	R/W	0	gpio_pa_af0	PA Port 0~7 的複用功能 這些位元由軟體編寫，用於規劃複用功能 I/Os 0: 複用功能 0 (AF0) 1: 複用功能 1 (AF1) 2: 複用功能 2 (AF2) 3: 複用功能 3 (AF3) 4: 複用功能 4 (AF4) 5: 複用功能 5 (AF5) 6~15: 保留
GPIOA_AF1: Pad alt function					
044h	31:0	R/W	0	gpio_pa_af1	PA 埠 8~15 的複用功能。 這些位元由軟體編寫，用於規劃複用功能 I/O。 [4y+3:4y]: 埠 x 的模式規劃。 0: 複用功能 0 (AF0) 1: 複用功能 1 (AF1) 2: 複用功能 2 (AF2) 3: 複用功能 3 (AF3) 4: 複用功能 4 (AF4) 5: 複用功能 5 (AF5) 6~15: 保留
Reserved					
048h	31:0	-	-	-	保留
Reserved					
04ch	31:0	-	-	-	保留
GPIOA_IE: Pad interrupt enable					
060h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pa_ie	PA 中斷功能 0: 禁能 1: 致能
GPIOA_ISS: Pad interrupt sense selection					
064h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pa_iss	PA 中斷輸入選擇。 0: 邊緣(Edge)觸發。 1: 電位(Level)觸發。
GPIOA_BET: Pad interrupt both edges trigger					
068h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pa_bet	PA 兩個邊緣觸發中斷。 0: 中斷條件由 gpio_pa_trg 控制。 1: 致能上升緣和下降緣觸發。 注意: 當電位(Level)觸發時，將忽略此暫存器。
GPIOA_TRG: Pad interrupt trigger event select					
06ch	31:16	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	15:0	R/W	0	gpio_pa_trg	PA 觸發事件選擇。 0: 下降緣或低電位觸發。 1: 上升緣或高電位觸發。
GPIOA_IF: Pad interrupt raw flag					
070h	31:16	-	-	-	保留
	15:0	R/W1c	0	gpio_pa_if	PA 中斷原始旗標。 此暫存器指示 GPIO 原始中斷的狀態。如果啟動 gpio_pa_ie 暫存器中的相應位，則 GPIO 中斷將發送到中斷控制器。 0: 無中斷 1: 有中斷發生
GPIOB_MODE: Pad mode register					
100h	31:0	R/W	ffff_ffffh	gpio_pb_mode	PB 埠 0~15 的 模式暫存器。 這些位元由韌體編寫，用來規劃 I/O 模式。 [2y+1:2y]: X 埠的模式設定 2'b00: 輸入模式 2'b01: 普通輸出模式 2'b10: 複用功能模式 2'b11: 類比 mode
Reserved					
104h	31:0	-	-	-	保留
GPIOB_PUPD: Pad pull-up/pull-down register					
108h	31:0	R/W	0	gpio_pb_pupd	PB 上拉或下拉電阻 這些位元由軟體編寫，用於規劃 I/O 上拉或下拉 [2y+1:2y]: 上拉或下拉於埠 X. 2'b00: No 上拉, 下拉 2'b01: 上拉 2'b10: 下拉 2'b11: 保留
Reserved					
10ch	31:0	-	-	-	保留
GPIOB_DO: Pad output data					
110h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pb_out	PB 輸出資料
GPIOB_DI: Pad input data					
114h	31:16	-	-	-	保留
	15:0	R	-	gpio_pb_in	PB 輸入資料
GPIOB_OTYPE: Pad output type					
118h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pb_ot	PB 輸出類型 0: 推挽式 (Push-pull) 1: 開汲極 (Open-drain) 注意: 在開汲極類型中，如果將 gpio_pb_pupd 啟用為上拉，則邏輯 1 由內部上拉電阻驅動引腳;否則，邏輯 1 應由外部上拉電阻驅動。
GPIOB_DS: Pad drving strength					
11ch	15:0	W	-	gpio_pb_ds	PB 驅動能力 0: 低

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					1: 高
GPIOB_BT_RST: Pad bit reset					
120h	31:16	-	-	-	保留
	15:0	W	-	gpio_pb_br	PB 位元重置 0: 無效。 1: 將 gpio_pb_out 對應位元重置為”0”。
GPIOB_BT_SET: Pad bit set					
124h	31:16	-	-	-	保留
	15:0	W	-	gpio_pb_bs	PB 位元設置 0: 無效 1: 將 gpio_pb_out 對應位元設置為”1”
GPIOB_BT_TGLE: Pad bit toggle					
128h	31:16	-	-	-	保留
	15:0	W	-	gpio_pb_bt	PB 位元變化(toggle) 0: 無效 1: 切換相對反應的位元變化 gpio_pb_out “0->1” 或”1->0”
GPIOB_AF0: Pad alt function					
140h	31:0	R/W	0	gpio_pb_af0	PB 埠 0~7 的複用功能 這些位元由軟體編寫，用來規劃複用功能 I/Os [4y+3:4y]: X 埠的模式設定. 0: 複用功能 0 (AF0) 1: 複用功能 1 (AF1) 2: 複用功能 2 (AF2) 3: 複用功能 3 (AF3) 4: 複用功能 4 (AF4) 5: 複用功能 5 (AF5) 6~15: 保留
GPIOB_AF1: Pad alt function					
144h	31:0	R/W	0	gpio_pb_af1	PB 埠 8~15 的複用功能。 這些位元由軟體編寫，用於規劃複用功能 I/O。 [4y+3:4y]:埠 x 的模式規劃。 0: 複用功能 0 (AF0) 1: 複用功能 1 (AF1) 2: 複用功能 2 (AF2) 3: 複用功能 3 (AF3) 4: 複用功能 4 (AF4) 5: 複用功能 5 (AF5) 6~15: 保留
Reserved					
148h	31:0	-	-	-	保留
Reserved					
14ch	31:0	-	-	-	保留
GPIOB_IE: Pad interrupt enable					
160h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pb_ie	PB 中斷功能 0: 禁能 1: 致能
GPIOB_ISS: Pad interrupt sense selection					

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
164h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pb_iss	PB 中斷輸入選擇。 0: 邊緣(Edge)觸發。 1: 電位(Level)觸發。
GPIOB_BET: Pad interrupt both edges trigger					
168h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pb_bet	PB 兩個邊緣觸發中斷。 0: 中斷條件由 gpio_pb_trg 控制。 1: 致能上升緣和下降緣觸發。 注意: 當電位(Level)觸發時，將忽略此暫存器。
GPIOB_TRG: Pad interrupt trigger event select					
16ch	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pb_trg	PB 觸發器事件選擇。 0: 下降緣或低電平觸發。 1: 上升緣或高電平觸發。
GPIOB_IF: Pad interrupt raw flag					
170h	31:16	-	-	-	保留
	15:0	R/W1c	0	gpio_pb_if	P B 中斷原始旗標。 此暫存器指示 GPIO 原始中斷的狀態。如果致能 gpio_pb_ie 暫存器中的相應位元，則 GPIO 中斷將發送到中斷控制器。 0: 無中斷。 1: 有中斷發生。
GPIOC_MODE: Pad mode register					
200h	31:0	R/W	ffff_ffffh	gpio_pc_mode	PC 埠 0~15 的 模式暫存器。 這些位元由韌體編寫，用來規劃 I/O 模式。 [2y+1:2y]: X 埠的模式設定. 2'b00: 輸入模式 2'b01: 普通輸出模式 2'b10: 複用功能模式 2'b11: 類比 mode
Reserved					
204h	31:0	-	-	-	保留
GPIOC_PUPD: Pad pull-up/pull-down register					
208h	31:0	R/W	0	gpio_pc_pupd	PC 上拉或下拉 電阻 這些位由軟體編寫，用於規劃 I/O 上拉 或下拉 [2y+1:2y]: 上拉或下拉於埠 X. 2'b00: No 上拉, 下拉 2'b01: 上拉 2'b10: 下拉 2'b11: 保留
Reserved					
20ch	31:0	-	-	-	保留
GPIOC_DO: Pad output data					
210h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pc_out	PC 輸出資料
GPIOC_DI: Pad input data					
214h	31:16	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	15:0	R	-	gpio_pc_in	PC 輸入資料
GPIOC_OTYPE: Pad output type					
218h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pc_ot	PC 輸出類型 0: 推挽式 (Push-pull) 1: 開汲極 (Open-drain) 注意: 在 開汲極 類型, 如果將 gpio_pc_pupd 致能為上拉，則邏輯 1 由內部上拉電阻驅動引腳;否則，邏輯 1 應由外部上拉電阻驅動。
GPIOC_DS: Pad drving strength					
21ch	15:0	W	-	gpio_pc_ds	PC 驅動能力 0: 低 1: 高
GPIOC_BT_RST: Pad bit reset					
220h	31:16	-	-	-	保留
	15:0	W	-	gpio_pc_br	PC 位元重置 0: 無效 1: 將 gpio_pc_out 對應位元重置為”0”
GPIOC_BT_SET: Pad bit set					
224h	31:16	-	-	-	保留
	15:0	W	-	gpio_pc_bs	PC 位元設置 0: 無效 1: 將 gpio_pc_out 對應位元設置為”1”
GPIOC_BT_TGLE: Pad bit toggle					
228h	31:16	-	-	-	保留
	15:0	W	-	gpio_pc_bt	PC 位元變化 (toggle) 0: 無效 1: 切換相對反應的位元變化 gpio_pc_out “0->1” 或”1->0”
GPIOC_AF0: Pad alt function					
240h	31:0	R/W	0	gpio_pc_af0	PC 埠 0 ~ 7 的複用功能。 這些位元由軟體編寫，用於規劃複用功能 I/O。 [4y+3:4y]: 埠 x 的模式規劃。 0: 複用功能 0 (AF0) 1: 複用功能 1 (AF1) 2: 複用功能 2 (AF2) 3: 複用功能 3 (AF3) 4: 複用功能 4 (AF4) 5: 複用功能 5 (AF5) 6~15: 保留
GPIOC_AF1: Pad alt function					
244h	31:0	R/W	0	gpio_pc_af1	PC 埠 8~15 的複用功能。 這些位元由軟體編寫，用於規劃複用功能 I/O。 [4y+3:4y]: 埠 x 的模式規劃。 0: 複用功能 0 1: 複用功能 1 2: 複用功能 2 3: 複用功能 3 4: 複用功能 4

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					5: 複用功能 5 6~15: 保留
Reserved					
248h	31:0	-	-	-	保留
Reserved					
24ch	31:0	-	-	-	保留
GPIOC_IE: Pad interrupt enable					
260h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pc_ie	PC 中斷功能 0: 禁能 1: 致能
GPIOC_ISS: Pad interrupt sense selection					
264h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pc_iss	PC 中斷輸入選擇。 0: 邊緣 (Edge)觸發。 1: 電位 (Level)觸發。
GPIOC_BET: Pad interrupt both edges trigger					
268h	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pc_bet	PC 兩個邊緣觸發中斷。 0: 中斷條件由 gpio_pc_trg 控制。 1: 致能上升緣和下降緣觸發。 注意:當電位(Level)觸發時，將忽略此暫存器。
GPIOC_TRG: Pad interrupt trigger event select					
26ch	31:16	-	-	-	保留
	15:0	R/W	0	gpio_pc_trg	PC 觸發事件選擇。 0: 下降緣或低電位觸發。 1: 上升緣或高電位觸發。
GPIOC_IF: Pad interrupt raw flag					
270h	31:16	-	-	-	保留
	15:0	R/W1c	0	gpio_pc_if	PC 中斷原始旗標。 此暫存器指示 GPIO 原始中斷的狀態。如果致能 gpio_pd_ie 暫存器中的相應位元，則 GPIO 中斷將發送到中斷控制器。 0: 無中斷。 1: 有中斷發生。
GPIOD_MODE: Pad mode register					
300h	31:10	-	-	-	保留
	9:0	R/W	3ffh	gpio_pd_mode	PD 0~2 的模式暫存器。 這些位元由軟體編寫以配置 I/O 模式。 [2y+1:2y]: X 埠的模式設定. 2'b00: 輸入模式 2'b01: 普通輸出模式 2'b10: 複用功能模式 2'b11: 類比功能模式
Reserved					
304h	31:0	-	-	-	保留
GPIOD_PUPD: Pad pull-up/pull-down register					
308h	31:10	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	9:0	R/W	0	gpio_pd_pupd	PD 上拉或下拉電阻 這些位由軟體編寫，用於規劃 I/O 上拉 或 下拉 [2y+1:2y]: 上拉或下拉於埠 X. 2'b00: No 上拉, 下拉 2'b01: 上拉 2'b10: 下拉 (PD1 無下拉功能) 2'b11: 保留
Reserved					
30ch	31:0	-	-	-	保留
GPIOD_DO: Pad output data					
310h	31:5	-	-	-	保留
	4:0	R/W	0	gpio_pd_out	PD 輸出資料
GPIOD_DI: Pad input data					
314h	31:5	-	-	-	保留
	4:0	R	-	gpio_pd_in	PD 輸入資料
GPIOD_OTYPE: Pad output type					
318h	31:5	-	-	-	保留
	4:0	R/W	0	gpio_pd_ot	PD 輸出類型. 0: 推挽式. (Push-pull) 1: 開汲極. (Open-drain) 注意: 在開汲極類型中，如果將 gpio_pd_pupd 致能為上拉，則邏輯 1 由內部上拉電阻驅動引腳;否則，邏輯 1 應由外部上拉電阻驅動。
GPIOD_DS: Pad drving strength					
31ch	15:0	W	-	gpio_pd_ds	PD 驅動能力 0: 低 1: 高
GPIOD_BT_RST: Pad bit reset					
320h	31:5	-	-	-	保留
	4:0	W	-	gpio_pd_br	PD 位元重置 0: 無效 1: 將 gpio_pd_out 對應位元重置為"0"
GPIOD_BT_SET: Pad bit set					
324h	31:5	-	-	-	保留
	4:0	W	-	gpio_pd_bs	PD 位元設置 0: 無效 1: 將 gpio_pd_out 對應位元設置為"1"
GPIOD_BT_TGLE: Pad bit toggle					
328h	31:5	-	-	-	保留
	4:0	W	-	gpio_pd_bt	PD 位元變化 (toggle) 0: 無效 1: 切換相對反應的位元變化 gpio_pd_out "0->1" 或"1->0"
GPIOD_AF0: Pad alt function					
340h	31:20				
	19:0	R/W	0	gpio_pd_af0	PD 埠 0~4 的 複用功能。 這些位元由軟體編寫，用於規劃複用功能 I/Os。 [4y+3:4y]: X 埠的模式設定.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					0: 複用功能 0 (AF0) 1: 複用功能 1 (AF1) 2: 複用功能 2 (AF2) 3: 複用功能 3 (AF3) 4: 複用功能 4 (AF4) 5: 複用功能 5 (AF5) 6~15: 保留
Reserved					
344h	31:0	-	-	-	保留
Reserved					
348h	31:0	-	-	-	保留
Reserved					
34ch	31:0	-	-	-	保留
GPIOD_IE: Pad interrupt enable					
360h	31:5	-	-	-	保留
	4:0	R/W	0	gpio_pd_ie	PD 中斷功能. 0: 禁能 1: 致能
GPIOD_ISS: Pad interrupt sense selection					
364h	31:5	-	-	-	保留
	4:0	R/W	0	gpio_pd_iss	PD 中斷輸入選擇。 0: 邊緣(Edge)觸發。 1: 電位(Level)觸發。
GPIOD_BET: Pad interrupt both edges trigger					
368h	31:5	-	-	-	保留
	4:0	R/W	0	gpio_pd_bet	PD 兩個邊緣觸發中斷。 0: 中斷條件由 gpio_pd_trg 控制。 1: 致能上升緣和下降緣觸發。 注意: 當電位(Level)觸發時，將忽略此暫存器。
GPIOD_TRG: Pad interrupt trigger event select					
36ch	31:5	-	-	-	保留
	4:0	R/W	0	gpio_pd_trg	PD 觸發事件選擇。 0: 下降緣或低電位觸發。 1: 上升緣或高電位觸發。
GPIOD_IF: Pad interrupt raw flag					
370h	31:5	-	-	-	保留
	4:0	R/W1c	0	gpio_pd_if	PD 中斷原始旗標。 此暫存器指示 GPIO 原始中斷的狀態。如果致能 gpio_pd_ie 暫存器中的相應位元，則 GPIO 中斷將發送到中斷控制器。 0: 無中斷。 1: 有中斷發生。

R/W1C: 讀取 與 寫“1”清除

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

8.4 功能描述

根據每個 I/O 的硬體特性，通用 I/O (GPIO)的每個口可以通過軟體以多種模式單獨配置:

- 輸入懸空 (Input floating)
- 輸入帶上拉電阻 (Input pull-up)
- 輸入帶下拉電阻 (Input pull-down)
- 類比
- 輸出開極汲, 具有 pull-up / pull-down
- 輸出推拉式，具有 pull-up / pull-down
- 複用功能，具有 pull-up / pull-down 功能

每個 I/O 埠都是可自由程式設定的;但是，I/O 埠暫存器必須作為 32 位字進行存取。Gpio_px_br、gpio_px_bs 和 gpio_px_bt 暫存器的目的是允許對任何 gpio_px_out 暫存器的原子進行讀取/修改存取。這樣，讀取和修改存取之間不存在發生 IRQ 的風險。圖 28 顯示了標準 I/O 口的基本結構。

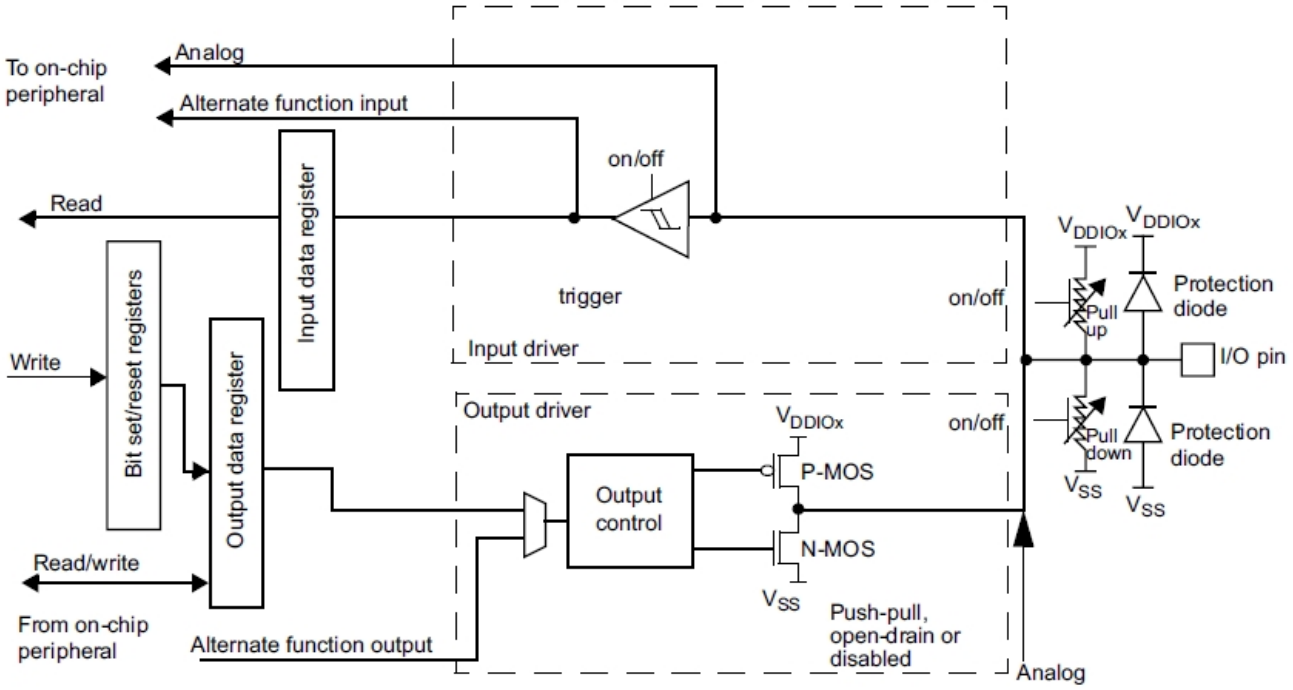


圖 28 I/O 埠位的基本結構

8.4.1 泛用型 I/O

在復位期間和復位後，複用功能未啟動，並且大多數 I/O 埠在類比模式下規劃。

復位後，調試引腳處於 AF 模式上拉或下拉:

- PA14: SWCLK 使用下拉 (pull-down)
- PA13: SWDIO 使用上拉 (pull-up)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

當引腳規劃為輸出時，寫入輸出資料暫存器 (gpio_px_out) 的值將輸出到 I/O 引腳上。可以在推拉模式或開汲極模式下使用輸出磁碟機 (僅驅動低電平，高電平為 HI-Z)。輸入資料暫存器 (gpio_px_in) 捕獲每個 AHB 時鐘週期的 I/O 引腳上存在的資料。

8.4.2 泛用型 I/O

設備 I/O 引腳通過多工器連接到板載週邊/模組，該多工器一次只允許一個週邊設備複用功能 (Alternate Funciton，AF) 連接到 I/O 引腳。這樣，同一 I/O 引腳上可用的週邊設備之間不會發生衝突。每個 I/O 引腳都有一個多工器，具有多達 16 個複用功能輸入 (AF0 到 AF15)，可利用 gpio_px_af0 和 gpio_px_af1 暫存器進行規劃:

- 復位後，多工器選擇是複用功能 0 (AF0)。I/O 通過規劃 gpio_px_mode 暫存器以使用複用功能模式。
- 章節 2.3 “複用功能 I/O 與優先權”中詳細介紹了每個引腳的特定複用函數分配。

除了這種靈活的 I/O 多工架構外，每個週邊都有映射到不同 I/O 引腳的複用功能，以優化較小封裝中可用的週邊設備數量。要在給定規劃中使用 I/O，使用者必須按照以下步驟操作:

- 調試功能: 每個設備復位後，這些引腳被指定為複用功能引腳，由調試器主機立即使用
- GPIO: 在 gpio_px_mode 暫存器中將所需的 I/O 規劃為輸出、輸入或類比。
- 週邊複用功能:
  - 將 I/O 連接到一個 gpio_px_af0 或 gpio_px_af1 暫存器中的所需 Afx。
  - 分別通過 gpio_px_ot、gpio_px_pu 和 gpio_pa_pd 暫存器選擇輸出類型、上拉或下拉。
  - 將所需的 I/O 規劃為 gpio_px_mode 暫存器中的複用功能。

8.4.3 I/O port 控制暫存器

每個 GPIO 口都有三個記憶體映射控制暫存器 (gpio_px_mode、gpio_px_ot、gpio_px_pupd)來配置 I/O。gpio_px_mode 暫存器用於選擇 I/O 模式 (輸入、輸出、AF 模式、類比)。Gpio_px_ot 暫存器用於選擇輸出類型 (推拉或開汲極)。無論此時 I/O 方向如何，gpio_px_pupd 暫存器用於選擇向上/向下拉。

8.4.4 I/O port 資料暫存器

每個 GPIO 都有兩個記憶體映射的資料暫存器:輸入和輸出資料暫存器 (gpio_px_in 和 gpio_px_out)。Gpio_px_out 存儲要輸出的資料，它是可讀/寫的。通過 I/O 輸入的資料存儲在輸入資料暫存器 (gpio_px_in) 中，這是一個唯讀暫存器 (read-only register)。

8.4.5 I/O data bitwise handling

位元的重置/設置/切換暫存器 (gpio_px_br、gpio_px_bs、gpio_px_bt)，允許應用程式重置/設置/切換輸出資料暫存器 (gpio_px_out)中的每個單獨的位元。

對於 gpio_px_out[i]中的每個位元，在 gpio_px_br[i]、gpio_px_bs[i] 和 gpio_px_bt[i] 中的對應位元。當寫入 1 時對 gpio_px_br[i] 重置相應的 gpio_px_out[i]位元。當寫入 1 時對 gpio_px_bs[i] 設置 gpio_px_out[i] 相應的位元。當寫入 1 時對 gpio_px_bt[i] 切換 gpio_px_out[i] 對應位元。順便說一下，在 gpio_px_br / gpio_px_bs 與 gpio_px_bt 中寫入任何位元為 0， 對 gpio_px_out 中的相應位元沒有任何影響。

使用 gpio_px_br 與 gpio_px_bs 與 gpio_px_bt 暫存器來更改 gpio_px_out 中各個位元的值是一種”一次性 (one-shot)”效果，它不鎖定 gpio_px_out 位元。可以隨時直接存取 gpio_px_out 位元。Gpio_px_out 暫存器提供了一種執行原子(atomic)位元處理的方法。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

8.4.6 I/O 複用 (Alternate) 功能之輸入/輸出

提供複用功能暫存器，以選擇可用於每個 I/O 的複用函數輸入/輸出之一。通過這些暫存器，使用者可以根據應用程式的要求將複用功能連接到一些其它引腳。

這意味著使用 gpio_px_af0 和 gpio_pa_af1 複用功能暫存器在每個 GPIO 上多工許多可能的週邊函數。因此，應用程式可以為每個 I/O 選擇任意一個可能的函數。AF 模式選擇信號是複用函數輸入和複用功能輸出的通用信號，為給定 I/O 的複用函數輸入/輸出選擇單個通道。

要瞭解每個 GPIO 口上多工的功能，請參閱章節 2.3”複用功能 I/O 與優先權”。

8.4.7 輸入規劃

當 I/O 口程式設定為輸入時:

- 輸出緩衝區已關閉
- 施密特觸發輸入被啟動
- 上拉和下拉電阻器根據 gpio_px_pupd 暫存器中的值啟動
- 每個 AHB 時鐘週期，I/O 引腳上的資料都會採樣到輸入資料暫存器中
- 對輸入資料暫存器的讀取存取提供 I/O 狀態

圖 29 顯示了 I/O 口的輸入規劃。

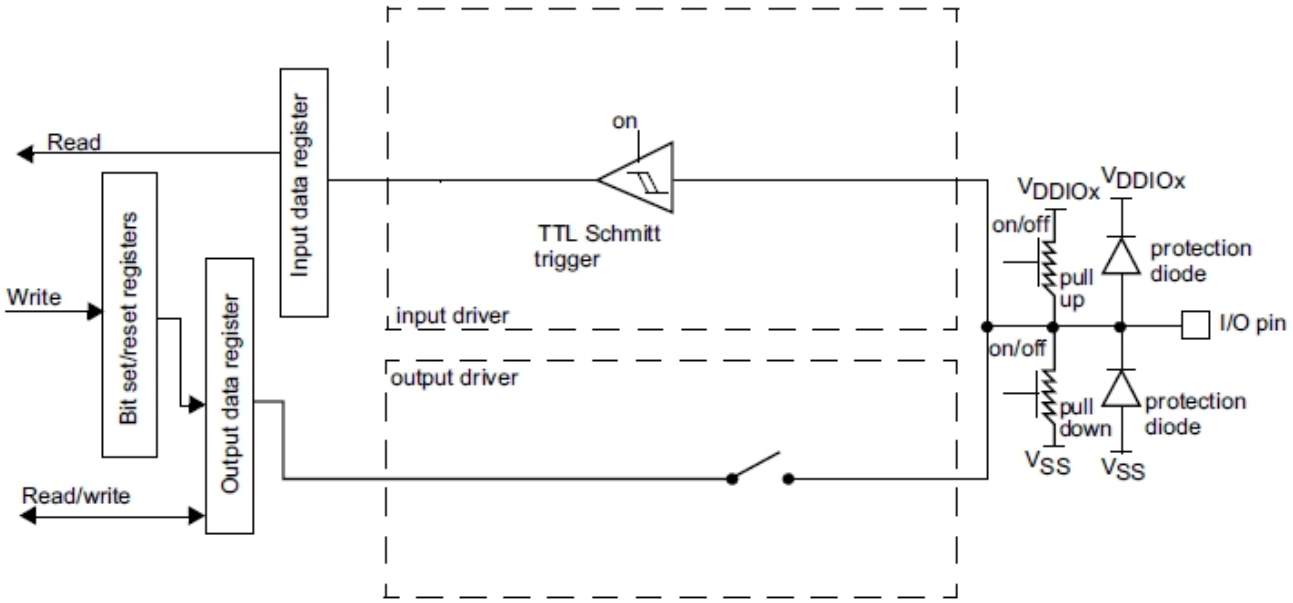


圖 29 輸入規劃

8.4.8 輸出規劃

當 I/O 口程式設定為輸出時:

- 輸出緩衝區已開啟

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

- 設定開汲極(Open-drain)模式: 輸出暫存器中的”0”會啟動下部 N-MOS，而輸出暫存器中的”1” 會使該口進入 Hi-Z 的狀態 (P-MOS 永遠不會啟動)
- 推拉(Push-pull)模式: 輸出暫存器中的”0”會啟動 N-MOS，而輸出暫存器中的”1”會啟動 P-MOS

➢ 施密特觸發於輸入時被啟動

➢ 下拉和下拉電阻器根據 gpio_px_pupd 暫存器中的數值去啟動

➢ 每個 AHB 時鐘週期，I/O 引腳上的資料都會採樣到輸入資料暫存器中

➢ 對輸入資料暫存器進行讀取以存取 I/O 狀態

➢ 對輸出資料暫存器進行讀取以存取最後寫入的數值

圖 30 顯示了 I/O 埠位的輸出規劃。

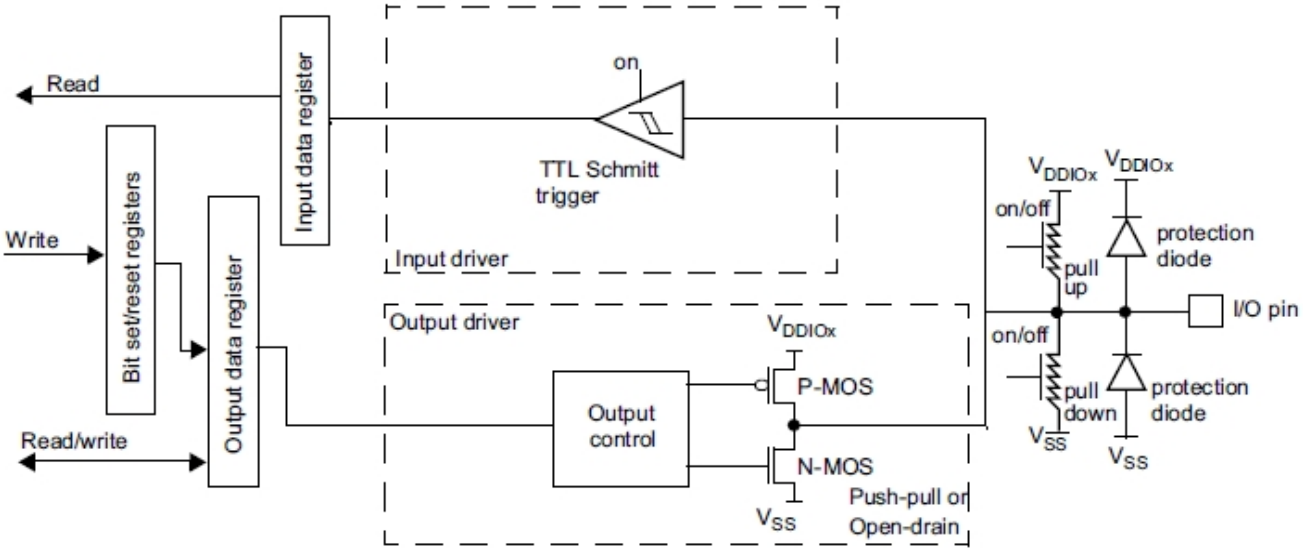


圖 30 輸出規劃

8.4.9 複用 (Alternate) 功能規劃

當 I/O 口被程式設定為複用功能時:

➢ 輸出緩衝器皆可在開汲極或推拉模式下規劃

➢ 輸出緩衝器由來自週邊的信號驅動 (發送器的啟動和資料)

➢ 施密特觸發於輸入時會被啟動

➢ 弱上拉和下拉電阻器的啟動取決於 gpio_px_pupd 暫存器中的數值

➢ 每個 AHB 時鐘週期，I/O 引腳上的資料都會被採樣到輸入資料暫存器中

➢ 對輸入資料暫存器的讀取存以取獲取 I/O 狀態

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

圖 31 顯示了 I/O 埠位元的複用功能規劃。

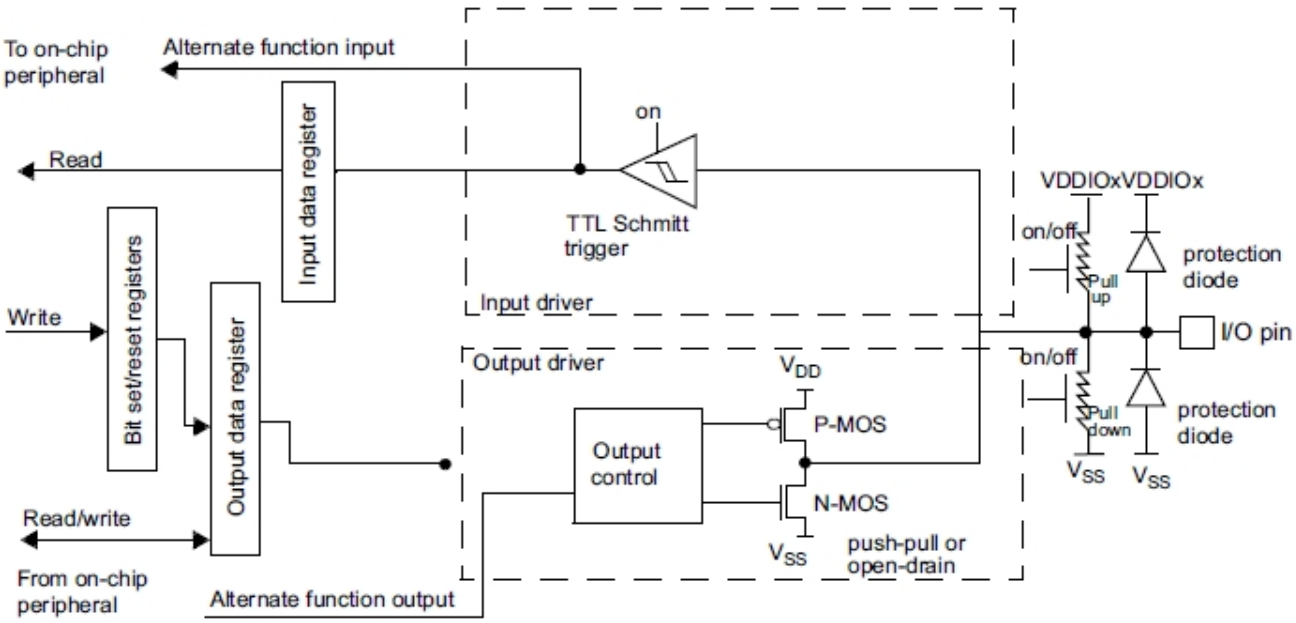


圖 31　　複用功能規劃

8.4.10 類比功能規劃

當 I/O 口程式設定為類比規劃時:

- 輸出緩衝區已被關閉
- 施密特觸發的輸入功能已停用，使 I/O 引腳的每個類比狀態可避免功率消耗。施密特觸發器的輸出強制設為常數值 “0”。
- 硬體關閉弱上拉和下拉電阻
- 對輸入資料暫存器的讀取存取只能獲取”0”

圖 32 顯示了 I/O 埠位元的高阻抗類比輸入規劃。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

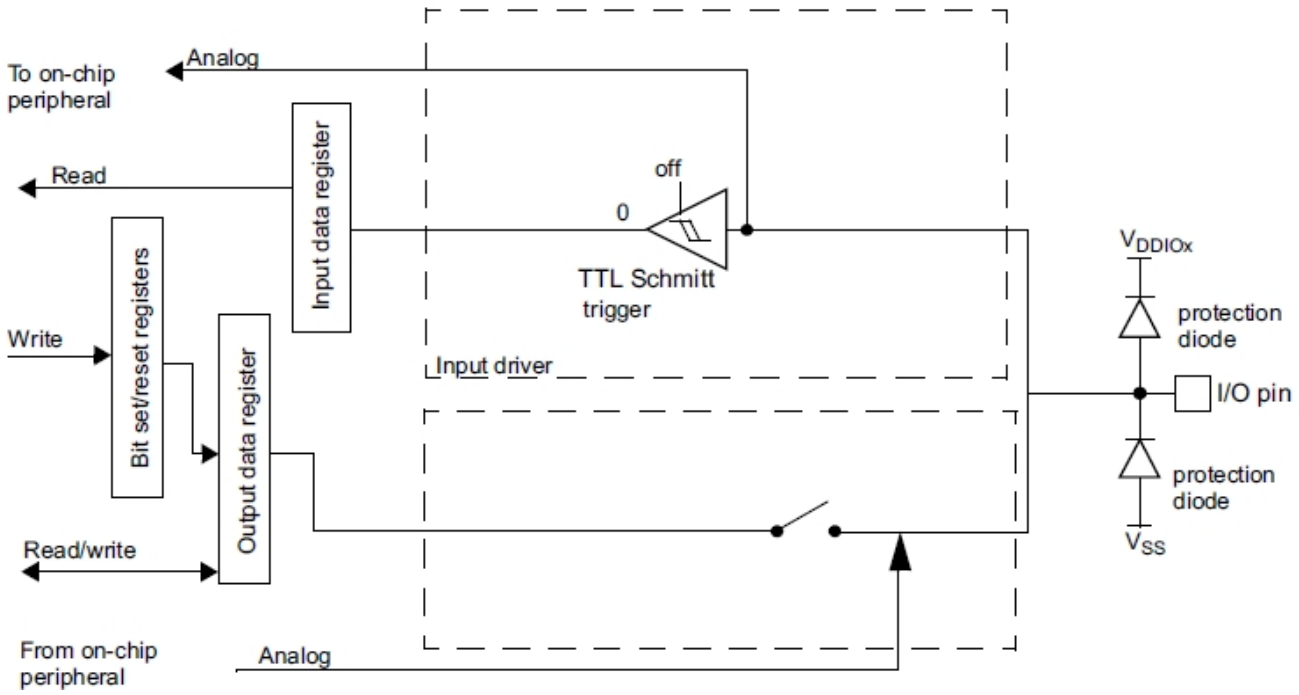


圖 32　　類比規劃

8.4.11 使用 HXTAL 或 LXTAL 振盪器引腳作為 GPIOs

- ✓ 當 HXTAL 或 LXTAL 振盪器關閉時，相關的振盪器引腳可用作普通 GPIO。
- ✓ 當 HXTAL 或 LXTAL 振盪器開關打開時，振盪器將控制其關聯的引腳，並且這些引腳的 GPIO 規劃不起作用。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

9 USB

9.1 主要概述

USB 週邊實現了全速 USB 2.0 匯流排和 APB 匯流排之間的介面。支援 USB 暫停/恢復(Suspend and Resume)，允許停止設備時鐘以降低功耗。

- 相容 USB 2.0 全速操作(Full Speed)
- 相容 USB 音訊裝置類規格 V1.0 (Audio Device Class Spec V1.0)
- 1 個控制端點 (Endpoint 0)，IN/OUT 各有 64B FIFO (8/16/32/64B 可程式設定)
- 7 個通用端點 (Endpoint 1~6 和 Enpoint 9)，可程式化設定為 IN/OUT、INT/Bulk。
- 2 個同步端點 (Isochronous Endpoint 7、8)，支援 DMA 傳輸方式(SRAM 和 USB FIFO 之間)
- 端點(Endpoint) 0~9 的 FIFO 總共大小:1024B+576B
  - Endpoint 7 & 8: 共用 1024B (支援 DMA)
  - Endpoint 0: In 64B, out 64B
  - Endpoints 1~ 6, 9: 64B/each
- 支援 USB 暫停(Suspned)、恢復(Resume)和遠端喚醒(Remote-Wakeup)
- 非 USB 應用時可關閉 USB 功能

9.2 方塊圖

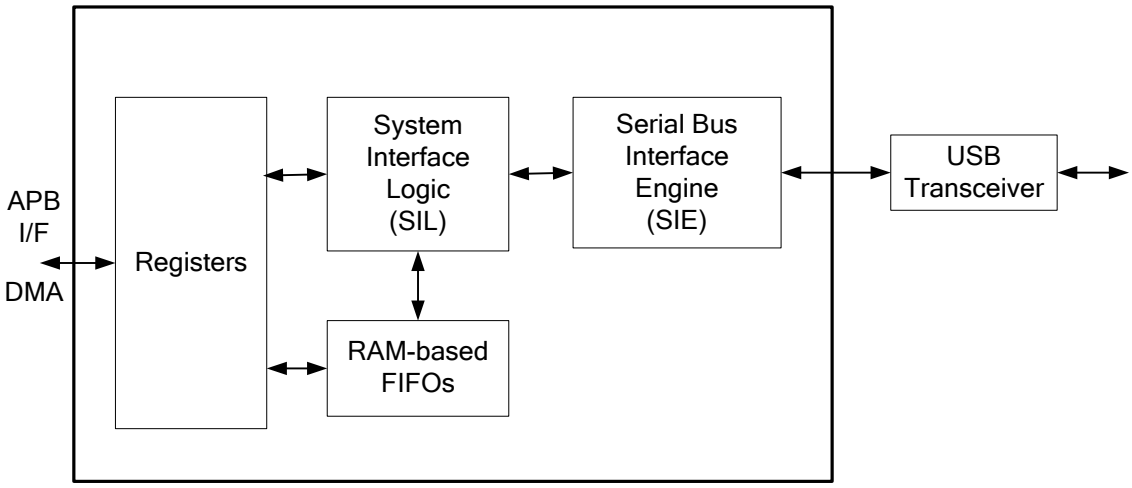


圖 33 USB 方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

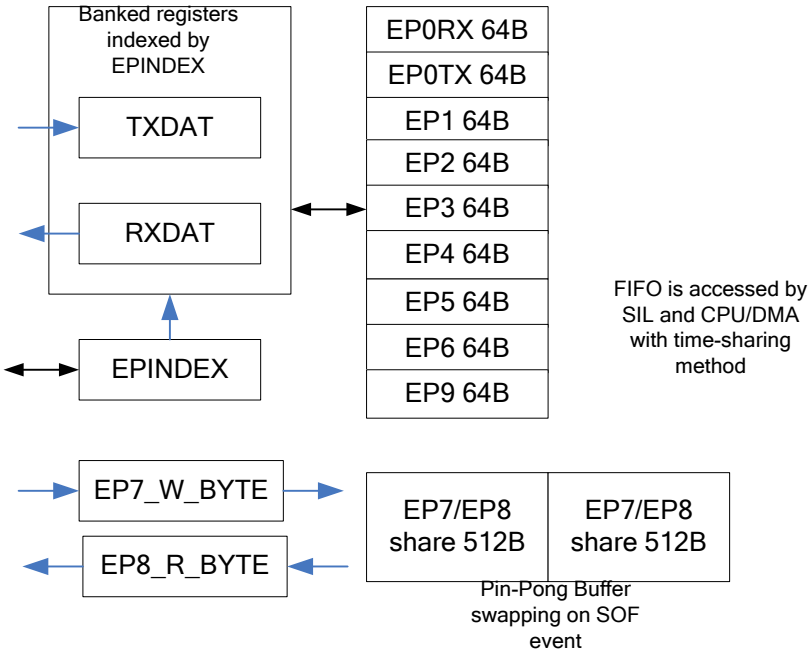


圖 34 USB Endpoints FIFO

9.3 暫存器描述

表格 20 USB 控制暫存器

Index	Bit	R/W	Default	Name	Description
USB_FADDR: USB Function Address					
00h	31:7	-	-	-	保留
	6:0	R/W	0	fa	7 位元可程式化之 USB 功能位址
USBFI: USB Function Interrupt					
04h	31:11	-	-	-	保留
	10	R	0	usbx9int	USB端點9之Tx/Rx工作完成旗標
	9:8	-	-	-	保留
	7	R	0	usbx6int	USB端點6之Tx/Rx工作完成旗標
	6	R	0	usbx5int	USB端點5之Tx/Rx工作完成旗標
	5	R	0	usbx4int	USB端點4之Tx/Rx工作完成旗標
	4	R	0	usbx3int	USB端點3之Tx/Rx工作完成旗標
	3	R	0	usbx2int	USB端點2之Tx/Rx工作完成旗標
	2	R	0	usbx1int	USB端點1之Tx/Rx工作完成旗標
	1	R	0	usbrx0int	USB端點0之Rx工作完成旗標
	0	R	0	usbtx0int	USB端點0之Tx工作完成旗標
USB_USBFIE: USB Function Interrupt Enable					
08h	31:11	-	-	-	保留
	10	R/W	0	usbx9int_ie	USB端點9之Tx/Rx工作完成中斷致能設置

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	9:8	-	-	-	保留
	7	R/W	0	usbx6int_ie	USB 端點 6 之 Tx/Rx 工作完成中斷致能設置
	6	R/W	0	usbx5int_ie	USB 端點 5 之 Tx/Rx 工作完成中斷致能設置
	5	R/W	0	usbx4int_ie	USB 端點 4 之 Tx/Rx 工作完成中斷致能設置
	4	R/W	0	usbx3int_ie	USB 端點 3 之 Tx/Rx 工作完成中斷致能設置
	3	R/W	0	usbx2int_ie	USB 端點 2 之 Tx/Rx 工作完成中斷致能設置
	2	R/W	0	usbx1int_ie	USB 端點 1 之 Tx/Rx 工作完成中斷致能設置
	1	R/W	0	usbrx0int_ie	USB端點0之Rx工作完成中斷致能設置
	0	R/W	0	usbtx0int_ie	USB端點0之Tx工作完成中斷致能設置
USB_SIEI: SIE Interface					
0ch	31:6	-	-	-	保留
	5	R/W	0	usben	USB功能致能設置
	4	R/W	0	dm	DM上拉電阻致能設置
	3	R/W	0	psofen	致能Pseudo-SOF 產生器
	2	-	-	-	保留
	1	R/W	0	dp	DP上拉電阻致能設置
	0	W	0	wakeup	USB功能使用此位元啟動遠端喚醒。Firmware設置為1可產生喚醒訊號於USB訊號線上，藉此可喚醒上層的HUB或HOST，當訊號產生完成後，硬體會自動將此位元清為0
USB_EPINDEX: Endpoint Index					
14h	31:4	-	-	-	保留
	3:0	R/W	0	epinx	端點索引暫存器，用來選擇某個端點傳送與接收FIFO 以 及 某 個 端 點 的 特 定 暫 存 器 庫 (USB_TXDAT 、 USB_TXCON 、 USB_TXFLG 、 USB_TXCNT 、 USB_TXSTAT 、 USB_RXDAT 、 USB_RXCON 、 USB_RXFLG 、 USB_RXCNT 、 USB_RXSTAT、USB_EPCON、USB_EPNUM)。當發生USB復位以及硬體復位，此暫存器會回到復位值 0 = 端點0. 1 = 端點1. 2 = 端點2. 3 = 端點3. 4 = 端點4. 5 = 端點5. 6 = 端點6. 7 = 端點7. (only has USB_ EPNUM reg) 8 = 端點8. (only has USB_ EPNUM reg) 1. = 端點9. Others = 保留
USB_EPCON: Endpoint Control (Endpoint-indexed)					
18h	31:8	-	-	-	保留
	7	R/W	0	rxstl	接收端點 Stall 設置: 將此位元設置為 1 可令接收端點進入 Stall 狀態，需由 Host 透過中斷從端點 0 下 USB 命令來進行清除;當此位元被設置為 1 同時 RXSETUP 為 0，此時若

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					Host 下一個有效的 OUT token 時，將會回應 Stall; 當此位元被設置為 1 同時 RXSETUP 為 1，此時接收端點將會回應 NAK。此位元並不會影響控制端點所收到的 SETUP token.
	6	R/W		txstl	傳送端點 Stall 設置: 將此位元設置為 1 可令傳送端點進入 Stall 狀態，需由 Host 透過中斷從端點 0 下 USB 命令來進行清除; 當此位元被設置為 1 同時 RXSETUP 為 0，此時若 Host 下一個有效的 IN token 時，將會回應 Stall; 當此位元被設置為 1 同時 RXSETUP 為 1，此時接收端點將會回應 NAK。
	5	R/W	0/1	ctlep	控制端點設置: 將此位元設置為 1 讓此端點為控制端點，只有控制端點可接收 SETUP tokens
	4	-	-	-	保留
	3	R/W	0	rxie	接收輸入致能設置: 將此位元設置為 1 以致能 USB 數據寫入至接收 FIFO 緩衝區，假如清為 0，此端點將不會將接到的數據寫入接收 FIFO 緩衝區，若此時數據為有效的 OUT 封包且 RXSTL 並未被設置，則在數據接完成後將會回應 NAK。此位元不會影響有效的 SETUP token，當接收到一個有效的 SETUP token 與數據封包，若此時此位元為 0，則會無視此位元且會將收到的數據寫入接收 FIFO 緩衝區
	2	R/W	0/1	rxepen	接收端點致能設置: 將此位元設置為 1 以致能接收端點; 當此位元清除為 0，此時收到有效的 SETUP 或 OUT tokens 都不會有任何回應。此位元為 hardware read-only 且具有最高優先權高於 RXIE 與 RXSTL。需注意的是若為端點 0，此位元需在復位後馬上設置為 1 以進行接收 USB 命令。
	1	R/W	0	txoe	傳送輸出致能設置: 將此位元設置為 1 以致能 USB_TXDAT 內的數據可以被傳送出去，若此位元清除為 0，此端點在收到有效的 IN token 且此時 TXSTL 不為 1 時會回應 NAK
	0	R/W	0/1	txepen	傳送端點致能設置 將此位元設置為 1 以致能傳送端點; 當此位元清除為 0，此時即使收到有效的 IN token 亦不會有任何的回應。此位元為 hardware read-only。需注意的是若為端點 0，此位元需在復位後馬上設置為 1。
USB_TXDAT: Transmit FIFO Data (Endpoint-indexed)					
20h	31:8	-	-	-	保留
	7:0	W	-	txdat	傳送數據位元組 (唯寫): 將一個位元組卻傳送的數據寫入傳送 FIFO 緩衝區內，寫入完成後，寫入指標 (Write-Point) 會自動加 1

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
USB_TXCON: Transmit FIFO Control (Endpoint-indexed)					
24h	31:8	-	-	-	保留
	7	W	0	txclr	傳送 FIFO 緩衝區清除設置: 設置為 1 可清除傳送 FIFO 緩衝區內的數據、復位讀取指標與寫入指標、將 USB_TXFLG.EMPTY 設置為 1、並清除 USB_TXFLG 內除了 USB_TXFLG.EMPTY 之外的其它位元。當清除完成，硬體會自動清除此位元。
	6:0	-	-	-	保留
USB_TXFLG: Transmit FIFO Flag (Endpoint-indexed)					
28h	31:4	-	-	-	保留
	3	R	1	txemp	傳送 FIFO 緩衝區內容為空之旗標 (唯讀): 當 SIL 已經將傳送 FIFO 緩衝區內的數據全部讀出時，硬體會自動將此位元設置為 1，同時，當硬體發現傳送 FIFO 緩衝區內容不再為空時則會自重將此位元清除為 0。此位元總是追蹤著目前傳送 FIFO 緩衝區的狀態，即使傳送了長度為 0 的封包時，此位元亦會被設置為 1。
	2	R	0	txfull	傳送 FIFO 緩衝區內容已滿之旗標 (唯讀): 當 Firmware 設置暫存器 USB_TXCNT，則此位元會自動設置為 1 以反映出此時傳送 FIFO 緩衝區的狀況，當此筆數據被成功送出之後，硬體會自動清除此位元。
	1	R/W0c	0	txurf	傳送 FIFO 緩衝區數據欠載旗標 (唯讀、只可清除): 當傳送 FIFO 緩衝區內數據已空時，又額外再進行讀取，此時硬體會將此位元設置為 1，此時當收到 IN token 會回應 NAK，需透過 Firmware 將此位元清除為 0。當傳送 FIFO 緩衝區發生欠載的狀況，此時讀取指標將不會再往前增加，會鎖定在空的位置上。
	0	R/W0c	0	txovf	傳送 FIFO 緩衝區數據過載旗標 (唯讀、只可清除): 當傳送 FIFO 緩衝區內數據已滿時 (TXFULL = 1)，又額外再寫入數據，此時硬體會自動將此位元設置為 1，此時當收到 IN token 會回應 NAK，需透過 Firmware 將此位元清除為 0。當傳送 FIFO 緩衝區發生過載的狀況，此時寫入指標將不會再往前增加，會鎖定在滿的位置上。
USB_TXCNT: Transmit FIFO Byte Count (Endpoint-indexed)					
2ch	31:7	-	-	-	保留
	6:0	W	0	txcnt	傳送位元組數量 (唯寫): 將已寫入傳送 FIFO 緩衝區 (透過暫存器 USB_TXDAT) 內的位元組數量填入此暫存器以進行傳送，當其被進行填值時，TXFULL 會自動被設置為 1。
USB_TXSTAT: Endpoint Transmit Status (Endpoint-indexed)					
30h	31:8	-	-	-	保留
	7	R/W0	0	txseq	傳送順序位元 (唯讀、只能清除):

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
		c			此位元將於下一個 PID 時進行傳送，之後當收到有效 ACK 會自動在 0 與 1 之間進行切換。當收到一個有效的 SETUP token 後，硬體會自動切換此位元，SIE 會自動處理與追蹤此順序位元，所此位元只需在初始化一個新的設置或介面才需要進行清除。
	6:3	-	-	-	保留
	2	R	0	txvoid	傳送空白狀態 (唯讀): 在回應了一個有效的 IN token 之後就會發生傳送空白狀態，此狀態與傳送完成後所回應的 NAK 或 STALL 有非常緊密的關連，這是由於此狀況會造成傳送 FIFO 緩衝區無法或尚未準備好傳送。使用此位元來檢查傳送後的回應為 NAK 或是 STALL。此位元並不會影響 USBTxxINT、TXERR 或 TXACK 位元，且硬體會在完成一個非同步傳送結束後自動更新此位元。
	1	R	0	txerr	傳送錯誤狀態 (唯讀): 此位元為 1 時指出傳送時發生錯誤，全部或部份的數據已被傳送，此錯誤可能為以下 2 種狀況: 1. 數據傳送完成，但沒有接收到 handshake 2. 傳送 FIFO 緩衝區在傳送時發生數據欠載的狀況 在數據傳送結束時，硬體會自動更新此狀態位元與 TXACK 狀態位元，且此位元與 TXACK 狀態位元乃與互斥狀態
	0	R	0	txack	傳送承認狀態 (唯讀): 此位元為 1 時指出傳送完成且正確被接收，在數據傳送結束時，硬體會自動更新此狀態位元與 TXERR 狀態位元，且此位元與 TXERR 狀態位元乃與互斥狀態
USB_EPNUM: Endpoint Number (Endpoint-indexed)					
34h	31:4	-	-	-	保留
	3:0	R/W		epnm	USB 復位後，Endpoint 1~9 的預設值為 1~9。 使用者可以更改該值以更改顯示給 USB 主機的映射 Endpoint 編號。
USB_DBCON: Double Buffer Control (Endpoint-indexed, for EP1~6 and 9)					
38h	31:8	-	-	-	保留
	7	R/W	0	dben	Double buffer 啟用 (for EP1~6 and 9)
	6:5	-	-	-	保留
	4:0	R/W		dbbank	雙緩衝庫編號。每區塊(bank)佔用 64 個位元組。使用此暫存器可以分配第二個緩衝區的位址。
USB_NOTEBOOK: General purpose 8-bit register					
3ch	31:8	-	-	-	保留
	7:0	R/W	0	notebook	通用之 8 位元暫存器
USB_USBFI_CLR: USB Function Interrupt Clear					
40h	31:11	-	-	-	保留
	10	W		usbx9int_clr	USB 端點 9 中斷清除設置。寫 1 以清除 USB 端點 9 中斷

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	9:8	-	-	-	-
	7	W		usbx6int_clr	USB 端點 6 中斷清除設置。寫 1 以清除 USB 端點 6 中斷
	6	W		usbx5int_clr	USB 端點 5 中斷清除設置。寫 1 以清除 USB 端點 5 中斷
	5	W		usbx4int_clr	USB 端點 4 中斷清除設置。寫 1 以清除 USB 端點 4 中斷
	4	W		usbx3int_clr	USB 端點 3 中斷清除設置。寫 1 以清除 USB 端點 3 中斷
	3	W		usbx2int_clr	USB 端點 2 中斷清除設置。寫 1 以清除 USB 端點 2 中斷
	2	W		usbx1int_clr	USB 端點 1 中斷清除設置。寫 1 以清除 USB 端點 1 中斷
	1	W		usbrx0int_clr	USB 端點 0 接收中斷清除設置。寫 1 以清除 USB 端點 0 接收中斷
	0	W		Usbtx0int_clr	USB 端點 0 傳送中斷清除設置。寫 1 以清除 USB 端點 0 接收中斷
USB_USBFI2: USB Function Interrupt Register 2					
44h	31:8	-	-	-	保留
	7	R/W0c	0	usbint	USB 復位中斷旗標
	6	R/W0c	0	resume	USB SIE 檢測到 USB 線路上的 RESUME 信號。此中斷用於終止低功耗模式。
	5	R/W0c	0	suspend	USB SIE 檢測到 USB 線路上之暫停信號。相應的 ISR應將整個晶片置於低功耗模式。
	4	-	-	-	保留
	3	R/W0c	0	sofint	SOF/PSOF中斷旗標
	2:0	-	-	-	保留
USB_USBFIE2: USB Function Interrupt Enable Register 2					
48h	31:8	-	-	-	保留
	7	R/W	0	nakint_ie	NACK 中斷啟用: 設置此位元以啟用 USB NACK 中斷，此時不管回應 ACK、NAK、或 STALL 皆會發生中斷
	6	R/W	0	resume_ie	USB RESUME中斷啟用.
	5	R/W	0	suspend_ie	USB SUSPEND中斷啟用.
	4	R/W	0	stallint_ie	STALL 中斷啟用: 設置此位元以啟用 USB stall 中斷，當回應 STALL 時則會發生中斷。
	3	R/W	0	tgerr_ie	RX-TOGGLE-ERROR 中斷啟用: 設置此位元以啟用 RX-TOGGLE-ERROR 中斷，當接收數據的 toggle 位元發生錯誤時會發生中斷 (RX_ERR/RXACK 會清為 0)
	2	R/W	0	sof_ie	SOF/PSOF中斷啟用
	1	R/W	0	usbrt_ie	USB RESET中斷啟用
	0	R/W	0	resume_ie2	USB RESUME中斷啟用2, DP=0 時喚醒 MCU。
USB_DBSTAT: Double Buffer Status (Endpoint-indexed, for EP1~6 and 9)					
54h	31:8	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	7	R	0	dfull_1	第二個緩衝區已滿狀態旗標
	6	R	0	dfull_0	第一個緩衝區已滿狀態旗標
	5	R	0	sil_bi	SIL 將使用之緩衝區: 0: 第一個緩衝區，1: 第二個緩衝區
	4	R	0	sil_cpu	CPU 將使用之緩衝區: 0: 第一個緩衝區，1: 第二個緩衝區
	3	-	-	-	保留
	2	R	0	rtfull_cpu	CPU 的緩衝區已滿狀態。(== dfull[sil_cpu])
	1:0	-	-	-	保留
USB_RXDAT: Receive FIFO Data (Endpoint-indexed)					
60h	31:8	-	-	-	保留
	7:0	R	-	rxdat	接收資料位元組 (唯讀): SIL 收到數據後會透過這個暫存器寫入至接收 FIFO 緩衝區; 而 CPU 則利用這個暫存器來從接收 FIFO 緩衝區中讀取數據。在進行寫入或讀取之後，寫入指標與讀取指標自動進行累加。
USB_RXCON: Receive FIFO Control (Endpoint-indexed)					
64h	31:8	-	-	-	保留
	7	W	0	rxclr	清除接收 FIFO 緩衝區: 設置此位元可將接收 FIFO 緩衝區內數據完全清除，RXFLG 中的全部旗標皆會回到復位值 (即 RXEMP = 1，而其它的旗標 = 0)，當清除完成後，硬體會自動清除此位元。
	6:5	-	-	-	保留
	4	W	0	rxffrc	接收FIFO 讀取完成設置: 當一組數據從接收FIFO緩衝區中完全讀出之後，將此位元設置為 1 來釋放 FIFO 緩衝區，此時 USB_RXFLG.RXFULL會被清為0，之後硬體會自動將此位元清為0。當要設置此位元時需確認全部的數據已經讀出且只有在STOVW與EDOVW為0的情況下方能動作。
	3:0	-	-	-	保留
USB_RXFLG: Receive FIFO Flag (Endpoint-indexed)					
68h	31:8	-	-	-	保留
	7	R/W0c	0	sendnak	NAK 旗標 (唯讀、清除): 1: SIE 回應 NAK 至 Host 端 (當 NAKINT_IE = 1 時方會被設置)
	6	R/W0c	0	sendstall	STALL 旗標 (唯讀、僅清除): 1: 回應STALL至host端 (當STALLINT_IE = 1時方會被設置)
	5	R/W0c	0	tgerr	RX-TGERR 旗標 (唯讀、僅清除): 1: 接收數據toggle錯誤 (當TGERR_IE =1時方會被設置)
	4	-	-	-	保留
	3	R	1	rxemp	接收FIFO緩衝區空之旗標 (read-only): 1: 當一組數據從接收FIFO緩衝區被全部讀出時，硬體會自動將此位元設置為1; 同時當接收FIFO緩

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					衝區不再為空時，硬體亦會自動將此位元清除為0。此位元非一黏著位元且總是隨著目前的狀態進行改變。此位元在收到一個長度為0的數據時亦會被設置為1。
	2	R	0	rxfull	接收 FIFO 全旗標 (唯讀): 此旗標指示接收 FIFO 中存在資料集。硬體在成功接收資料集時設置此位元。寫入 RXCNT 後將清除此位元，以反映資料集的狀況。同樣，在設置RXFFRC位元後將清除此位元。
	1	R/W0c	0	rxurf	接收FIFO緩衝區數據欠載旗標 (唯讀、僅清除) 1: 當從空的接收FIFO緩衝區中再讀取額外的位元組，則硬體會自動將此位元設置為1，此時讀取指標將會被鎖定在空的位置而不會往前。清除的方式需利用firmware將此位元清除為0。當此位元為1 ，全部的傳輸將會回應NAK 注意: 只有 EP0 具有此旗標。
	0	R/W0c	~~0~~	rxovf	接收 FIFO 緩衝區數據過載旗標 (唯讀、僅清除) 1: 接收 FIFO 緩衝區已滿 (即 RXFULL = 1)，此時若 SIL 再寫入一額外的位元組數據至緩衝區內，則硬體會自動將此位元設置為 1，此時寫入指標將會被鎖定在滿的位置。此為一黏著位元且需利用 firmware 將此位元清除為 0，即使當收到 SETUP 封包時，硬體亦會自動清除此位元。當此位元為 1，全部的傳輸將會回應 NAK 注意:只有 EP0 具有此旗標。
USB_RXCNT: Receive FIFO Byte Count (Endpoint-indexed)					
6ch	31:7	-	-	-	保留
	6:0	R	0	rxcnt	接收FIFO緩衝區位元組數量 (唯讀): 接收FIFO緩衝區內之位元組數量。當此暫存器被寫入時，RXFULL會到成功回應ACK之後才會被硬體設置為1。當SIL寫入一組數據至接收FIFO緩衝區之後，會將數據的數量寫入此暫存器，此時CPU讀取此暫存器來得知接收FIFO緩衝區內有多少位元組的數據。
USB_RXSTAT: Endpoint Receive Status (Endpoint-indexed)					
70h	31:8	-	-	-	保留
	7	R/W0c	0	rxseq	接收 Endpoint 序列位 (讀取，僅清除): 當收到 OUT 數據封包且正確回應 ACK，則此位元會自動進行 0 與 1 之切換; 而當收到 SETUP 封包時，硬體會自動將此位元設置為 1。SIL 會自動切換此位元，所以只有在初始化一個設置或介面時才需要使用到此位元，假如不想改變連續位元的值，可在寫入此暫存器時將此位元設置為 1
	6	R/W0c	0	rxsetup	接收 SETUP 封包(Setup Token) (唯讀、清除): 當接到一筆正確之 SETUP 封包時，硬體會自動將此位元設置為 1。當 SIL 將此位元設置為 1 時，此後的 IN 或 OUT token 都將會自動回應 NAK 直到此位元被清除才允許一控制傳輸的進行，此時即使此

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					端點為 STALL (RXSTL 或 TXSTL) 狀態，IN 或 OUT Token 依然會回應 NAK 以允許系統透過控制傳輸來將此端點之 STALL 狀態進行清除。當 firmware 已完成 SETUP 數據處理後將此位元進行清除
	5	R	0	stovw	開始覆寫旗標 (read-only): 硬體在開始接收SETUP封包之前會將此位元設置為1，以通知目前正有一筆新的SETUP封包正在寫入至接收FIFO緩衝區。當此位元被設置為1，接收FIFO狀態 (RXFULL與讀取指標) 將會被復位與鎖定直到EDOVW被設置為1，如此可避免當正在進行接收FIFO緩衝區的清除以及寫入新的數據的時候，剛好firmware也正在讀取接收FIFO緩衝區造成讀取指標被篡改。當接收完SETUP之數據且回應ACK之後，硬體會自動將此位元清除為0 ，此位元只使用於控制端點。
	4	R/W0c	0	edovw	結束覆寫旗標 (唯讀、唯讀): 每當接收完 SETUP 之數據且處於交握階段時，硬體會自動將此位元設置為 1。當要讀取接收 FIFO 緩衝區的數據前，需先將此位元清為 0。當此位元為 1 時，接收 FIFO 緩衝區之狀態 (RXFULL 與讀取指標) 將會被鎖定直到此位元被清除為止，如此可避免當正在寫入新的數據至接收 FIFO 緩衝區的時候，剛好 firmware 也正在讀取接收 FIFO 緩衝區造成讀取 指標被篡改。此位元只使用於控制端點。 注意: 當要讀取接收 FIFO 緩衝區的數據前，需先將此位元清為 0
	3	-	-	-	保留
	2	R	0	rxvoid	避免接收狀態 (唯讀): 當一 SETUP 或 OUT Token 來了但卻沒有有效的數據被接收時此位元會被設置為 1，一般為以下狀況: 1. 接收 FIFO 緩衝區仍然是被鎖定的狀態 2. 暫存器 USB_EPCON.RXSTL 被設置為 1 此位元是由硬體來進行設置與清除，當硬體回應一有效的 OUT Token 之後，在傳輸結束時更新此位元。
	1	R	0	rxerr	接收錯誤狀態 (唯讀): 當接收發生錯誤時，此位元會被設置為 1，此時全部或部份的數據已寫入至接收 FIFO 緩衝區，且不會回應交握數據，此錯誤發生於以下狀況: 1. 數據之 CRC 檢驗錯誤 2. 位元填塞 (Bit stuffing) 錯誤 3. 當接收時接收 FIFO 緩衝區發生過載或欠載的狀況 此位元會在收到有效的 SETUP 或 OUT token 傳輸結束時由硬體進行更新，同時相對應的接收完成位元亦會被設置。此位元與 RXACK 會在數據接收完成時進行更新，且與 RXACK 為互斥之狀態。
	0	R	0	rxack	接收確認狀態 (唯讀):

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					當數據完成接收存入至收 FIFO 緩衝區且回應 ACK 之後，此位元會被設置為 1 ，此位元會在收到有效的 SETUP 或 OUT token 傳輸結束時由硬體進行更新，同時相對應的接收完成位元亦會被設置。此位元與 RXERR 會在數據接收完成時進行更新，且與 RXERR 為互斥之狀態。
USB_EP7_CON: EP7 Control					
80h	31:2	-	-	-	保留
	1	R/W	0	ep7_dma_en	1: 啟用端點7之DMA傳輸
	0	R/W	0	ep7_en	0: 禁能端點7功能 1: 啟用端點7功能
USB_EP7_STAT: EP7 Status					
84h	31:13	-	-	-	保留
	12	R	0	ep7_tx_full	端點7傳送FIFO緩衝區已滿狀態
	11:10	-	-	-	保留
	9:0	R	0	ep7_tx_len	端點7傳送FIFO緩區內之位元組數量
USB_EP7_BASE: EP7 Base					
88h	31:9	-	-	-	保留
	8:0	R/W	0	ep7_base	USB端點7傳送FIFO緩衝區之起始指標 端點7與端點8共用512個位元組之FIFO緩衝區，以此暫存器來設置端點7之傳送FIFO緩衝區起始指標之位置
USB_EP7_LIMIT: EP7 Limit					
8ch	31:10	-	-	-	保留
	9:0	R/W	100h	ep7_limit	端點7之傳送FIFO緩衝區大小設置: 端點7與端點8共用512個位元組之FIFO緩衝區，以此暫存器來設置端點7之傳送FIFO緩衝區之大小
USB_EP7_W_BYTE: EP7 Write Data Byte					
90h	31:8	-	-	-	保留
	7:0	W	-	ep7_w_byte	端點7 傳送FIFO緩衝區數據寫入暫存器
USB_EP8_CON: EP8 Control					
a0h	31:2	-	-	-	保留
	1	R/W	0	ep8_dma_en	1: 致能端點8之DMA傳輸
	0	R/W	0	ep8_en	0: 禁能端點8功能 1: 致能端點8功能
USB_EP8_STAT: EP8 Status					
a4h	31:12	-	-	-	保留
	11	R	0	ep8_rx_empty	端點8接收FIFO緩衝區為空之狀態
	10	R	-	ep8_rx_err	端點8錯誤狀態(CRC Error)
	9:0	R	0	ep8_rx_len	端點8 接收FIFO緩衝區內數據之長度
USB_EP8_BASE: EP8 Base					
a8h	31:9	-	-	-	保留
	8:0	R/W	100h	ep8_base	端點8接收FIFO緩衝區之起始指標設置: 端點7與端點8共用512個位元組之FIFO緩衝區，以此暫存器來設置端點8之接收FIFO緩衝區起始指標之位置
USB_EP8_LIMIT: EP8 Limit					

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
ach	31:10	-	-	-	保留
	9:0	R/W	100h	ep8_limit	端點8 之接收FIFO緩衝區大小設置: 端點7與端點8共用512個位元組之FIFO緩衝區，以此暫存器來設置端點8之傳送FIFO緩衝區之大小
USB_EP8_R_BYTE: EP8 Read Data Byte					
b0h	31:8	-	-	-	保留
	7:0	R	-	ep8_r_byte	端點8接收FIFO緩衝區數據讀取暫存器
USB_FRAME: Frame Status					
c0h	31:13	-	-	-	保留
	12	R	0	frame_miss	USB訊框 (Frame) 消失狀態 1: 未收到預期該來的SOF (只有當PSOF致能時方為有效)
	11	R	0	frame_error	USB訊框 (Frame) 錯誤狀態 1: 上一筆SOF封包發生錯誤
	10:0	R	0	frame	USB訊框號碼

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

9.4 功能描述

9.4.1 主要功能模組

USB 模組由四個部份組成，即 USB 全速收發器、串列介面引擎 (SIE)、系統介面邏輯 (SIL)、以及傳送/接收 FIFO 緩衝區，其中 USB 收發器提供一個實體介面與 USB 訊號線進行通訊，SIE 負責 USB 通訊協議，SIL 負責數據的傳輸，同時為 SIE、FIFO 緩衝區、以及 CPU 核心提供一個通訊的介面。

USB 模組中的主要模組包括:

2. **全速 USB 收發器**:此為一內建之收發器，帶有一組差動訊號驅動器，可用來傳送數據至 USB 訊號線或者由 USB 訊號線上接收由 USB Host 所發出來的數據，此 USB 訊號線即一般 USB 所定義的 D+與 D-兩條差動訊號。

3. **串列匯流排界面引擎 (SIE)**: SIE 負責 USB 協議中的前端功能，舉凡時鐘(Clock) 與數據 (Data) 訊號的分離、同步訊號的識別、NRZI-NRZ 的轉換、標記封包的解碼、數據位元的拆解、NRZ-NRZI 的轉換、CRC5 校驗、以及 CRC16 的產生與校驗，此外也負責偵測 USB 訊號線上所發生的 USB 復位 (Reset)、休眠 (Suspend)、以及喚醒 (Resume)等訊號及可遠端喚醒上游的 USB Port 如 HUB 或 Host 等。SIE 同時亦負責將 USB 收發器所接收的串列數據轉換為八位元之並列數據給 SIL 並同時將 SIL 的八位元並列數據轉換成串列數據以利於 USB 收發器進行發送。

4. **系統介面邏輯 (SIL)**: SIL 為 CPU 提供一介面，讓 CPU 得以控制 FIFO 緩衝區以進行數據的傳送與接收。SIL 同時具有以下功能如監控 USB 傳輸的狀態、透過中斷機制來提供 CPU 控制數據的傳輸、於 USB 訊號線上產生喚醒訊號 (系統處於休眠狀態時)。CPU 可透過 USB 特殊暫存器來控制 SIL。

5. **裝置功能**: USB 裝置功能具有 10 個端點且支援 4 個 USB 數據傳輸模式: 控制傳輸模式、中斷傳輸模式、巨量傳輸模式、以及非同步傳輸模式。傳送 FIFO 緩衝區提供給 CPU 進行數據寫入，然後 SIL 再進行數據讀取並進行數據傳送; 接收 FIFO 緩衝區則是提供給 SIL 進行數據寫入，然後 CPU 再進行數據讀取以取得收到數據。端點 0 支援控制傳輸模式，提供客戶端軟體與裝置之間進行設置、命令、以及狀態通訊流程; 端點 1~6 與端點 9 支援中斷及巨量傳輸模式; 端點 7 支援同步輸入傳輸; 端點 8 支援同步輸出傳輸。

9.4.2 功能端點

USB 模組支援 10 個裝置功能端點 (Endpoint)，端點 0 包含兩個 FIFO 緩衝區，即傳送 FIFO 與接收 FIFO 緩衝區，負責控制型數據模式的傳輸; 端點 1~6 與端點 9 可個別程式控制為傳送或接收，可程式規畫為中斷或巨量傳輸模式; 端點 7 與端點 8 專用於非同步傳輸模式。各個端點的特殊暫存器庫乃是透過特殊暫存器 USB_EPINDEX 進行切換。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

9.4.3 傳輸 FIFOs

9.4.3.1 傳輸 FIFOs 概述

USB 傳輸 FIFO 是具有以下功能的資料緩衝區 (參見圖 35)

- USB 支援一個不大於 8/16/32/64 位元組的資料集 (可利用程式進行設置)。
- 一個位元組計數暫存器，用來儲存資料集中所含資料之位元組數
- 當 FIFO 中已有完整資料時，會防止被新資料集覆蓋
- 當傳輸因故未成，能自動重新傳輸當前資料集

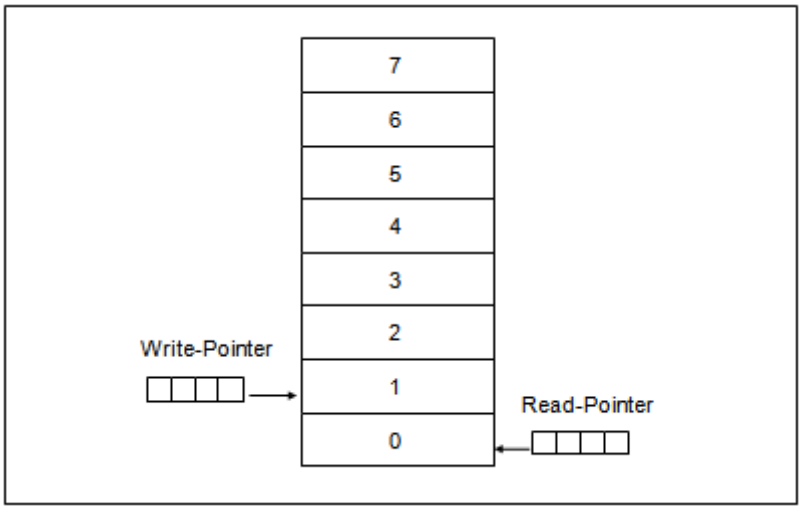


圖 35 傳輸 FIFO 緩衝區概觀 (以 8 位元組 FIFO 為例)

當 CPU 要將數據寫入傳送 FIFO 緩衝區，會將數據重複寫入一個特定暫存器，即 USB_TXDAT，每寫入一個位元組的數據，則寫入指標(Write-Point) 會自動加 1; 而當每讀取一個位元組的數據時，寫入指標(Write-Point) 會自動減 1。讀取指標(Read-pointer) 則指向下一個 SIL 準備讀取之數據位元組，當 SIL 讀取一個位元組的數據，則讀取指標(Read-pointer) 會自動加 1。傳送 FIFO 衝緩區在內容為空或者數據寫入未完成時會禁止 SIL 進行數據的讀取。

9.4.3.2 傳輸資料集管理

當暫存器 USB_TXFLG.TXFULL = 1 代表數據已經完成寫入至傳送 FIFO 緩衝區且可以進行傳送; 當發生復位時，USB_TXFLG.TXFULL = 0 且 USB_TXFLG.TXEMP = 1，此時代表傳送 FIFO 緩衝區內無任何數據; 在此例中(即使用 8 位元組 FIFO 為例)，當要傳送的數據大於 8 個位元組時，則只有最前面的 8 個位元組會被寫至傳送 FIFO 緩衝區內，此時 USB_TXFLG.TXFULL 尚不等於 1，直到設置 TXCNT = 8 之後，USB_TXFLG.TXFULL 才會為 1，在此需注意的是 USB_TXCNT 的內容值決定了有多少位元組的數據會傳送至 USB 訊號線上，當寫入傳送 FIFO 緩衝區內的數據數量若與填入 USB_TXCNT 內的數量不同的話，會發生不可預期的結果。此外，當傳送 FIFO 緩衝

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

區為空或者是 USB_TXFLG.TXFULL = 0 時，傳送 FIFO 緩衝區是禁止讀取的。

以下兩個事件會導致 USB_TXFLG. TXFULL 的值進行更新:

- 新的資料集寫入至傳輸 FIFO 緩衝區: 當 CPU 寫入幾個位元組之數據至暫存器 USB_TXDAT，亦將位元組的數量寫入至暫存器 USB_TXCNT，則只有在設置了暫存器 USB_TXCNT 之後 USB_TXFLG.TXFULL 會被設置為 1; 若將 0 填入 USB_TXCNT 之中，則代表一組長度為 0 的數據傳送出去，此時 USB_TXFLG.TXFULL 依然會被設置為 1，同時 USB_TXFLG.TXEMP 則無改變，依然指出傳送 FIFO 緩衝區內為空，請參照下面表格 22
- 成功傳輸 FIFO 中的資料集: SIL 從傳送 FIFO 緩衝區內讀取數據並傳送出現，此時若傳送成功且收到 Host 所下的 Ack 封包，則 USB_TXFLG.TXFULL 會被清為 0 且同時 TXFLG.TXEMP 會被設為 1。

表格 21　寫入位元組計數暫存器

TXFULL	TXEMP	零長度之傳輸	寫入資料集至 TXDAT	資料集寫入	TXFULL	TXEMP
0	0	No		Yes	1	0
0	1	No		Yes	1	0
0	1	Yes	寫入數量至 TXCNT	No	1	1
1	-	-		寫入忽略	1	-

當數據正常被傳送完成，讀取指標 (Read_Pointer) 與寫入指標 (Write_Pointer) 皆會被設置至傳送 FIFO 緩衝區的起始位置，以準備進行下一筆數據; 反之，當傳送過程發生問題，此時讀取指標 (Read_Pointer) 會回到傳送 FIFO 緩衝區的起始位置，同時 SIL 會重新讀取此筆數據以進行重送。數據指標完全是由硬體進行控制，表格 23 列出傳送完成後依據 USB_TXSTAT.TXERR 與 USB_TXSTAT.TXACK 的不同，讀取指標 (Read_Pointer) 與寫入指標 (Write_Pointer) 有何相對應的動作。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

表格 22　傳輸 FIFO 管理真值表

TXERR	TXACK	傳輸完成後之動作
0	0	無動作
0	1	讀取指標 (Read_Pointer) 與寫入指標 (Write_Pointer) 皆會被設置至傳送 FIFO 緩衝區的起始位置
1	0	讀取指標 (Read_Pointer) 會被設置至傳送 FIFO 緩衝區的起始位置

9.4.4 接收 FIFOs

9.4.4.1 接收 FIFOs 概述

接收 FIFO 是具有以下功能的資料緩衝區 (參見圖 36):

- 支援一個不大於 8/16/32/64 位元組的資料集
- 一個位元組計數暫存器，用來儲存資料集中的位元組數量
- 具相關之旗標以告知此時接收 FIFO 緩衝區已滿或為和空
- 當接收因故未完成，能自動重新接收最後一個資料集

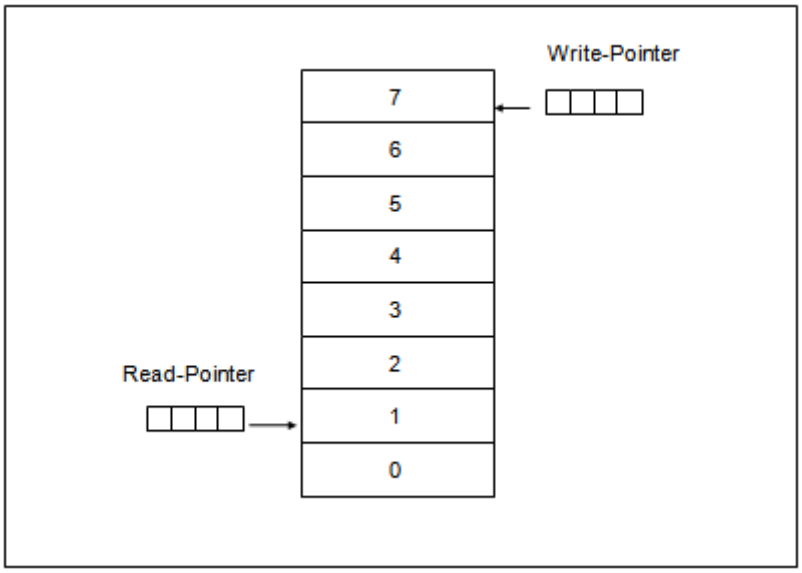


圖 36　接收 FIFO 概觀 (以 8 位元組 FIFO 為例)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

當 SIL 將數據寫入接收 FIFO 緩衝區，此時每寫入一個位元組，則寫入指標 (Write-Point) 會自動加 1; 而當每讀取一個位元組的數據時，寫入指標 (Write-Point) 會自動減 1。讀取指標 (Read-pointer) 則指向下一個 CPU 準備讀取之數據位元組，當 CPU 讀取一個位元組的數據，則讀取指標 (Read-pointer) 會自動加 1。接收 FIFO 衝緩區在內容為空或者數據寫入未完成時會禁止 CPU 進行數據的讀取。當 SIL 偵測到收到的數據是屬於 SETUP 數據封包時，SIL 會自動清除接收 FIFO 緩衝區並開始將 SETUP 數據內容寫入至接收 FIFO 緩衝區內，即使此時 CPU 正在讀取接收 FIFO 緩衝區內的數據。

9.4.4.2 接收資料集管理

當暫存器 USB_RXFLG.RXFULL = 1 代表數據已經完成寫入至接收 FIFO 緩衝區且可以進行讀取; 當發生復位時，USB_RXFLG.RXFULL = 0 且 USB_RXFLG.RXEMP = 1，此時代表接收 FIFO 緩衝區內無任何數據; 在此例中(即使用 8 位元組 FIFO 為例)，當要接收的數據大於 8 個位元組時，則只有最前面的 8 個位元組會被寫至接收 FIFO 緩衝區內，此時 RXFLG.RXFULL 尚不等於 1，直到此筆數據接收完成且回應 HOST ACK 之後，USB_RXFLG.RXFULL 才會為 1。當 CPU 成功從接收 FIFO 緩衝區內將數據讀出之後，需透過 Firmware 將 USB_RXCON. RXFFRC 設置為 1 來清除將 USB_RXFLG.RXFULL 清為 0。在此需注意的是 CPU 在開始讀取接收 FIFO 緩衝區之前，要先讀取暫存器 USB_RXCNT 的值來確定接收 FIFO 緩衝區內有多少位元組的數據，當 CPU 讀取超過接收 FIFO 緩衝區內所含的數據時，所讀取到超過的部份是無意義的。

表格 23 Status of the Receive FIFO Data Set

0	0	SIL 正在將數據寫入接收 FIFO 緩衝區
RXFULL	**RXEMP**	**狀態**
0	1	接收 FIFO 緩衝區無數據在其中
1	0	SIL 已經將數據寫入接收 FIFO 緩衝區
1	1	接收到長度為 0 之數據封包

當數據正常被接收完成，且 CPU 完成讀取之後，Firmware 需將 USB_RXCON. FFRC 設置為 1 來將寫入指標 (Write_Pointer) 與讀取指標 (Read_Pointer) 設置為接收 FIFO 緩衝區的起始位置，以準備進行下一筆數據; 當接收過程發生問題，寫入指標 (Write_Pointer) 將回到接收 FIFO 緩衝區的起始位置，同時 SIL 會自動重新接收此筆數據並將此筆數據再次寫入接收 FIFO 緩衝區。數據指標完全是由硬體進行控制，表格 25 列出接收完成後依據 USB_RXSTAT.RXERR 與 USB_RXSTAT.RXACK 的不同，讀取指標 (Read_Pointer) 與寫入指標 (Write_Pointer) 有何相對應的動作。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

表格 24　接收 FIFO 管理的真值表

RXERR	RXACK	傳輸完成後之動作
0	0	無操作
0	1	當 Firmware 將 RXCON. FFRC 設置為 1，讀取指標 (Read_Pointer) 與寫入指標 (Write_Pointer) 皆會被設置至傳送 FIFO 緩衝區的起始位置
1	0	寫入指標 (Write_Pointer) 會被設置至接收 FIFO 緩衝區的起始位置

9.4.5　Setup Token 接收 FIFO 緩衝區處理

主機端會從端點 0 下 SETUP token，收到之後必須回應 ACK 即使此時的接收 FIFO 緩衝區內尚有數據。當 SIL 偵測到 SETUP token，SIL 會清除接收 FIOF 緩衝區，同時將 USB_RXSTAT. STOVW 設置為 1 以清除與鎖定接收 FIFO 緩衝區之讀取指標 (Read_Pointer)，這是為了防止當 CPU 正在讀取接收 FIFO 緩衝區時，因為 SIL 清除接收 FIFO 緩衝區造成 USB_RXFLG. RXURF 以及讀取指標 (Read_Pointer) 會被進行設置; 當 SETUP 封包數據成功接收且回應 ACK 之後，RXSTAT. STOVW 會被自動清除，同時 USB_RXSTAT. EDOVW 會被設置為 1 ，此時接收 FIFO 緩衝區之讀取指標 (Read_Pointer) 依然是被鎖定的，直到 USB_RXSTAT. STOVW 與 USB_RXSTAT. USB_EDOVW 皆為 0 為止，Firmware 在讀取 SETUP 封包數據之前，必須先清除 USB_RXSTAT.EDOVW，否則將無法從接收 FIFO 緩衝區讀取數據; 在處理完 SETUP 封包之後，Firmware 應該要先檢查 USB_RXSTAT. STOVW 與 USB_RXSTAT. EDOVW 時狀態之後再進行 USB_RXCON. RXFFRC 設置，這是因為當 SETUP 封包已經在 FIFO 之內或是正在接收的時候，此時 USB_RXSTAT. STOVW 與 USB_RXSTAT. EDOVW 兩者有任何一個不為 0，此時對 USB_RXCON. RXFFRC 進行設置是無效的。

9.4.6　暫停與恢復 (Suspend and Resume)

為了降低電源消耗，當 CPU 發現 USB 訊號超過 3ms 沒有任何動作時會自動進入暫停(Suspend)狀態，在此狀態中，CPU 以及所有的週邊皆處於低耗電(Power down)模式，此時會開啟中斷以致能恢復(Resume)喚醒的功能(亦可同時致能遠端喚醒(Remote wakeup)的功能)，且整個 CPU 的耗電會降至 500μA 以下。

在暫停(Suspend)模式下，當 USB 訊號有動作時，WT32L064/032 會離開暫停(Suspend)模式。一般 USB 裝置同時亦可以產生 USB 喚醒訊號來要求 HOST 離開暫停(Suspend)模式或選擇性的暫停(Suspend)模式，此即為遠端喚醒之功能，此功能可以選擇是否開啟，而 CPU 亦可允許 HOST 來致能或禁能此功能(遠端喚醒)，下面圖 37 描述了這些電源狀態。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

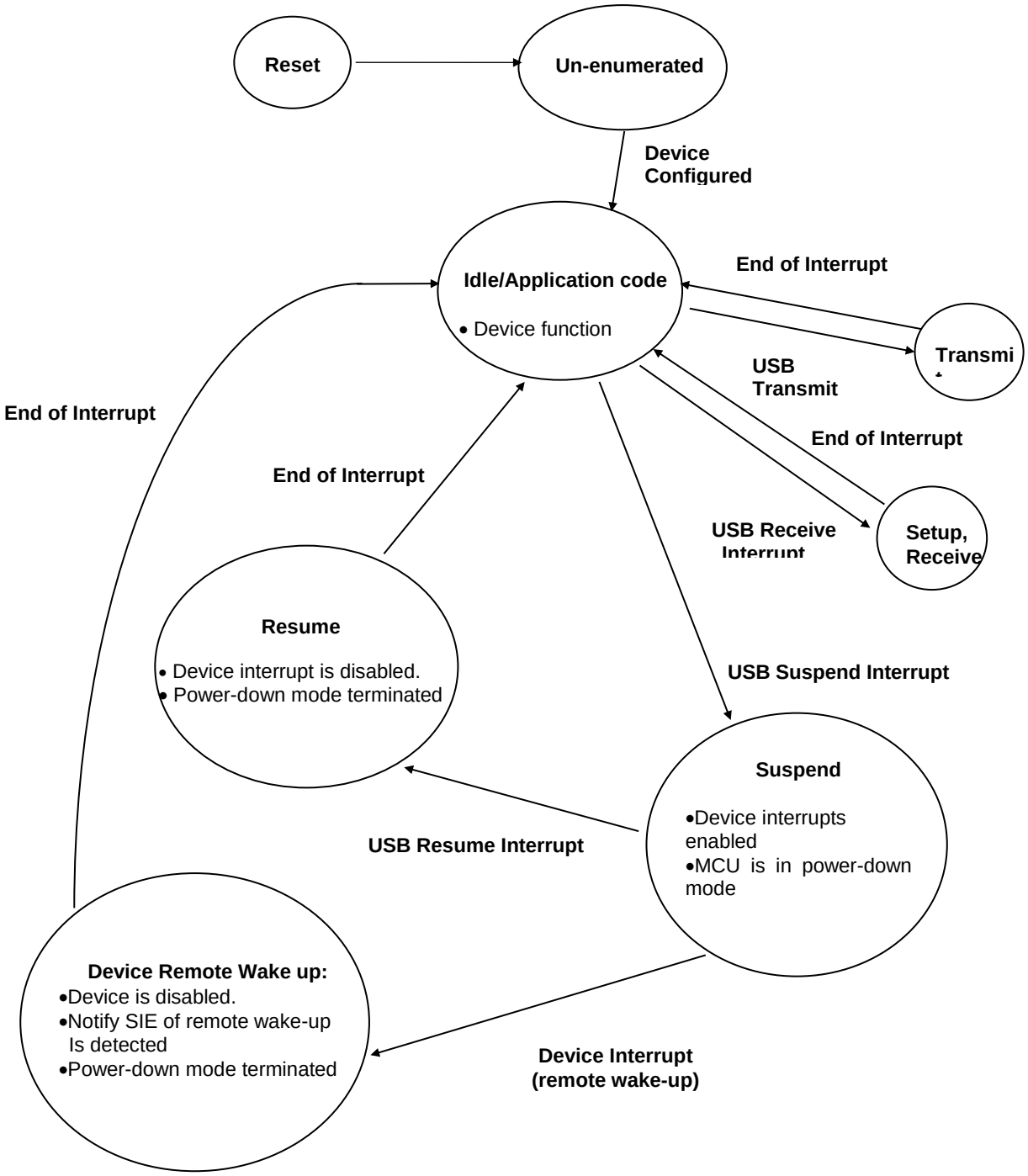


圖 37　　暫停 (Suspend)和恢復 (Resume)狀態圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

9.4.7 FIFO 記憶體位址映射

在初始狀態下，每個 Endpoint 都有其自己的 FIFO 記憶體空間，如果未使用某些端點時，則可以通過正確程式設置 DBCON 暫存器的 DBBANK 欄位，將其記憶體空間重新用作其它支援雙緩衝區端點的第二個緩衝區。

表格 25 FIFO 記憶體位址映射

bank	address	default EP0~6 and EP9 buffer space	Default EP7 & EP8 Isochronous buffer space
0	000h ~ 03fh	EP0_TX	
1	040h ~ 07fh	EP0_RX	
2	080h ~ 0bfh	EP1	
3	0c0h ~ 0ffh	EP2	
4	100h ~ 13fh	EP3	
5	140h ~ 17fh	EP4	
6	180h ~ 1bfh	EP5	
7	1c0h ~ 1ffh	EP6	
8	200h ~ 23fh		EP7
9	240h ~ 27fh		EP7
10	280h ~ 2bfh		EP7
11	2c0h ~ 2ffh		EP7
12	300h ~ 33fh		EP8
13	340h ~ 37fh		EP8
14	380h ~ 3bfh		EP8
15	3c0h ~ 3ffh		EP8
16	400h ~ 43fh		EP7
17	440h ~ 47fh		EP7
18	480h ~ 4bfh		EP7
19	4c0h ~ 4ffh		EP7
20	500h ~ 53fh		EP8
21	540h ~ 57fh		EP8
22	580h ~ 5bfh		EP8
23	5c0h ~ 5ffh		EP8
24	600h ~ 63fh	EP9	

start_addr(bank) = 64*bank

start_addr_1st(EP7) = 200h + EP7_BASE, start_addr_1st(EP8) = 200h + EP8_BASE

start_addr_2nd(EP7) = 400h + EP7_BASE, start_addr_2nd(EP8) = 400h + EP8_BASE

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

10 時鐘還原系統

10.1 主要概述

時鐘恢復系統 (CRS)是一種先進的數位控制器，用於內部精細可調節(trimming)RC振盪器HSI48。CRS基於與可選同步信號的比較，為振盪器輸出頻率評估提供了有力的手段。它能夠根據測量的頻率誤差值自動調整振盪器調節(trimming)，同時保持手動調節(trimming)的可能性。

CRS 非常適合為 USB 週邊提供精確的時鐘。在這種情況下，同步信號可以從 USB 匯流排上的幀啟動(start-of-frame, SOF) 的資料包與產生信號化(signalization)，該信號指令由 USB 主機以精確的 1 毫秒間隔發送。

同步信號也可以從LSE振盪器輸出或外部引腳產生，也可以由使用者軟體產生。

主要功能

- 可選擇同步源，具有可程式設定的預除器(prescaler)和極性:
  - External pin
  - LSE oscillator output
  - USB SOF packet reception
- 通過軟體產生同步脈衝的可能性
- 自動振盪器調節(trimming)功能，無需 CPU 操作
- 手動控制選項，可加快啟動收斂
- 16 位元頻率誤差計數器，具有自動錯誤值捕獲和重新載入
- 用於自動頻率誤差值評估和狀態報表的可程式設定限制
- 可遮罩的中斷與事件:
  - Expected synchronization (ESYNC)
  - Synchronization OK (SYNCOK)
  - Synchronization warning (SYNCWARN)
  - Synchronization or trimming error (ERR)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

10.2 方塊圖

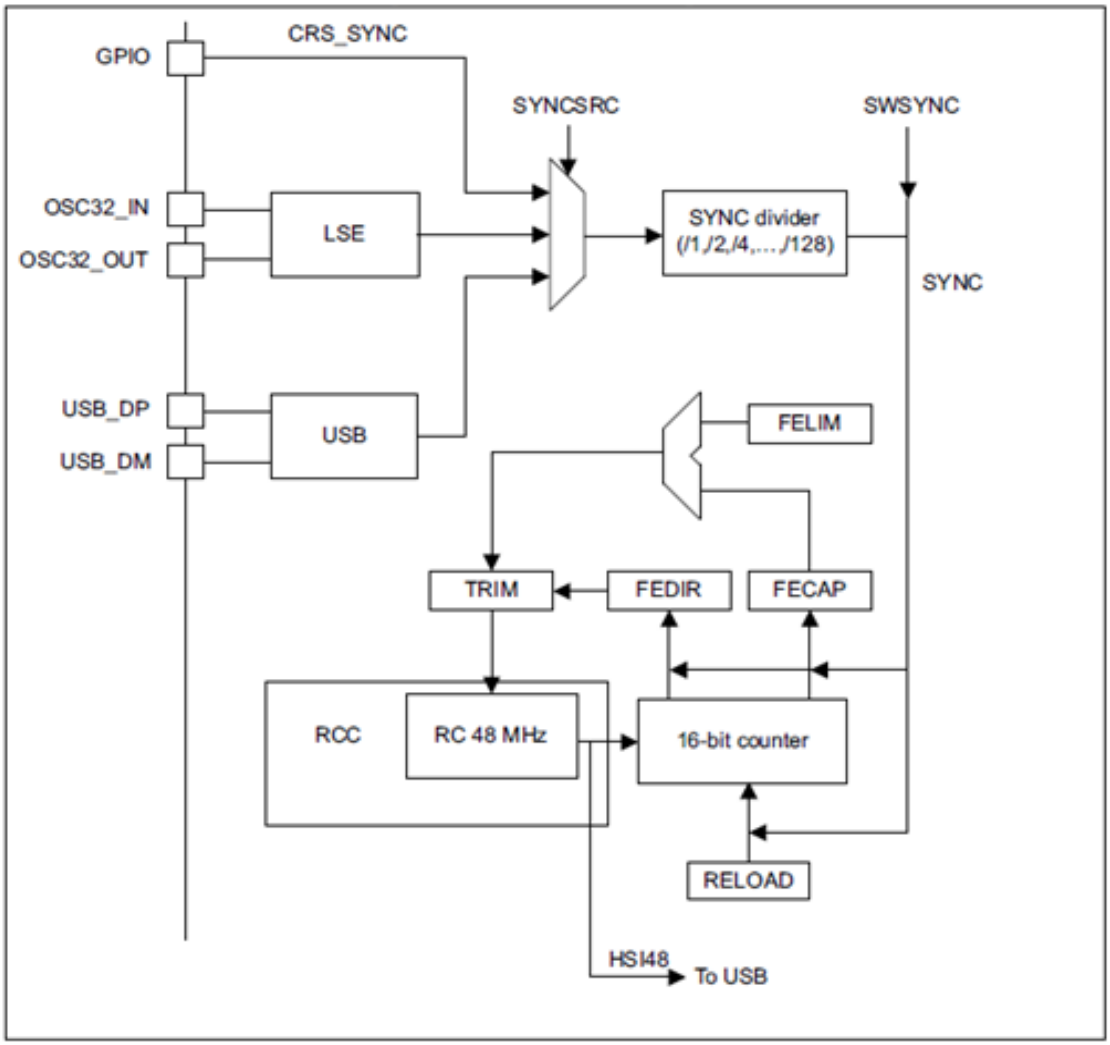


圖 38 CRS 方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

10.3 暫存器描述

表格 26 CRS 控制暫存器

Index	Bit	R/W	Default	Name	Description
CRS_CR: CRS control register					
00h	32:14	-	-	-	保留
	13:8	R/W	20h	TRIM	HSI48 振盪器平滑調節(trimming)。 當 AUTOTRIMEN=1 時，此暫存器是唯讀的
	7	R/W	0	SWSYNC	產生軟體 SYNC 事件
	6	R/W	0	AUTOTRIMEN	Automatic trimming 致能
	5	R/W	0	CEN	頻率誤差計數器啟動
	4	-	-	-	保留
	3	R/W	0	ESYNCIE	預期同步中斷啟動
	2	R/W	0	ERRIE	Synchronization or trimming 錯誤中斷啟動
	1	R/W	0	SYNCWARNIE	同步 SYNC 警告中斷啟動
	0	R/W	0	SYNCOKIE	SYNC 事件確定中斷啟動
CRS_CFGT: CRS configuration register					
04h*	31	R/W	0	SYNCPOL	SYNC 極性選擇。 0: 同步在上升沿啟動 (預設)。 1: 同步在下降沿啟動。
	30	-	-	-	保留
	29:28	R/W	2	SYNCSRC	SYNC 信號源選擇。 0: GPIO 被選為 SYNC 信號源。 1: 選擇 LSE 作為 SYNC 信號源。 2: USB SOF 選擇為 SYNC 信號源 (預設)。 3: 保留。
	27	-	-	-	保留
	26:24	R/W	0	SYNCDIV	SYNC 除頻 (divider) 0: SYNC not divided (default) 1: SYNC divided by 2 2: SYNC divided by 4 3: SYNC divided by 8 4: SYNC divided by 16 5: SYNC divided by 32 6: SYNC divided by 64 7: SYNC divided by 128
	23:16	R/W	22h	FELIM	Frequency error limit
	15:0	R/W	bb7fh	RELOAD	Counter reload value
CRS_ISR: CRS interrupt/status register					
08h	31:16	R	0	FECAP	Frequency error capture
	15	R	0	FEDIR	Frequency error direction
	14:11	-	-	-	保留
	10	R	0	TRIMOVF	Trimming overflow or underflow
	9	R	0	SYNCMISS	SYNC missed
	8	R	0	SYNCERR	SYNC error
	7:4	-	-	-	保留
	3	R	0	ESYNCF	Expected SYNC 旗標 (flag)
	2	R	0	ERRF	Error 旗標 (flag)
	1	R	0	SYNCWARNF	SYNC warning 旗標 (flag)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	0	R	0	SYNCOKF	SYNC event OK 旗標 (flag)
CRS_ICR: CRS clear flag register					
0ch	31:4	-	-	-	保留
	3	W	0	ESYNCC	預期同步 SYNC 清除旗標
	2	W	0	ERRC	Error clear 旗標 (flag)
	1	W	0	SYNCWARNC	SYNC 警告清除旗標
	0	W	0	SYNCOKC	SYNC 事件確定清除旗標

* 注意:

1. TRIM register is read-only when AUTOTRIMEN=1
2. CRS_CFG register is read-only when CEN=1

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

10.4 功能描述

10.4.1 同步輸入

CRS 同步 (SYNC) 源可利用 CRS_CFGR 暫存器選擇，可以是來自外部 CRS_SYNC 引腳、LSE 時鐘或 USB SOF 信號的信號。為了更好的 SYNC 輸入的強健性(robustness)，採用了一個簡單的數位濾波器 (由 HSI48 時鐘採樣)，以過濾掉任何故障。該源信號也具有可規劃的極性，然後可以通過可程式設定二進位預除器(prescaler)，以獲得適當頻率範圍 (通常約為 1 kHz)的同步信號。還可以通過軟體通過 CRS_CR 暫存器中設置 SWSYNC 位元來產生同步事件。

10.4.2 頻率錯誤量測

頻率誤差計數器是一個 16 位元向下/向上計數器，在每個 SYNC 事件上重新載入 RELOAD 值。它開始倒計時，直到達到零值，其中產生 ESYNC (預期同步)事件。然後，它開始計數到 OUTRANGE 限制，最終停止 (如果沒有 SYNC 事件)並產生 SYNCMIS 事件。OUTRANGE 限制定義為頻率誤差限制 (CRS_CFGR 暫存器的 FELIM 欄位)乘以 128。

檢測到 SYNC 事件時，頻率誤差計數器及其計數方向的實際值存儲在 CRS_ISR 暫存器的 FECAP (頻率誤差捕獲)欄位和 FEDIR (頻率誤差方向)位中。當在向下計數階段 (達到零值之前)檢測到 SYNC 事件時，這意味著實際頻率低於目標 (因此，TRIM 值應增加)，而在向上計數階段檢測到該值時，則表示實際頻率應增加表示實際頻率較高 (並且 TRIM 值應遞減)。

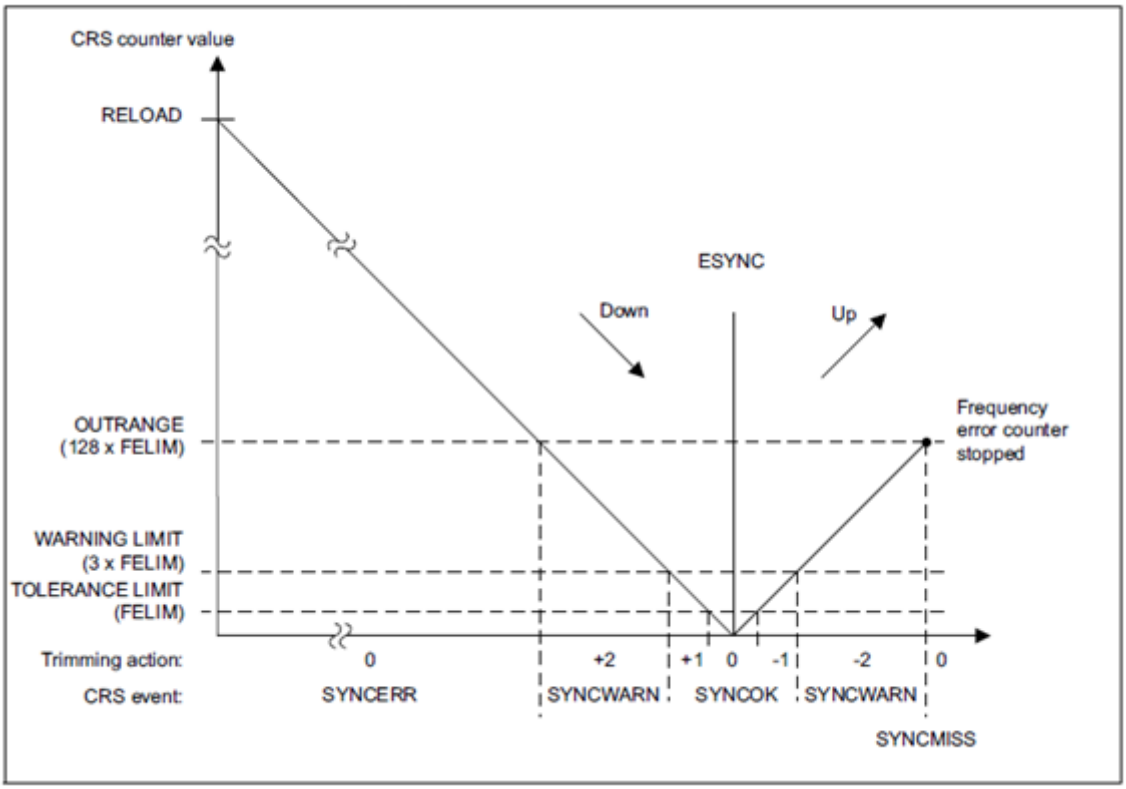


圖 39 CRS Counter Behavior

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

10.4.3 頻率誤差評估和自動修補

測量的頻率誤差通過將其值與一組限制進行比較來評估:

- 在 CRS_CFGR 暫存器的 FELIM 欄位中直接給出的容差限制
- 警告限制，定義為 3 * FELIM 值
- OUTRANGE (誤差限制)，定義為 128 * FELIM 值

此比較的結果用於產生狀態指示，並用於通過在 CRS_CR 暫存器中設置 AUTOTRIMEN 位元來控制啟動的自動修整:

- 當頻率誤差低於容差限制時，這意味著 TRIM 欄位中的實際調節(trimming)值是最佳值，因此無需執行調節(trimming)操作。
  - SYNCOK status indicated
  - 在 AUTOTRIM 模式下未更改 TRIM 值
- 當頻率誤差低於警告限制但高於或等於容差限制時，這意味著需要執行一些調節(trimming)操作，但一個調節(trimming)步驟的調整足以達到最佳 TRIM 值。
  - SYNCOK status indicated
  - 在自動 TRIM 模式下通過一個調節(trimming)步驟調整 TRIM 值
- 當頻率誤差高於或等於警告限制但低於誤差限制時，這意味著需要採取更強烈的調節(trimming)操作，並且下一個期間可能會達到最佳 TRIM 值。
  - SYNCWARN status indicated
  - 在 AUTOTRIM 模式下通過兩個調節(trimming)步驟調整 TRIM 值
- 當頻率誤差高於或等於誤差限制時，則表示頻率超出 TRIM 範圍。當 SYNC 輸入不乾淨或缺少某些 SYNC 脈衝時 (例如，當一個 USB SOF 損壞時)，也會發生這種情況。
  - SYNCERR or SYNCMISS status indicated
  - 在 AUTOTRIM 模式下未更改 TRIM 值

注意: 如果 TRIM 欄位的實際值非常接近其限制，以至於 AUTOTRIM 將強制其溢出或下溢，則 TRIM 值僅設置為限制，並指示 TRIMOVF 狀態。

在 AUTOTRIM 模式 (在 CRS_CR 暫存器中設置自動位)中，CRS_CR 的 TRIM 欄位由硬體調整，並且是唯讀的。

10.4.4 CRS 初始化和規劃

RELOAD value

應根據預縮放後目標頻率與同步源頻率之間的比率選擇 RELOAD 值。然後，它減少 1，以達到零值上的預期同步。公式如下:

RELOAD = (fTARGET / fSYNC) -1 RELOAD

欄位的復位值對應于目標頻率 48 MHz 和同步信號頻率為 1 kHz (來自 USB 的 SOF 信號)。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

FELIM value

FELIM 值的選擇與 HSI48 振盪器特性及其典型的調節(trimming)步長大小密切相關。最佳值對應于調節節距(trimming step)大小的一半，以 HSI48 振盪器時鐘刻度數表示。可以使用以下公式:

FELIM = (fTARGET / fSYNC) * STEP[%] / 100% / 2

結果應始終四捨五入到最接近的整數值，以便獲得最佳調節(trimming)回應。如果應用程式中不需要頻繁調節(trimming)操作，則調節滯(trimming hysteresis)後可以通過略微增加 FELIM 值而增加。FELIM 欄位的復位值對應于 (fTARGET / fSYNC) = 48000 和典型調節節距(trimming step)大小 0.14%。

警告: RELOAD 和 FELIM 欄位規劃錯誤，無法提供硬體保護，從而導致調節(trimming)回應不穩定。預期操作模式需要正確設置 RELOAD 值 (根據同步源頻率)，該值也大於 128 = FELIM 值 (OUTRANGE 限制)。

10.4.5 CRS 省電模式 (low-power modes)

表格 **27** 低功耗模式對 **CRS** 的影響

Mode	Description
Sleep	無效. CRS interrupts cause the device to exit the Sleep mode.
Stop	**CRS** 暫存器已凍結。
Standby	在停止或待機模式退出和 **HSI48** 振盪器重新開機之前，**CRS** 停止運行。

10.4.6 CRS 中斷 (interrupts)

表格 **28** **CRS** 中斷控制位元

Interrupt event	Event 旗標(flag)	致能 control bit	Clear 旗標(flag) bit
Expected synchronization	ESYNCF	ESYNCIE	ESYNCC
Synchronization OK	SYNCOKF	SYNCOKIE	SYNCOKC
Synchronization warning	SYNCWARNF	SYNCWARNIE	SYNCWARNC
Synchronization 或 trimming 錯誤 (TRIMOVF、SYNCMIS、SYNCERR)	ERRF	ERRIE	ERRC

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

11 I²C

11.1 主要概述

I²C (Inter-Integrated Circuit)匯流排界面做為微控制器和串列 I2C 匯流排之間的介面。它提供多主機功能，並控制所有 I²C 匯流排特定順序、協定、仲裁和時序。它支援標準和快速模式。

- 多主機功能: 同一介面可以充當主機介面或從機介面
- I²C Master features:
  - Clock generation
  - Start and Stop generation
- I²C Slave features:
  - 可程式設定 I²C 位址檢測
  - 雙位址功能，可確認 2 個從機位址
  - 停止位元檢測
- 生成和檢測 7bit/10 bit 定址和常規呼叫
- 支援不同的通信速度:
  - 標準速度模式 (高達 100 kHz)
  - 快速模式 (高達 400 kHz)
  - 快速模式 Plus (高達 1MHz)
- Status 旗標(flags):
  - 傳送器/接收器模式旗標
  - End-of-Byte 傳輸旗標(flag)
  - I²C 忙碌旗標(flag)
  - 主接收器返回 ACK (NACK) 旗標。
- 錯誤旗標:
  - 主機模式的仲裁丟失條件
  - 如果 SCL 在 Smbus 模式下保持 Low 25 ms (超時)
  - 檢測錯位的啟動或停止條件
  - 如果禁用 clock stretching，則溢出或不足
- 具有各種源的中斷向量:
  - 位址/資料通信的中斷
  - 錯誤/警示狀況的中斷
- 可選擇的時鐘延展
- 1-byte buffer with DMA capability
- 可配置 CRC (迴圈冗余檢查)產生
  - CRC 值可以在 Tx 模式下作為最後一個位元組傳輸
  - CRC 錯誤檢查上次接收的位元組

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

11.2 方塊圖

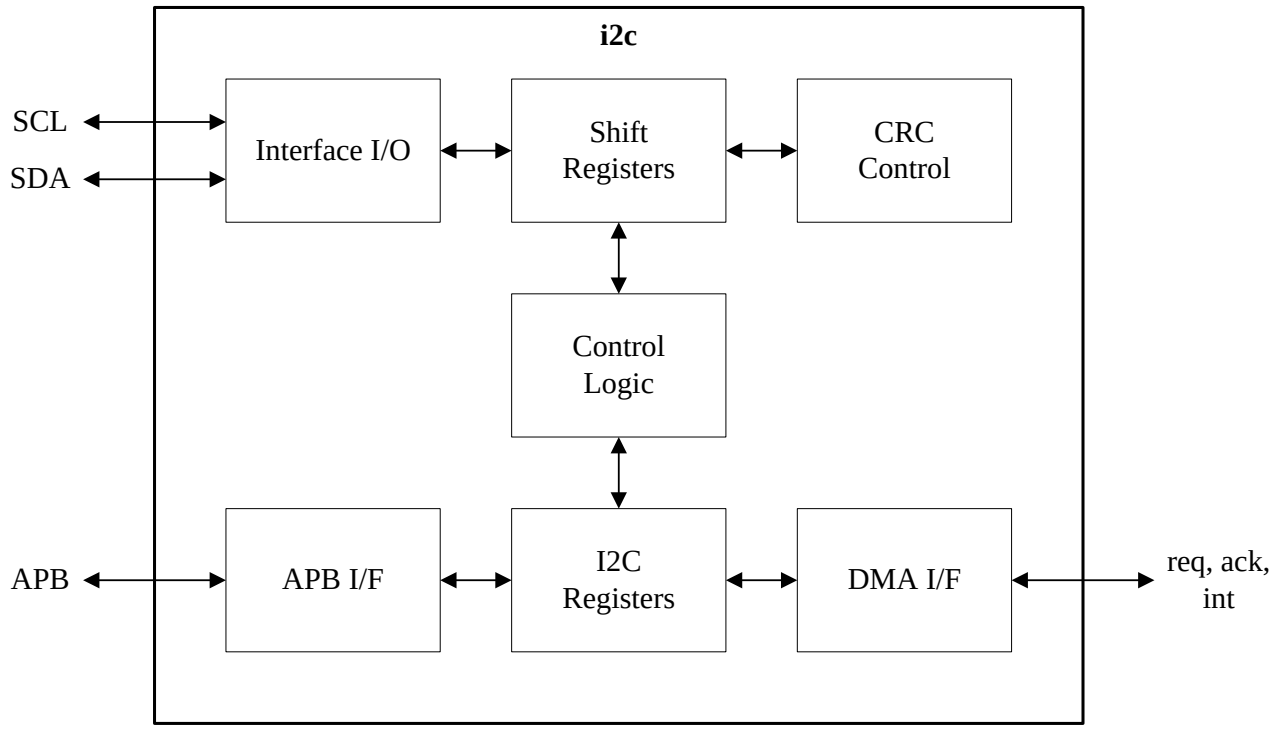


圖 40 I²C 方塊圖

11.3 暫存器描述

表格 29 I²C 控制暫存器

Index	Bit	R/W	Default	Name	Description
I2C_CR1: I²C control register 1					
00h	31	R/W	0	I2cen	I2C 致能設置 0: 禁能 I²C 功能 1: 致能 I²C 功能.
	30:23	-	-	-	保留
	22	R/W	0	mnackopt	主機模式收到 NACK 時的動作選項設置 0: 自動停止 1: 繼續 TX
	21	R/W	0	snackopt	從機模式傳輸資料收到 NACK 時的動作選項設置 0: 停止 RX 1: 繼續 RX
	20	R/W	0	nosarb	從機模式仲裁設置 0: 有仲裁 1: 無仲裁
	19:17	-	-	-	保留
	16	R/W	0		0: 為 I²C 應用選擇 CMOS I/O 級別。
	13	R/W	0	smbhen	SMBus Host address (0001000x) 設置

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					0: 禁能. 1: 致能.
	12	R/W	0	gcen	General call address (00000000) 設置 0: 禁能. 1: 致能.
	11	R/W	0	NOSTRETCH	時鐘延展設置 (在從機模式下) 0: 時鐘延展致能 1: 時鐘延展禁能 通過將 SCL 線拉低來暫停一個傳輸.直到釋放 SCL 線爲高電位,傳輸才繼續進行.
	10	R/W	0	sbc	從機位元組控制項 0: 禁能 1: 致能
	9	R/W	0	rxdmaen	DMA 接收請求設置 0: 禁能. 1: 致能.
	8	R/W	0	txdmaen	DMA 傳輸請求設置 0: 禁能 1: 致能
	7	R/W	0	errie	錯誤中斷設置 0: 禁能 1: 致能 注意: 這些錯誤中的任何一個都會產生一個中斷:arlo[0]，berr[0]，ovr[0]，超時[0]，pecerr[0]，警報[0]。
	6	R/W	0	tcie	傳輸完整中斷設置 0: 禁能. 1: 啟動. 注意: 這些事件中的任何一個都會產生中斷:tc[0], tcr[0]
	5	R/W	0	stopie	停止檢測中斷設置 0: 禁能. 1: 啟動.
	4	R/W	0	nackie	未確認已接收的中斷設置 0: 禁能. 1: 啟動.
	3	R/W	0	addrie	位址匹配中斷設置 0: 禁能. 1: 啟動.
	2	R/W	0	rxie	RX 中斷(rxne[0]) 設置 0: 禁能. 1: 啟動.
	1	R/W	0	txie	TX 中斷(txis[0]) 設置 0: 禁能. 1: 啟動.
	0	-	-	-	保留
I2C_OAR1: I^2C addr mode and oa1					
04h	31:12	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	11	R/W	0	addr_mode	0: 7-bit 位址模式 1: 10-bit 位址模式
	10:1	R/W	0	oa1	oa1[9:0] for 10-bit 位址 oa1[6:0] for 7-bit 位址
	0	R/W	0	oa1_en	oa1 致能/禁能
I2C_OAR2: I^2C oa1					
08h	31:11	-	-	-	保留
	10:8	R/W	0	oa2msk	oa2 masks 000: no mask, all oa2[6:0] 比較 001: only oa2[6:1] 比較 010: only oa2[6:2] 比較 011: only oa2[6:3] 比較 100: only oa2[6:4] 比較 101: only oa2[6:5] 比較 110: only oa2[6] 比較 111: all (除了保留) 7-bit 收到的位址確認
	7:1	R/W	0	oa2	7-bit 位址
	0	R/W	0	oa2_en	oa2 致能/禁能
I2C_TXDR: I^2C 8-bit transmit data					
0ch	31:8	-	-	-	保留
	7:0	R/W	0	tx_data	8-bit 傳送資料的緩衝區
I2C_RXDR: I^2C 8-bit receive data					
10h	31:8	-	-	-	保留
	7:0	R	0	rx_data	8-bit 接收資料的緩衝區
I2C_SADDR: I2C saddr					
14h	31:12	-	-	-	保留
	11	R/W	0	add10	0: 7-bit 位址模式 1: 10-bit 位址模式
	10:1	R/W	0	saad	saad[9:0] for 10-bit 位址 saad[6:0] for 7-bit 位址
	0	R/W	0	rd_wrn	0: 寫入 1: 讀取
I2C_BCNT: I2C counter setting					
18h	31:10	-	-	-	保留
	9	R/W	0	auto_end	自動結束模式 (主機模式) 0: 軟體結束模式:在傳輸 NBYTES 資料時設置 tc[0] 旗標，將 SCL 延展到低準位 1: 自動結束模式:當 NBYTES[7:0] 資料傳輸時，自動發送停止條件 注意: 此位元在從機模式下或 reload [0]位元時不起作用
	8	R/W	0	reload	NBYTES 重新載入模式 0: 傳輸在 NBYTES[7:0] 資料傳輸後完成 (停止或 RESTART 將隨後完成) 1: 在 NBYTES[7:0] 資料傳輸 (NBYTES[7:0] 將重新載入)後，傳輸未完成。Tcr[0] 旗標是在傳輸 NBYTES 資料時設置的，將 SCL 延展到低準位
	7:0	R/W	0	NBYTES	位元組數

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					傳輸/接收的位元組數在此處設定。此欄位在 sbc[0]=0 的從機模式下不關心
I2C_CR2: I2C control register 2					
1ch	31:4	-	-	-	保留
	3	R/W	0	swrst	軟體重置 I2C 模組
	2	R/W	0	nack	NACK 產生 (從機模式) 此位元由軟體設置，在發送 NACK 時或收到停止條件或匹配位址時由硬體清除 0: ACK 在當前接收位元組後發送 1: 當前接收位元組後發送 NACK 注意: 將"0"寫入此位元不起作用
	1	R/W	0	stop	"停止"設置 (主機模式) 此位元由軟體設置，在檢測到停止條件時由硬體清除 0: 無"停止"產生 1: 在當前位元組傳輸後產生"停止"
	0	R/W	0	start	"開始"設置 此位元由軟體設置，在發送"開始"後由硬體清除 0: 無"開始"產生 1: "開始"/ "重新開始" 產生
I2C_ISCR: I2C status and control					
20h	31:16	-	-	-	保留
	15	R/W1c	0	busy	匯流排繁忙 此旗標表示匯流排上正在進行通信。當檢測到 "開始" 條件時，由硬體設置。當檢測到"停止"條件時，硬體會清除它
	14	-	-	-	保留
	12	R/W1c	0	timeout	超時或 t_{LOW} 檢測旗標 當發生超時或延展時鐘超時時，硬體會設置此旗標
	11	-	-	-	保留
	10	R/W1c	0	ovr	超出/不足 (從機模式, Overrun/Underrun)。 1: 超出或不足 0: 無超出/不足
	9	R/W1c	0	arlo	仲裁丟失 1: 檢測到仲裁丟失 0: 未檢測到仲裁丟失
	8	R/W1c	0	berr	匯流排錯誤 1: 錯位的"開始"或"停止"條件 0: 無錯位的"開始"或"停止"條件
	7	R/W	0	tcr	傳輸完成重新載入 此旗標由硬體在 reload[0]=1 和 NBYTES[7:0] 資料傳輸時設置。當 NBYTES 寫入非零值時，由軟體清除
	6	R/W	0	tc	傳輸完成 (主機模式) 此旗標由硬體設置，當 reload[0]=0，auto_end[0]=0 和 NBYTES[7:0] 資料已傳輸 當設置"開使"位元或"停止"位元時，由軟體清除它
	5	R/W1c	0	stopf	停止條件旗標

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					當在匯流排上檢測到停止條件且週邊設備參與此傳輸時，此旗標由硬體設置: - 如果停止條件由週邊產生，則作為主旗標。- 或作為從機，前提是週邊設備在此傳輸期間之前已解決
	4	R/W1c	0	nackf	未確認收到的旗標 當位元組傳輸後收到 NACK 時，硬體會設置此旗標
	3	R/W1c	0	addr	位址匹配 (從機模式) 一旦收到的從機位址與啟用的從機位址之一匹配，硬體就會設置此位元
	2	R/W	0	rxne	接收資料暫存器不為空 當接收的資料複製到 I2C_RXDR 暫存器中時，此位元由硬體設置，並可供讀取。讀取 I2C_RXDR 暫存器時已清除
	1	R/W	0	txis	傳輸中斷狀態 要傳輸的資料必須寫入 I2C_TXDR 暫存器，當 I2C_TXDR 暫存器為空時，硬體會設置此位元。 當下一個要發送的資料寫入 I2C_TXDR 暫存器時，清除此位元。 當僅使用 NOSTRETCH[0]=1 時，軟體可以將此位元寫入”1”，以便產生 txis[0] 事件。
	0	R/W	0	txe	傳輸資料暫存器為空。 當 I2C_TXDR 暫存器為空時，此位元由硬體設置。當下一個要發送的資料寫入 I2C_TXDR 暫存器時，清除此位元。此位元可以通過軟體寫入”1”，以便刷新傳輸資料暫存器 I2C_TXDR。
I2C_SR2: I2C status register					
24h	31:17	-	-	-	保留
	16	R	0	alertp	SMBA 輸入狀態 (主機模式)。 1: 已啟動 (引腳處於低電平)。
	15	R/W	0	busy	Bus 忙碌(busy). 0: Not busy 1: Busy
	14	-	-	-	保留
	13	R/W	0	sdap	已濾波的 SDA 引腳輸入狀態
	12	R/W	0	sclp	已濾波的 SCL 引腳輸入狀態
	11	R/W	0	notactive	週邊設備未處於啟動狀態。 0: 啟動。 1: 未啟動。
	10	R/W	0	slvactived	已匹配從機位址，在停止條件後自動清除。 0: 不匹配。 1: 匹配。
	9	R/W	0	master	主機處於啟動狀態。 0: 未啟動。 1: 啟動。
	8	R/W	0	mrw	主機 R/W (接收/傳輸)狀態。 0: 傳輸。 1: 接收。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	7:1	R/W	0	addcode	位址匹配代碼 (從機模式)。 當發生位址匹配事件 (addr[0]=1)時，這些位元會使用接收的位址進行更新。在 10 bit 位址的情況下，addcode[6:0] 提供 10 bit 標頭，後跟位址的 2 個 MSB。
	0	R/W	0	dir	傳輸方向 (從機模式)。 0: 寫入傳輸，從機進入接收機模式。 1: 讀取傳輸，從機進入發射機模式。
I2C_PECR: I2C packet error checking					
28h	31:8	-	-	-	保留
	7:0	R	0	pec	封包錯誤檢查暫存器。 此欄位包含內部 PEC。
I2C_TIMINGR1: I2C timing register 1					
2ch	31:20	-	-	-	保留
	19:16	R/W	0	filter	用於 SCL/SDA 輸入的數位雜訊濾波器。 篩檢程式將過濾峰值，最長為 filter[3:0]*t_{CLK}
	15:8	R/W	0	scldel	資料設定時間(Data setup time) t_{SCLDEL} = (scldel[7:0]+1)*t_{CLK}
	7:0	R/W	0	sdadel	資料保持時間(Data hold time) t_{SCLDEL} = (sdadel[7:0]+1)*t_{CLK}
I2C_TIMINGR2: I2C timing register 2					
30h	31:24	-	-	-	保留
	23:12	R/W	0	sclh	SCL 維持高準位的週期 (主機模式). T_{SCLH} = (sclh[11:0]+1)*t_{CLK}
	11:0	R/W	0	scll	SCL 維持低準位的週期(主機模式). T_{SCLL} = (scll[11:0]+1)*t_{CLK}
I2C_TIMEOUTR1: I2C time-out register 1					
34h	31:16	-	-	-	保留
	15	R/W	0	timouten	時鐘超時設置。 0: 禁能 SCL 超時檢測。 1: 致能 SCL 超時檢測。
	14:13	-	-	-	保留
	12	R/W	0	tidle	閒置時鐘超時檢測。 0: timeouta [11:0] 用於檢測 SCL 低準位超時。 1: timeouta [11:0] 用於檢測自動程式 SCL 和 SDA 高準位超時 (匯流排閒置條件)
	11:0	R/W	0	timeouta	匯流排超時 A。 此欄位用於配置: - SCL 低準位超時條件 $t_{TIMEOUT}$ 時 tidle[0] =0 。 $t_{TIMEOUT}$ = (timeouta[11:0] +1)*2048*t_{CLK} - The bus idle condition (both SCL and SDA high) when tidle[0] =1. T_{IDLE} = (timeouta[11:0] +1)*4*t_{CLK}
I2C_TIMEOUTR2: I2C time-out register 2					
38h	31:16	-	-	-	保留
	15	R/W	0	texten	擴展時鐘超時 設置 0: 禁能. 1: 致能.
	14:12	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	11:0	R/W	0	timeoutb	匯流排超時 B $t_{LOW:EXT}$ = (timeoutb[11:0] +1)*2048*t_{CLK}

Note: R/W1C: 讀取 與 寫“1”清除

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

11.4 功能描述

除了接收和傳輸資料外，此介面還將其從串列格式轉換為並行格式，反之亦然。軟體啟用或禁用中斷。介面通過資料引腳 (SDA) 和時鐘引腳 (SCL) 連接到 I2C 匯流排。它可以與標準 (高達 100 kHz)、快速模式 (高達 400kHz)或快速模式 Plus (高達 1MHz)I2C 匯流排連接。

11.4.1 模式選擇

介面可以在以下模式之一下運行:

- 從機傳輸 (Slave transmitter)
- 從機接收 (Slave receiver)
- 主機傳輸 (Master transmitter)
- 主機接收 (Master receiver)

11.4.1.1 通信流程

在主機模式下，I^2C 介面啟動資料傳輸並產生時鐘信號。串列資料傳輸始終以 START 條件開始，以 STOP 條件結束。開始和停止條件均由軟體在主機模式下產生。

在從機模式下，介面能夠識別自己的位址 (7bit 或 10bit)和常規呼叫位址。一般呼叫位址檢測可能由軟體啟用或禁用。保留的 SMBus 位址也可以由軟體啟用。

資料和位址以 8 位元組 (MSB 優先)傳輸。啟動條件之後的第一個位元組包含位址 (一個在 7bit 模式中，兩個在 10 bit 模式下)。位址始終只能在主機模式下傳輸。

第 9 個時鐘脈衝遵循位元組傳輸的 8 個時鐘週期，在此期間接收器必須向發射器發送確認位元。請參閱下圖。

在主機模式下，軟體可能會啟用或禁用確認位元。主機的 RX 在上次傳輸中返回 NACK。I^2C 介面位址 (雙定址 7bit/10 bit 或者常規呼叫位址)可以通過軟體選擇。

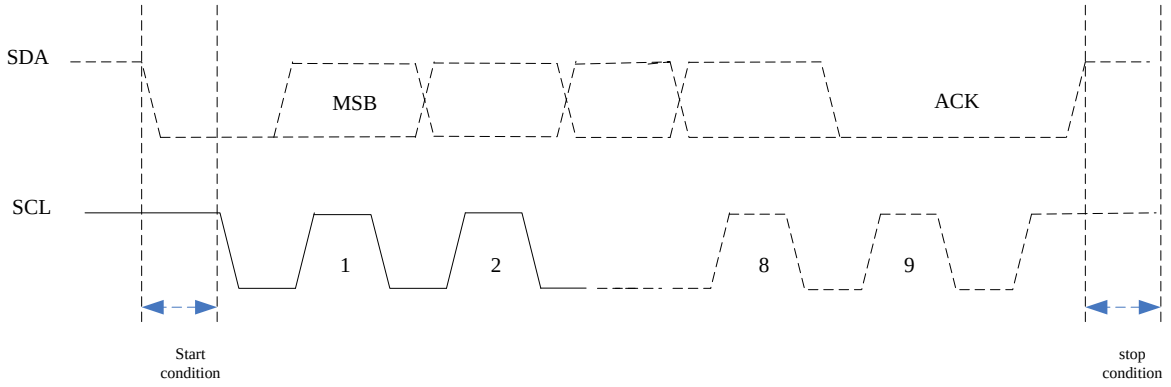


圖 41 I2C Bus Protocol

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

11.4.2 I2C 初始化

11.4.2.1 雜訊濾波

在啟用 I2C 功能之前，必須配置數位雜訊濾波器 (視情況)。啟用數位濾波器後，SCL 或 SDA 線路的電平僅在其保持穩定且超過 I2C_TIMINGR1 暫存器中濾波器設置的程式設定長度時，才會在內部更改。

11.4.2.2 時序

必須配置計時，以確保在主機模式和從機模式中使用的正確資料保持和設置時間。這是通過在 I2C_TIMINGR1 暫存器中程式設定 scldel[7:0] 和 sdadel[7:0]位元來完成的。此外，在主機模式下，必須通過在 I2C_TIMINGR1 暫存器中程式設定 sclh[11:0] 和 scll[11:0]位元來配置 SCL 時鐘高準位和低準位。

11.4.2.3 軟體復位

可以通過在 I2C_CR2 暫存器中設置 swrst[0]位元來執行軟體復位。內部狀態機被復位和通信控制位元，以及狀態位元返回其預設值。配置暫存器不受影響。

11.4.3 資料傳輸

資料傳輸通過傳輸和接收資料暫存器和移位暫存器進行管理。

11.4.3.1 接收

SDA 輸入移位暫存器。當收到完整的資料位元組時，如果移位暫存器為空 (rxne[0]=0)，則將移位暫存器複製到 I2C_RXDR 暫存器中。如果 rxne[0]=1，這意味著之前接收的資料位元組尚未讀取，則 SCL 線將延展到 I2C_RXDR 暫存器讀取，如果啟用時鐘延展 (NOSTRETCH[0]=0)。延展將插入第 8 和第 9 個 SCL 脈衝之間 (在確認脈衝之前)。

11.4.3.2 傳送

如果 I2C_TXDR 暫存器不為空 (txe[0]=0)，則其內容在第 9 個 SCL 脈衝 (確認脈衝)後複製到移位暫存器中。然後，移位暫存器內容在 SDA 行上移出。如果 txe[0]=1，這意味著在 I2C_TXDR 暫存器中尚未寫入任何資料，則 SCL 行將延展到低準位，直到資料寫入 I2C_TXDR 暫存器。延展在第 9 個 SCL 脈衝後完成。

11.4.3.3 硬體傳輸管理

I2C 在硬體中嵌入了一個位元組計數器，以便管理位元組傳輸並在各種模式下關閉通信，例如:

- 在主機模式下產生 NACK、STOP 和 RESTART
- ACK 控制於從機接收模式

位元組計數器始終在主機模式下使用。預設情況下，它在從機模式下禁用，但可以通過在 I2C_CR1 暫存器中設置 sbc[0] (從機位元組控制)來啟用。

要傳輸的位元組數在 I2C_BCNTR 暫存器中的 nNBYTE[7:0]位元欄位中進行程式設定。如果要傳輸的位元組數 (nBYTE[7:0])大於 255，或者如果接收方想要控制接收到的資料位元組的確認值，則必須通過在 i2c_bcntr 暫存器中設置 reload[0]位元來選擇重新載入模式。在此模式下，當以 nNBYTE [7:0] 為單位程式設定的位元組數已傳輸時，將設置 i2c_iscr 暫存器中的 tcr[0] 旗標，如果設置了 tcie[0]，則產生中斷。只要設置 tcr[0] 旗標，SCL 就被拉伸。當 nTB[7:0] 寫入非零值時，軟體會清除 tcr[0]。當 nNBYTE [7:0] 計數器使用最後一個位元組數重新

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

載入時，必須清除 reload [0]位元。

在主機模式下重新 reload[0]=0 時，計數器可在 2 種模式下使用:

- 自動結束模式 (auto_end[0] = '1' in the i2c_bcntr register)。在此模式下，一旦傳輸 nNBYTE[7:0]位元欄位中程式設定的位元組數，主伺服器將自動發送 STOP 條件。
- 軟體結束模式(auto_end[0] = '0' in the i2c_bcntr register)。在此模式下，一旦傳輸 nNBYTE[7:0]位元欄位中程式設定的位元組數，則預期軟體操作;設置 tc[0] 旗標，如果設置了 tcie[0]位元，則產生中斷。只要設置 tc[0] 旗標，SCL 信號就被拉伸。在 I2CX_CR2 暫存器中設置 START 或 STOP 位元時，軟體會清除 tc[0] 旗標。當主伺服器想要發送 RESTART 條件時，必須使用此模式。

11.4.4 I2C 從機模式

一旦檢測到 START 條件，位址就會從 SDA 線路接收併發送到位移暫存器。然後將其與暫存器 I2C_OAR1 (bit1~bit10) 的位址以及暫存器 I2C_OAR2 (bit1~bit7, if oa2_en[0] bit=1) 位址或一般呼叫位址 (如果暫存器 i2c_cr1 bit0 (gcen[0]) = 1)進行比較。通過配置 i2c_oar2 暫存器中的 oa2msk[2:0] 位，可以遮罩多達 7 個 oa2 的 LSB。只要 oa2msk[2:0] 不等於 0，oa2[6:0]的位址比較器就不包括 I^2C 位址 (0000 XXX 和 1111 XXX)，這些位址也不會被硬體檢測到。如果 oa2msk[2:0] =7，則確認所有接收的 7-bit 位址 (保留的位址除外)。Oa2[6:0] 始終是一個 7-bit 位址。

注意: 在 10bit 定址模式下，比較包括標頭序列 (11110xx0)，其中 xx 表示位址的兩個最重要的位元。

- 位址不匹配: 介面忽略它，並等待另一個 START 條件。
- 位址匹配: 介面按順序產生:
  - 如果設置了 I2C_CR1 暫存器中的 addrie，則產生中斷。
  - 如果啟用了多個位址，則必須讀取 I2C_SR2 暫存器中的 addcode[6:0]位元，以便檢查匹配的位址。還必須檢查 dir[0] 旗標，以便知道傳輸方向。

在 10 bit 模式下，接收位址序列後，從站始終處於接收機模式。它將在接收重複的 START 條件後，進入發射器模式，然後是具有匹配位址位和最低顯著性位元集 (11110xx1) 的標頭序列。

I2c_sr2 中的 dir[0] 旗標指示從站處於接收器還是發射器模式。

從機位元組控制

為了在從機接收模式下允許位元組 ACK 控制，必須通過在 I2C_CR1 暫存器中設置 sbc[0] 位元來啟用從機位元組控制模式。這必須符合 SMBus 標準。要控制每個位元組，必須在 ADDR 中斷副程式中初始化為 0x1，並在每個接收位元組後重新載入到 0x1。當收到位元組時，設置 tcr[0]位元，在第 8 個和第 9 個 SCL 脈衝之間拉伸 SCL 信號低電平。

可以從 I2C_RXDR 暫存器中讀取資料，然後通過在 I2C_CR2 暫存器中配置 nack[0]位元來決定是否確認它。SCL 拉伸通過程式設定 nNBYTE [7:0] 釋放到非零值:發送確認或不承認，並可以接收下一個位元組。nNBYTE [7:0] 可以載入大於 0x1 的值，在這種情況下，接收流在 nNBYTE [7:0] 資料接收期間是連續的。

注 1: 當禁用 I2C 或未定址從機時，或當 addr[0]=1 時，必須配置 sbc[0]位元。當 addr[0]=1 或 tcr[0]1 時，可以更改重新載入位元值。

注 2: 從屬位元組控制模式與 NOSTRETCH 模式不相容。不允許 NOSTRETCH[0]=1 時再去設置 sbc[0]。

從機傳送模式

當 I2C_TXDR 暫存器變為空時，將產生傳輸中斷狀態(txis[0])。如果在 I2C_CR1 暫存器中設置了 txie[0]位元，

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

則產生中斷。當使用要傳輸的下一個資料位元組寫入 I2C_TXDR 暫存器時，將清除 txis[0]位元。

收到 NACK 時，在 I2C_ISCR 暫存器中設置 nackf[0]位元，如果設置了 I2C_CR1 暫存器中的 nackie[0]位元，則產生中斷。從站自動釋放 SCL 和 SDA 行，以便讓主伺服器執行停止或 RESTART 條件。接收 NACK 時未設置 txis[0]位元。

當收到停止並在 I2C_CR1 暫存器中設置 stopie[0]位元時，在 I2C_ISCR 暫存器中設置 stopf[0] 旗標並產生中斷。在大多數應用中，sbc[0]位元通常被程式設定為"0"。在這種情況下，如果 txe[0] = 0 時接收從機位址(addr[0]=1)，則可以選擇將 I2C_TXDR 暫存器的內容作為第一個資料位元組發送，或者通過設置 txe[0] 位元來刷新 I2C_TXDR 暫存器，以便對新的資料位元組進行程式設定。

在從機位元組控制模式 (sbc[0]=1) 中，要傳輸的位元組數必須在位址匹配中斷副程式 (addr[0]=1) 中的 NBYTES[7:0] 中程式設定。在這種情況下，傳輸期間的 txis[0] 事件數對應于 NBYTES[7:0] 中程式設定的值。

從機接收模式

當 I2C_RXDR 暫存器已滿時，rxne[0] 設置在 I2C_ISCR 暫存器中，如果 I2C_CR1 暫存器中的 rxie[0] 已設置，則產生中斷。讀取 I2C_RXDR 暫存器時，將清除 rxne[0]。當收到停止並在 I2C_CR1 暫存器中設置 stopie 時，在 I2C_ISCR 暫存器中設置 stopf[0]並產生中斷。

11.4.5 I2C 主機模式

在啟用 I2C 之前，軟體必須在 I2C_TIMINGR1 暫存器中配置 SCCH 和 SCLL 以設置主時鐘頻率。為了支援多主機環境和從機時鐘延展，實現了時鐘同步機制:

- 使用 SCLL 計數器從 SCL 低準位內部檢測開始計算時鐘的低準位。
- 使用 SCLH 計數器從 SCL 高準位內部檢測開始計算時鐘的高準位。

11.4.5.1 通信初始化

要啟動通信，必須為 I2C_SADDR 暫存器中的定址從站程式設定以下參數:

- 定址模式 (7bit or 10bit): addr10[0]
- 要發送的從機位址: - 141 -nt[9:0]
- 傳輸方向: rd_wrn[0]
- 要傳輸的位元組數: NBYTES[7:0]。如果位元組數等於或大於 255 位元組，則 NBYTES[7:0] 最初必須用 0xFF 填充。

然後必須在 I2C_CR2 暫存器中設置起始位元。設置 start[0]位元時，不允許更改上述所有位元。當主機檢測到匯流排閒置 (busy[0] = 0)時，將自動發送 START 條件，然後發送從屬位址。在仲裁丟失的情況下，主機會自動切換回從機模式，並且如果將其尋址為從機，則可以確認自己的位址。

11.4.5.2 主機發射模式

對於寫入傳輸，txis[0] 旗標設置在每個位元組傳輸後，在第 9 個 SCL 脈衝之後，當收到 ACK 時。如果設置了 I2C_CR1 暫存器中的 txie[0] 位元，將產生中斷。寫入 I2C_TXDR 暫存器的資料將清除旗標。

傳輸期間的 txis[0] 事件數對應于 NBYTES 中程式設定的值[7:0]。如果要發送的資料位元組總數大於 255，則必須通過在 I2C_BCNTR 暫存器中設置 reload[0]位元來選擇重新載入模式。在這種情況下，當 NBYTES[7:0] 資料已傳輸時，將設置暫存器 I2C_ISCR 中的 tcr[0] 旗標，並將 SCL 線延展到低準位，直到 NBYTES[7:0] 寫入非零值。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

收到 NACK 時未設置 txis[0] 旗標。在 NACK 接收後自動發送停止條件。Nackf[0] 旗標設置在 I2C_ISCR 暫存器中，如果設置了 nackie[0]位元，則產生中斷。

11.4.5.3 主機接受模式

對於讀取傳輸，rxne[0] 旗標設置在每個位元組接收後，在第 8 個 SCL 脈衝之後。如果 rxie[0]位元設置在 I2C_CR1 暫存器中，則 rxne[0] 事件將產生中斷。讀取 I2C_RXDR 時，將清除旗標。如果要接收的資料位元組總數大於 255，則必須通過在 I2C_BCNTR 暫存器中設置重新載入位來選擇重新載入模式。在這種情況下，當 NBYTES[7:0] 資料已傳輸時，將設置 tcr[0] 旗標，並將 SCL 線延展到低準位，直到 NBYTES[7:0] 寫入非零值。

當 reload[0]=0 和 NBYTES[7:0] 資料傳輸時:

- 在自動結束模式 (auto_end[0]=1)中，在上次接收的位元組之後自動發送 NACK 和 STOP。
- 在軟體結束模式 (auto_end[0]=0) 中，在上次接收的位元組後自動發送 NACK，設置 tc[0] 旗標，並將 SCL 線拉低準位，以便允許軟體操作

可以通過在 I2C_CR2 暫存器中設置具有正確的從機位址配置和要傳輸的位元組數來請求 RESTART 條件。設置起始位將清除 tc[0] 旗標，並在匯流排上發送 START 條件，然後是從機位址。可以通過在 I2C_CR2 暫存器中設置停止位來請求停止條件。設置停止[0]位元將清除 tc[0] 旗標，並在匯流排上發送 STOP 條件。

11.4.6 DMA 要求

11.4.6.1 使用 DMA 傳送

通過在 I2C_CR1 暫存器中設置 txdmaen[0]位元，可以啟用 DMA 模式進行傳輸。每當設置 txis[0]位元時，資料將從使用 DMA 配置的記憶體區域載入到 I2C_TXDR 暫存器。只有資料通過 DMA 傳輸。

- 在主機模式下: 初始化、從機位址、方向、位元組數和 START 位元由軟體程式設定。使用 DMA 傳輸所有資料時，必須先初始化 DMA，然後再設置 START 位元。傳輸結束使用 NBYTES[7:0] 計數器進行管理。
- 在從機模式下:
  - 使用 NOSTRETCH[0]=0，當使用 DMA 傳輸所有資料時，必須在位址匹配事件之前或在 ADDR 中斷副程式中初始化 DMA，然後才能清除 addr[0]。
  - 使用 NOSTRETCH[0]=1 時，必須在位址匹配事件之前初始化 DMA。

11.4.6.2 使用 DMA 接收

藉由在 I2C_CR1 暫存器中設置 rxdmaen[0]位元，可以啟用 DMA 模式進行接收。每當設置 rxne[0]位元時，資料將從 I2C_RXDR 暫存器載入到使用 DMA 配置的記憶體區域。只有資料 (包括 pec[0])與 DMA 一起傳輸。

- 在主機模式下，初始化、從機位址、方向、位元組數和 START 位元由軟體程式設定。使用 DMA 傳輸所有資料時，必須先初始化 DMA，然後再設置 START 位元。傳輸結束使用 NBYTES[7:0] 計數器進行管理。
- 在具有 NOSTRETCH[0]=0 的從機模式下，當使用 DMA 傳輸所有資料時，必須在位址匹配事件之前或在 ADDR 中斷副程式中初始化 DMA，然後才能清除 addr[0] 旗標。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

12 UART

12.1 主要概述

- 全雙工非同步通信
- NRZ standard format
- 可規劃 16 或 8 個時鐘的過採樣方法
- A baud rate 產生器
- 8 bit 或 9 bit 資料字長度
- 1 or 2 stop bits
- 發射器或接收器的單獨啟動位元
- 使用 DMA 進行可規劃的通信
  - 在保留 SRAM 中緩衝接收/傳輸的位元組
- IrDA SIR ENDEC
  - 支援正常模式的 3/16 bit 持續時間
- 單線半雙工通信
- 傳輸偵測旗標
  - Receive buffer full
  - Transmit buffer empty
  - End of Transmission
- 奇偶校驗控制
  - 偶數、奇數或無同位產生和檢測
- 四個錯誤偵測旗標
  - Overrun error
  - Noise error
  - Frame error
  - Parity error
- 使用旗標中斷源
  - 傳輸資料暫存器為空
  - Transmit complete
  - 接收資料暫存器已滿
  - Overrun error
  - Frame error
  - Noise error
  - Parity error

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

12.2 方塊圖

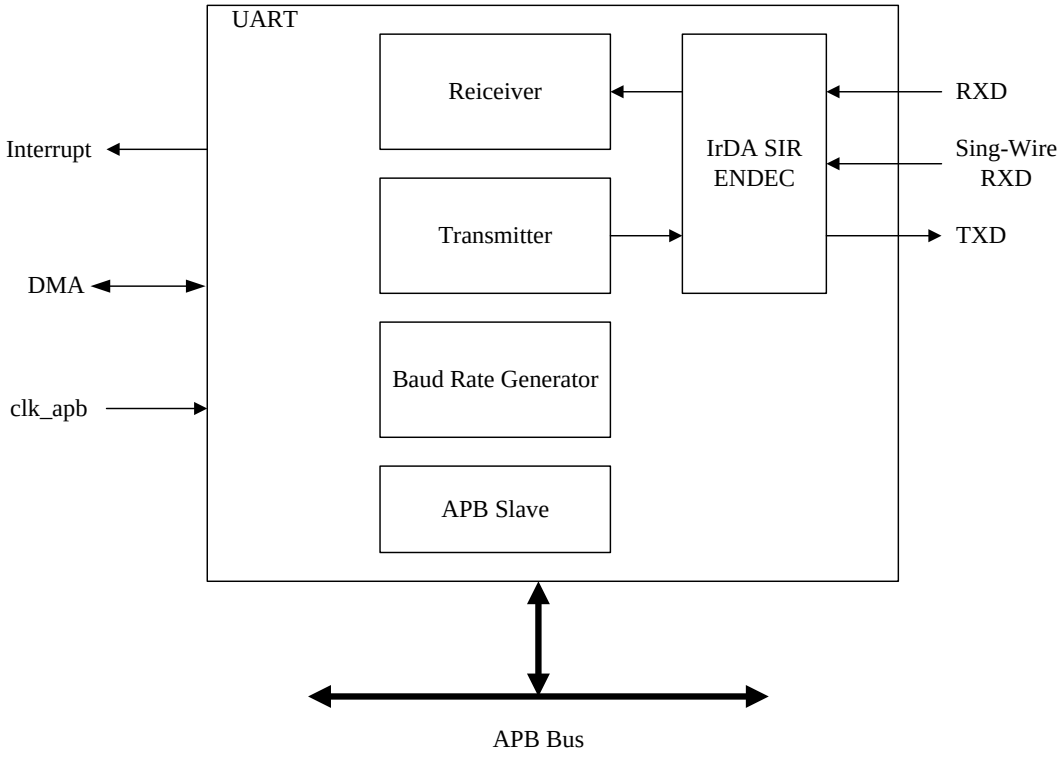


圖 42 UART 方塊圖

12.3 暫存器描述

表格 30 UART 控制暫存器

Index	Bit	R/W	Default	Name	Description
UART_CR1: 控制暫存器 1					
00h	31	R/W	0	UE	UART 致能 0: UART 預除器和輸出禁能 1: UART 啟動
	30:16	-	-	-	保留
	15	R/W	0	TE	發射器啟動。 0: 發射器已關閉。 1: 發射器已啟動。
	14	R/W	0	RE	接收器啟動。 0: 接收器已關閉。 1: 接收器已啟動並開始搜索起始位。
	13	R/W	0	OVER8	過採樣模式。 0: 超過採樣 16。 1: 超過採樣 8。 注意: 在 IrDA 中，當 IREN =1 時，超過採樣 8 不可用，然後由硬體強制 OVER8 為”0”。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	12	R/W	0	WORD_L	字長度。 0: 1 個起始 bit，8 個數據 bit，n 停止 bit。 1: 1 個起始 bit，9 個數據 bit，n 停止 bit。
	11	R/W	0	DMAT	DMA 啟動發射器。 1: DMA 模式已啟動傳輸。 0: DMA 模式因傳輸而關閉。
	10	R/W	0	DMAR	DMA 啟動接收器。 1: DMA 模式已啟動接收。 0: DMA 模式為接收關閉。
	9:3	-	-	-	保留
	2	R/W	0	PCE	Parity 控制致能. 0: 禁能. 1: 致能.
	1	R/W	0	PS	Parity 選擇. 0: Even. 1: Odd.
	0	R/W	0	STOP	0: STOP = 1bit 1: STOP = 2bit
UART_CR2: 控制暫存器 2					
04h	31:7	-	-	-	保留
	6	R/W	0	TXEIE	TXE 中斷啟動。 0: 中斷被抑制。 1: 每當 TXE=1 時都會產生 UART 中斷。
	5	R/W	0	TCIE	傳輸完全中斷啟動。 0: 中斷被抑制。 1: 每當 TC=1 時都會產生 UART 中斷
	4	R/W	0	RXNEIE	RXNE 中斷啟動。 0: 中斷被抑制。 1: 每當 ORE=1 或 RXNE=1 時都會產生 UART 中斷
	3	R/W	0	EIE	錯誤中斷啟動。 0: 中斷被抑制。 1: 每當 FER=1 或 ORE=1 或 NE=1. 時都會產生中斷。
	2:1	-	-	-	保留
	0	R/W	0	PEIE	PE 中斷啟動。 0: 中斷被抑制。 1: 每當 PE=1 時都會產生 UART 中斷
UART_STS: 狀態暫存器					
08h	31:7	-	-	-	保留
	6	R/W	0	TXE	傳輸資料暫存器為空。 0: 資料不會傳輸到班次暫存器。 1: 資料傳輸到班次暫存器。
	5	R/W	0	TC	UART: 傳輸完成。 0: 傳輸未完成。 1: 傳輸完成。當傳輸資料暫存器不為空時，通過 S/W 寫入 1 或 H/W 清除。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	4	R/W	0	RXNE	UART: 讀取資料暫存器不為空。 0: 未收到資料。 1: 接收的資料已準備好可供讀取。通過 S/W 讀取接收資料暫存器或 S/W 寫入 1 進行清除。
	3:0	-	-	-	保留
UART_TXDR: 傳送資料暫存器					
0Ch	31:9	-	-	-	保留
	8:0	W	0	TDR[8:0]	傳輸 UART 資料值
UART_RXDT: Receive data register					
10h	31:9	-	-	-	保留
	8:0	R	0	RDR[8:0]	Receive Data value
UART_BRR: Baudrate 暫存器					
14h	31:16	-	-	-	保留
	15:4	R/W	0	Mantissa[11:0]	串列傳輸速率發生器的尾數
	3:0	R/W	0	Fraction[3:0]	串列傳輸速率發生器的分數
UART_CR3: 控制暫存器 3					
18h	31:15	-	-	-	保留
	14	R/W	0	IREN	IrDA mode 致能. 0 : IrDA 禁能. 1 : IrDA 致能.
	13	R/W	0	HDSEL	Half-duplex 選擇. 0: Half-duplex 禁能. 1: Half-duplex 致能.
	12:0	-	-	-	保留
UART_FERE: Framing error 偵測					
24h	31:4	-	-	-	保留
	3	R/W	0	FERE	幀錯誤偵測啟動。 0: 幀錯誤偵測被關閉。 1: 啟動幀錯誤偵測。
	2:0	-	-	-	保留
UART_ERR: 錯誤旗標暫存器					
30h	31:8	-	-	-	保留
	7	R/W	0	ORE	溢出錯誤。 0: 無溢出錯誤。 1: 檢測到溢出錯誤。設置此位元後，RDR 暫存器內容不會丟失，但班次暫存器將被覆蓋。通過 S/W 寫入 1 清除。
	6	R/W	0	NE	雜訊錯誤旗標。 0: 未檢測到噪音。 1: 檢測到噪音。通過 S/W 寫入 1 清除。
	5	R/W	0	PE	UART 同位檢查位元錯誤旗標。 0: 無同位錯誤。 1: 同位錯誤。通過 S/W 寫入 1 清除
	4	-	-	-	保留
	3	R/W	0	FER	框架錯誤旗標。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					0: 未檢測到幀錯誤。 1: 檢測到幀錯誤。通過 S/W 寫入 1 清除。 錯誤偵測條件:接收過程中每個資料位元組的停止位較低。
	2:0	-	-	-	保留

12.4 功能描述

12.4.1 分數串列傳輸速率 (baud rate) 產生

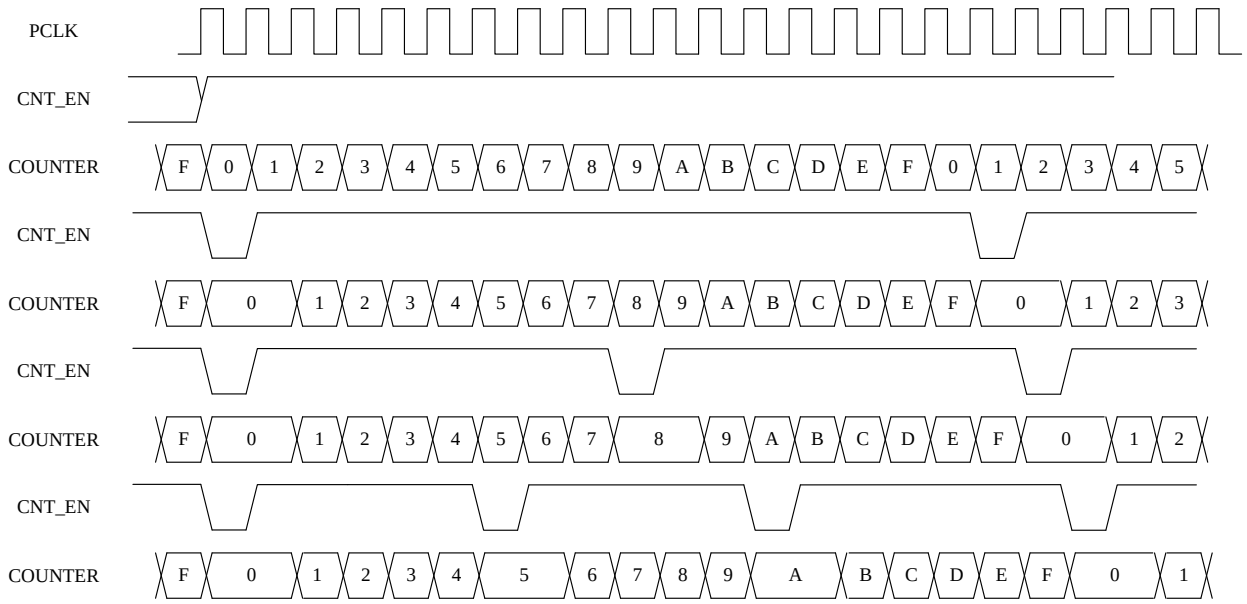
Baud rate = $$\frac{Sysclk}{8*(2-OVER8)*(Mantissa+\frac{Franction}{16})}$$

表格 31 UART Baud Rate Table

	Sysclk 16MHz (OVER8=0)			Sysclk 16MHz (OVER8=1)		
Speed	Baud Rate Register	Actual	Error	Baud Rate Register	Actual	Error
2.4 K	416.625	2400	0.0%	833.3125	2400	0.0%
9.6 K	104.125	9604	0.04%	208.3125	9601	0.01%
19.2 K	52.0625	19208	0.04%	104.125	19208	0.04%
38.4 K	26.0625	38369	0.08%	52.0625	38415	0.04%
57.6 K	17.3125	57762	0.28%	34.75	57554	0.08%
115.2 K	8.625	115942	0.64%	17.375	115108	0.08%
230.4 K	4.3125	231884	0.64%	8.6875	230216	0.08%
921.6K	NA	NA	NA	2.1875	914286	0.8%
2 M	NA	NA	NA	1	2M	0.0%
3 M	NA	NA	NA	NA	NA	NA

Example: $$\frac{Pclk}{16*(1+\frac{1}{16})},\ \frac{Pclk}{16*(1+\frac{2}{16})},\ \frac{Pclk}{16*(1+\frac{3}{16})}$$

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。



Example: $\dfrac{Pclk}{16*(3+\frac{3}{16})}$

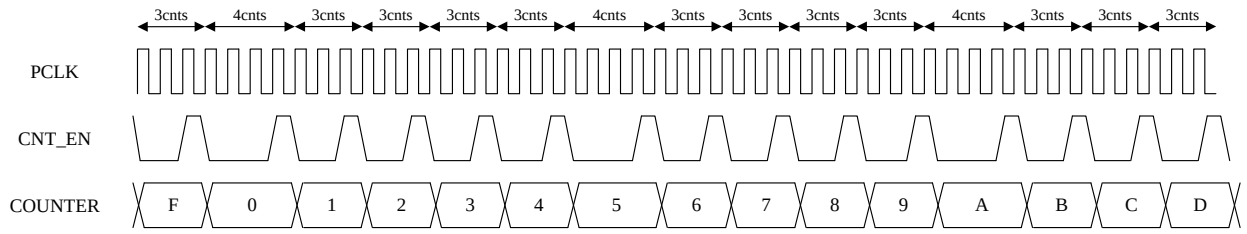


圖 43 串列傳輸速率發生器示例

12.4.2 接收機

Overrun error

未復位 RXNE 時收到字元時，將發生溢出錯誤。在清除 RXNE位元之前，無法將資料從移位暫存器傳輸到 RDR 暫存器。

Noise error

資料採樣時過採樣 16，採樣值為 bit 8、9、10。
資料採樣時過採樣 8，採樣值為 bit 4、5、6。
雜訊誤差旗標位設置在 RXNE 位元的上升沿。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

表格 32 UART 雜訊誤差

Sample value	Noise error	Received bit
000	0	0
001	1	0
010	1	0
011	1	1
100	1	0
101	1	1
110	1	1
111	0	1

Framing error
當接收過程中每個資料位元組的停止位較低時，檢測到幀錯誤。

12.4.3 奇偶校驗控制

表格 33 同位(Parity)控制表

WORD_L bit	PCE bit	UART Data Frame
0	0	Start + 8 bit data + Stop
0	1	Start + 7 bit data + parity bit + Stop
1	0	Start + 9 bit data + Stop
1	1	Start + 8 bit data + parity bit + Stop

12.4.4 單線半雙工通信

通過設置 HDSEL 位元選擇單線半雙工模式。在此模式下，CLKEN 和 IREN 位元必須保持清除。

當 HDSEL 寫入 1:
6. TX 和 RX 線路在內部連接。
7. 不再使用 RX 引腳。
8. 當沒有傳輸資料時，TX 引腳是浮動輸入。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

13 SPI

13.1 主要概述

串列週邊介面 (SPI) 模組是半雙工同步序列介面，可用於與其它週邊或微控制器設備通信。

- 主機操作或從機操作
- 可程式設定時鐘極性和相位
- 帶 MSB 優先或 LSB 優先移位的可程式設定資料順序
- 具有中斷功能的專用傳輸和接收旗標
- 三條線路上的全雙工同步傳輸
- 在兩條帶或不帶雙向資料線的兩條線路上進行單路同步傳輸
- 8 bits 或 16 bits 傳輸框架格式選擇
- 多主機模式功能與匯流排繁忙狀態旗標
- 主機模式或從機模式串列傳輸速率高達 CLK_APB / 2
- 通過硬體或軟體對主機和從機進行 NSS 管理
- 硬體 CRC 功能，具有可配置的多項式，提供可靠的通信
- 具有中斷功能的雜項錯誤旗標
- 具有 DMA 功能的傳輸和接收緩衝器
- 能夠進行下一次訪問延遲配置
- 能夠用主機 RX-only 進行偽(pseudo)計數

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

13.2 方塊圖

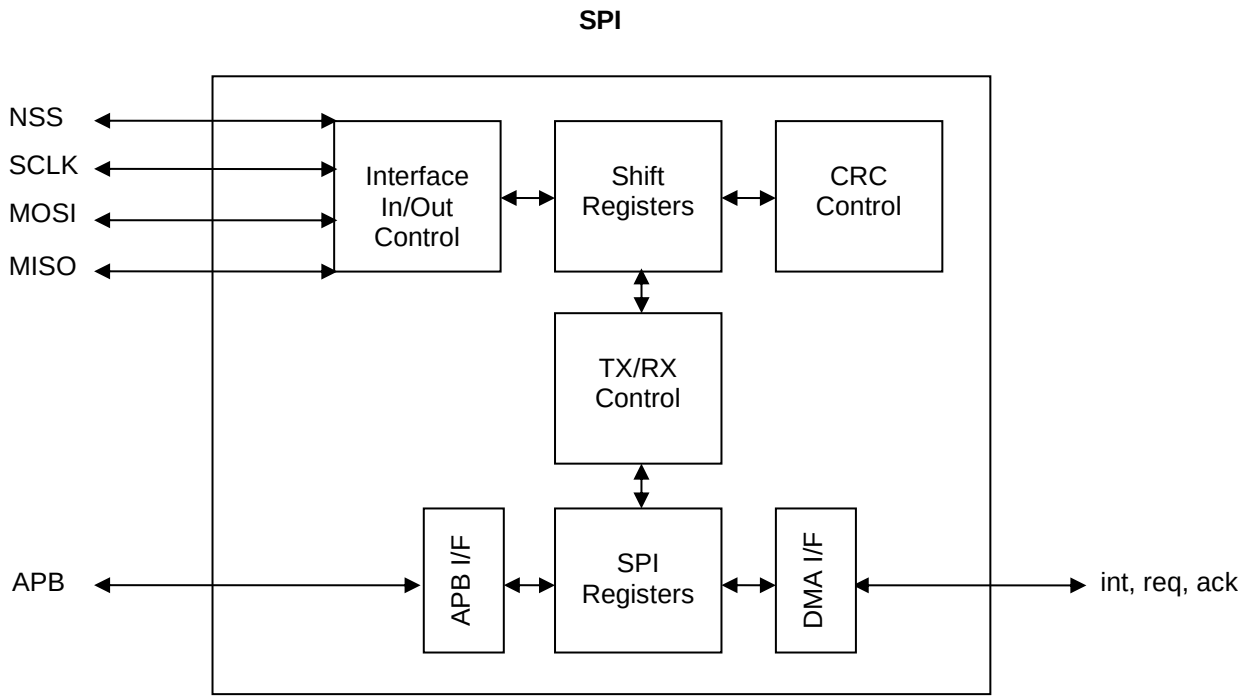


圖 44 SPI module 方塊圖

13.3 暫存器描述

表格 34 SPI 控制暫存器

Index	Bit	R/W	Default	Name	Description
SPI_CR1: SPI 控制暫存器 1					
00h	15	R/W	0	SPE	SPI 致能設置，如果發生 MODFIF，將清除此位元。 注意: 在關閉 SPE 時，SCLK 應保持閒置狀態
	14	R/W	0	HSCC	高速時鐘補償。 設置 HSCC (如果 SCLK ≥ 12MHz)。
	13	R/W	0	BIDIMODE	雙向資料模式設置 (單數)
	12	R/W	0	BIDIOE	雙向模式輸出設置。 0: RX. 1: TX
	11	R/W	0	CRCE	硬體 CRC 設置
	10	R/W	0	CRCNEXT	下一個 CRC 傳輸。 1: 在寫入最後一個 TX 數據之後或讀取倒數第二個數據之後。 注意: 在產生/檢查 CRC 後，將自動清除此位元。
	9:8	-	-	-	保留
	7	R/W	0	MSTR	主機選擇設置
	6	R/W	0	SSOE	從機選擇輸出設置 (主機模式)，如果設置了

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					SSOE，則忽略 NSS 輸入，並且不應在主機模式下設置 MODFIF
	5	R/W	0	SSM	軟體從機模式。 0: 主機模式:檢測到的 NSS 信號由 SPE 控制。從機模式:SPI 檢測來自 NSS 埠的 NSS 信號。如果檢測到的 NSS 處於非活動狀態，則 SPI 處於保持狀態。 1: SPI 檢測來自 SSI 設置的 NSS 信號。
	4	R/W	0	SSI	軟體從機輸入。 軟體 NSS 信號準位，它僅有效 SSM = '1'
	3	R/W	0	MODE16	1 幀資料長度設定 (8/16 bits) 0: 8 1: 16
	2	R/W	0	LSBFE	LSB-first 設置
	1	R/W	0	CPOL	clock 極性(polarity) 0: 當匯流排閒置時，sclk = '0'。 1: 當匯流排閒置時，sclk = "1"。
	0	R/W	0	CPHA	時鐘相位。 0: 第一個時鐘轉換邊緣捕獲資料。 1: 第二個時鐘轉換邊緣捕獲資料。
SPI_CR2: SPI 控制暫存器 2					
04h	15:12	-	-	-	保留
	11:8	R/W	0h	NAD	下一次訪問延遲 (字到字延遲，單位:0.5 位元)包括 NSS 到 SCLK 到 NSS 延遲 (僅限主機模式)。注意:在 NAD 期間，BUSY 旗標處於非活動狀態
	7:0	R/W	01h	BRS	位元速率選擇，有效範圍為 00h 到 ffh。 SCLK = CLK_APB / ((BRS+1)*2) **注意: CLK_AHB / ((BRS+1)*2) ≤ 24MHz**
SPI_EN: SPI counter and enable bit					
08h	15:8	R/W	00h	PSCNT	主機 rx-only 偽(pseudo)計數器 (用於 sclk 產生)
	7	R/W	0	TXNFIE	TX 不為滿的中斷設置
	6	R/W	0	RXNEIE	RX 不為空中斷設置
	5	R/W	0	MODFIE	模式故障中斷設置
	4	R/W	0	CRCFIE	CRC 故障中斷設置
	3	R/W	0	TXOVRIE	TX 溢出中斷設置
	2	R/W	0	RXOVRIE	RX 溢出中斷設置
	1	R/W	0	TXDMAEN	TX DMA 設置
	0	R/W	0	RXDMAEN	RX DMA 設置
SPI_STS: SPI 狀態旗標					
0ch	15:8	-	-	-	保留
	7	R	1	TXNFIF	TX 不為滿旗標，寫入 BUF_DAT 以清除
	6	R	0	RXNEIF	RX 不為空旗標，讀取 BUF_DAT 以清除
	5	R/W	-	MODFIF	模式故障旗標，寫入"1"以清除。 故障條件: 主機模式: NSS = INPUT-0 從機模式: NSS = HIGH，但幀不完整
	4	R/W	-	CRCFIF	CRC 故障旗標，寫入"1"以清除 (注意)
	3	R/W	-	TXOVRIF	TX 溢出旗標，寫入"1"以清除

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	2	R/W	-	RXOVRIF	RX 溢出旗標，寫入"1"以清除
	1	R	-	BUSY	TX/RX 忙碌狀態
	0	-	-	-	保留
SPI_DAT: SPI data buffer					
10h	15:0	R/W	00h	BUF_DAT	TX/RX 的緩衝區資料
SPI_CRC_TX: SPI CRC TX register					
18h	15:0	R	ffffh	CRC_TX	CRC TX 資料
SPI_CRC_RX: SPI CRC RX 暫存器					
1ch	15:0	R	ffffh	CRC_RX	CRC RX 資料

Note: illegal CRCFIF condition under unidirectional TX should be handled by F/W.

13.4 功能描述

狀態旗標 (Status Flags)

為應用程式提供了三個狀態旗標，以完全監視 SPI 匯流排的狀態。

TX 緩衝區未滿旗標 (TX buffer not full flag,TXNF)

設置該標記時，此旗標指示 TX 緩衝區未滿，並且要傳輸的下一個資料可以載入到緩衝區中。寫入 BUF_DAT 暫存器時，將清除 TXNF 旗標。

RX 緩衝區不為空 (RX buffer not empty ,RXNE)

設置時，此旗標指示 RX 緩衝區中有有效的接收資料。讀取 BUF_DAT 時將清除它。

BUSY flag

此 BUSY 旗標由硬體設置和清除 (寫入此旗標不起作用)。BUSY 旗標指示 SPI 通信層的狀態。設置 BUSY 後，它表示 SPI 正忙於通信。

如果軟體想要禁能 SPI 並進入停止模式 (或禁用週邊時鐘)，BUSY 旗標可用於檢測傳輸的結束。這樣可以避免損壞上次傳輸。

BUSY 旗標還可用於避免多主機系統中的寫入衝突。 在傳輸開始時設置 BUSY 旗標。
可清除如下:
- 傳輸完成後
- 禁能 SPI 時
- 當主機模式故障發生時 (MODFIF=1)

當通信不是連續的時，每個通信之間的 BUSY 旗標都為低。

通信連續時:
- 在主機模式下，在傳輸過程中，BUSY 旗標保持為高
- 在從機模式下，BUSY 旗標在每次傳輸之間的半 SPI 時鐘週期中處於低位

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

錯誤旗標

Mode fault (MODFIF)

當主機在從機設備資料傳輸過程中檢測到其輸入 NSS 引腳拉低或停用 NSS 時，會發生模式故障，這會自動設置 MODFIF 位元。模式故障以下列方式影響 SPI 週邊:
● 設置 MODFIF 位元，如果設置了 ERRIE 位元，則產生 SPI 中斷。
● SPE 位元已清除。這將阻止設備的所有輸出，並禁用 SPI 介面。

將"1"寫入 MODFIF 位元以清除模式故障狀態。為了避免在包含多個 MCUs 的系統中出現多個從機衝突，必須在 MODFIF 位元清除序列期間將 NSS 引腳拉高。MODFIF 引起的中斷不受 SPE 設置的控制。
作為安全性，硬體不允許在設置 MODFIF 位元時設置 SPE 位元。

在從機中，如果正在處理不完整的幀，並且 NSS 從低到高時被停用，則將設置 MODFIF 位元元。中斷常式可用於通過執行復位或返回到預設狀態來從此狀態中乾淨地恢復。

CRC error

此旗標用於驗證在控制暫存器中接收的 CRCE 位元時接收的值的有效性。如果收到的 CRC 值不正確，則設置 CRCERR 旗標暫存器。CRCFIF 回應 CRC 檢查結果後 CRCNEXT 被硬體清除。

不足和溢出條件 **(Underrun and overrun condition)**

TXUDRIF

當設備在幀傳輸開始之前未填充資料位元組時，將發生運行不足的情況。當出現不足情況時:
●設置 TXUDRIF 位元，如果設置了 TXUDRIE 位元，則產生中斷。
在這種情況下，發射機緩衝區沒有從設備傳輸的內容，在這種情況下，如果發生 TXUDRIF，傳輸的資料將毫無意義。清除 TXUDRIF 位元是通過將"1"寫入 TXUDRIF 暫存器來完成的。

RXOVRIF

當 TX 設備已發送資料位元組且 RX 設備未清除由之前傳輸的資料位元組導致的 RXNE 位元時，將發生溢出情況。發生超運行情況時:
●設置 RXOVRIF 位元，如果設置 RXOVRIE 位元，則產生中斷。在這種情況下，接收方緩衝區內容將不會使用由主機新接收的資料進行更新。從 BUF_DAT 暫存器讀取返回此位元組。所有其它隨後傳輸的位元組將丟失。清除 RXOVRIF 位元是通過將"1"寫入 RXOVRIF 暫存器來完成的。

CRC Calculation

實施兩個單獨的 CRC 計算機 (關於傳輸和接收資料流程)，以檢查傳輸和接收資料的可靠性。SPI 提供 CRC8 或 CRC16 計算，具體取決於通過模式選擇位選擇的資料格式。CRC 使用 CRC_POLY 暫存器中程式設定的多項式連續計算。

通過設置 CRCE 暫存器啟用 CRC 計算，CRCE 的低到高轉換可復位 CRC 邏輯。計算在 CPHA 和 CPOL 設置定義的採樣時鐘邊上處理。計算出的 CRC 值在資料塊的末尾自動檢查，以及 CPU 或 DMA 管理的傳輸。當檢測到在接收資料上內部計算的 CRC 與發射機發送的 CRC 之間出現不匹配時，CRCERR 旗標將設置為指示資料損壞錯誤。處理 CRC 計算的正確過程取決於 SPI 配置和所選的傳輸管理。對於 8 bit 模式，僅使用 CRC[POLY[7:0]，初始 CRC 值和 XOR CRC 輸出均固定為 0。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Reference CRC polynomials:
8-bit: C(x) = x^8 + x^2 + x^1 + x^0, CRC_POLY = 16'h0007
16-bit: C(x) = x^16 + x^12 + x^5 + x^0, CRC_POLY = 16'h1021

SPI Interrupts

中斷事件	事件旗標	致能控制位元
Transmit buffer not full flag	TXNFIF	TXNFIE
Receive buffer not empty flag	RXNEIF	RXNEIE
Mode fault flag	MODFIF	MODFIE
CRC error flag	CRCFIF	CRCFIE
TX underrun error flag	TXUDRIF	TXUDRIE
RX overrun error flag	RXOVRIF	RXOVRIE

SPI 中斷由 SPE 設置、中斷啟用和中斷旗標控制，但獨立于 SPE 設置的中斷源的 MODFIF 除外。

使用 DMA 的 SPI 通信 (SPI communication using DMA)

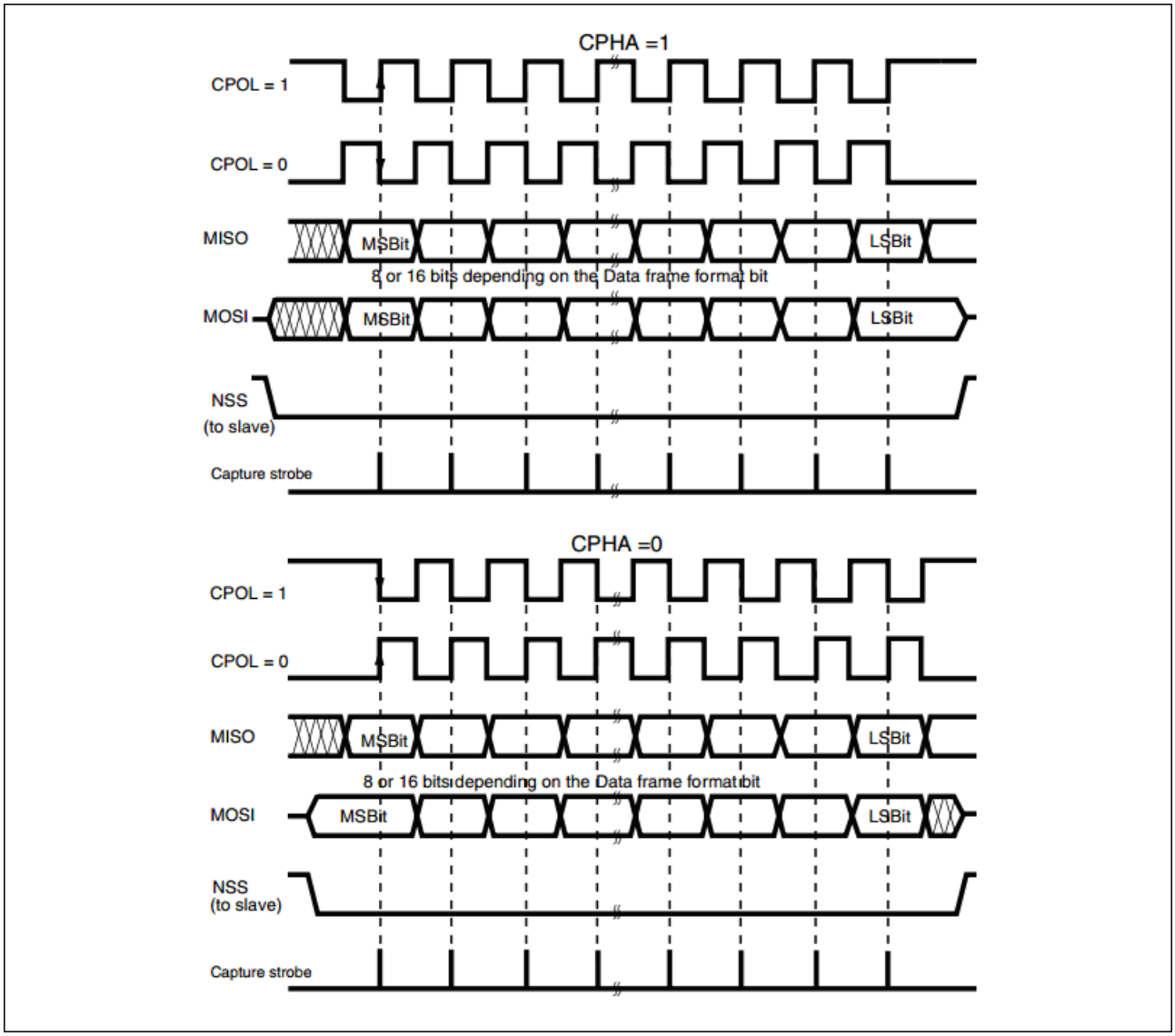
為了以最大速度運行，SPI 需要隨傳輸資料一起饋送，並且應讀取 Rx 緩衝區上接收的資料，以避免不足/溢出。為了便於傳輸，SPI 具有實現簡單請求/確認協定的 DMA 功能。啟用位元打開時，將請求 DMA 訪問。必須向 TX 和 RX 緩衝區發出單獨的請求:

- 在傳輸中，每次 TXNF 設置為 1 時都會發出 DMA 請求。然後，DMA 寫入 BUF_DAT 暫存器 (這將清除 TXNF 旗標)。
- 在接收中，每次將 RXNE 設置為 1 時都會發出 DMA 請求。然後，DMA 讀取 BUF_DAT 暫存器 (這將清除 RXNE 旗標)。

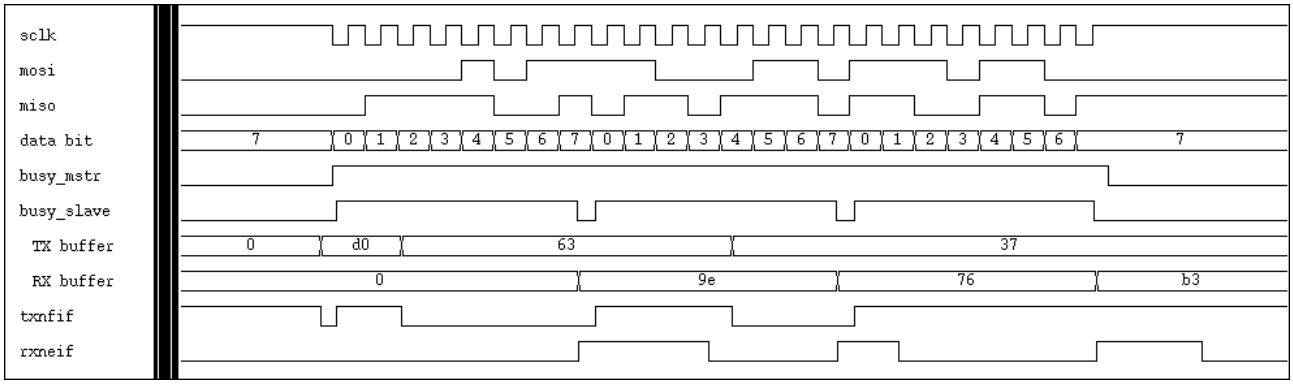
當 SPI 僅用於傳輸資料時，可以僅啟用 SPI TX DMA 通道。在這種情況下，將設置 RXOVRIF 旗標，因為無法讀取接收的資料。當 SPI 僅用於接收資料時，可以通過設置 PSCNT 暫存器僅啟用 SPI RX DMA 通道。
在傳輸模式下，當 DMA 寫入要傳輸的所有資料 (標記 TCIF 設置在 DMA 暫存器中)時，可以監視 BUSY 旗標以確保 SPI 通信完成。這是為了避免在禁用 SPI 或進入停止模式之前損壞最後一個傳輸所必需的。軟體必須首先等待 TXNF=1，然後等到 BUSY=0。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

13.5 SPI Timing Diagram

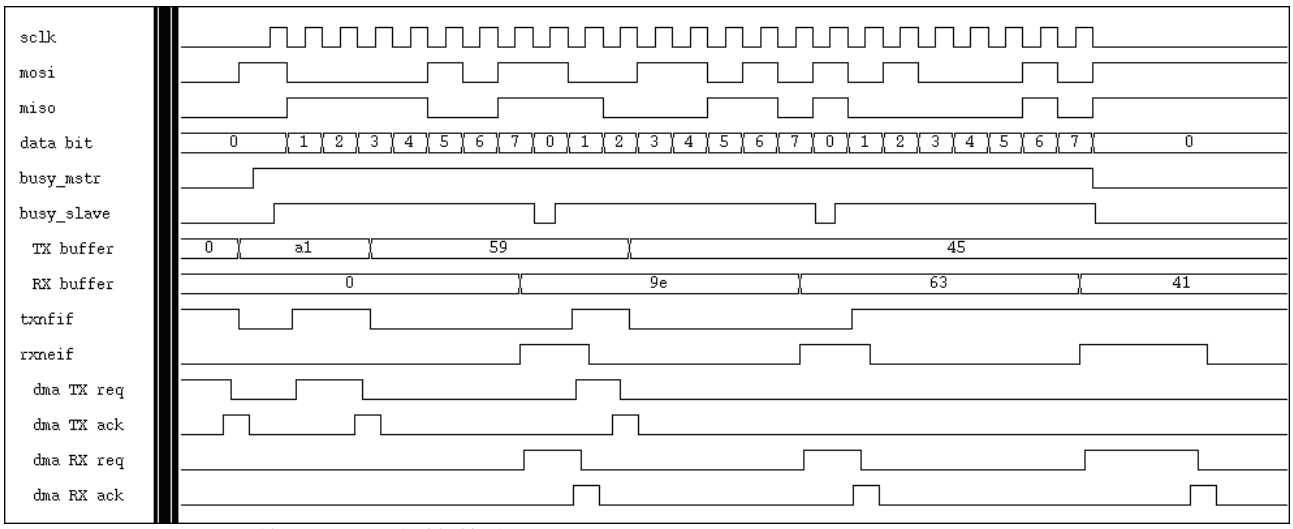


Data clock timing diagram for LSBFE = 0



Signal behavior in master/slave mode (LSBFE = CPOL = CPHA = 1, MODE16 = 0)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。



使用 DMA 傳輸/接收 (LSBFE = 1, mode16 = CPOL = CPHA = 0)

注意: 在從機模式下，下降的 NSS 和第一個 SPI 時鐘轉換，最後的 SPI 時鐘轉換和上升的 NSS 之間需要至少 3 個系統時鐘。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

14 I2S

14.1 主要概述

- 相容 APB 介面
- I2S 可工作於為主機端或從機端
- 數據長度支援 16、24、32 位元
- 支援 I^2S 和 MSB-justified 資料格式
- 支援一個輸出通道和一個輸入通道 (共用 BCLK 和 LRCK)
- 提供兩個 8 字組 (WORD) FIFO 資料緩衝區，一個用於傳輸，另一個用於接收
- 支援兩個 DMA 請求，一個用於傳輸，另一個用於接收
- 當緩衝區內之資料大小大於程式設定之邊界時(可設置為 1、2、3、4 字組)，可產生中斷要求
- 位時鐘(BCLK)和左/右時鐘(LRCK)的比率可設置為 32/48/64

14.2 方塊圖

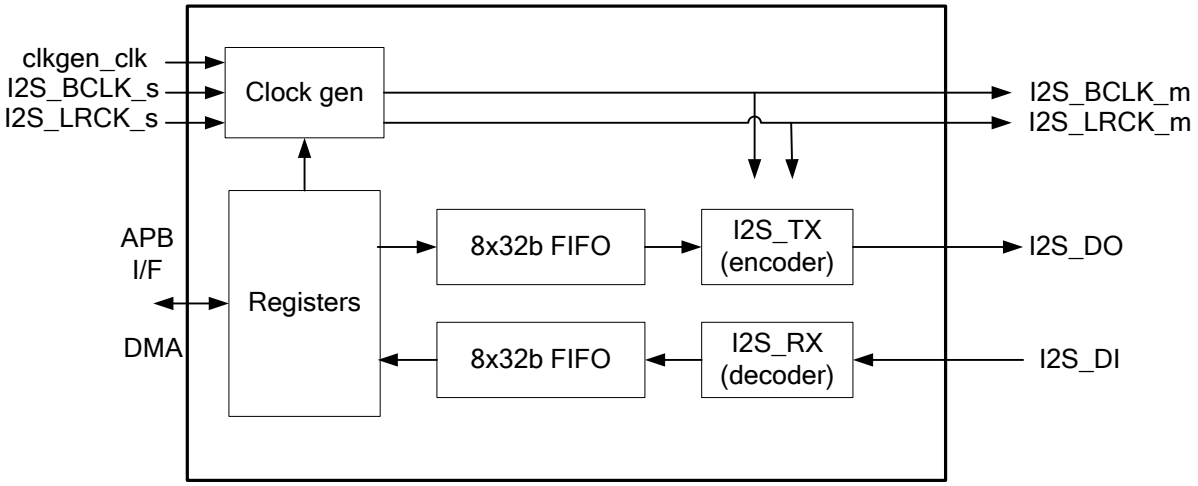


圖 45 I^2S 方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

14.3 暫存器描述

表格 35 I^2S 控制暫存器

Index	Bit	R/W	Default	Name	Description
I2S_CFG: I2S 設置暫存器					
00h	31:20	-	-	-	保留
	19:18	R/W	0	BCLKGEN_SRC	位元時鐘(BCLK)產生器的時鐘來源選擇: 00: MCU_CLK 01: AUX_PLL 10: XTAL 11: 保留
	17:11	R/W	05h	BCLK_LOW_DUTY	位元時鐘(BCLK) 低位準之週期 (duty) 設置 ((BCLK_LOW_DUTY[6:0]+1)+(BCLK_HIGH_DUTY[6:0]+1))
	10:4	R/W	05h	BCLK_HIGH_DUTY	位元時鐘(BCLK) 高位準之週期 (duty) 設置 ((BCLK_LOW_DUTY[6:0]+1)+(BCLK_HIGH_DUTY[6:0]+1))
	3:2	R/W	0	BCLK_RATE	BCLK/ LRCK 比率設置 (f_{BCLK} /f_{LRCK}) 0 or 1: 32, 2: 48 , 3: 64
	1	R/W	0	LJ_MODE	1: left justified, 0: I2S mode
	0	R/W	1	MASTER_SLAVE	1: 主機模式(Master)，0: 從機模式(Slave)
I2S_DCFG: I2S 資料設置					
04h	31:20	-	-	-	保留
	19:18	R/W	0	RX0_THRESHOLD	I2S RX0 頻道產生中斷/DMA 要求所需之接收數據長度設置 0: 1 word, 1: 2 words, 2: 3 words, 3: 4 words
	17:16	R/W	0	RX0_BLEN	I2S RX0 頻道之音訊位元長度設置。 0 或 1: 16 位元、2: 24 位元、3: 32 位元
	15:4	-	-	-	保留
	3:2	R/W	0	TX0_THRESHOLD	I2S TX0 頻道產生中斷/DMA 要求所需之數據長度設置。 0: 1 word, 1: 2 words, 2: 3 words, 3: 4 words
	1:0	R/W	0	TX0_BLEN	I^2S TX0 頻道之音訊位元長度設置 0 or 1: 16-bit, 2: 24-bit, 3: 32-bit
I2S_CR: I2S TX/RX 控制暫存器					
08h	31:20	-	-	-	保留
	19	R/W	0	RX0_FLUSH	寫入 1 以清除接收 FIFO 緩衝區內之數據(RX0)
	18	R/W	0	RX0_INT_EN	啟用中斷 (RX0 通道)
	17	R/W	0	RX0_DMA_EN	啟用 DMA 傳輸 (RX0 通道)
	16	R/W	0	RX0_EN	啟用 I2S 功能 (RX0 通道)
	12:4	-	-	-	保留
	3	R/W	0	TX0_FLUSH	寫入 1 以清除傳送 FIFO 緩衝區內之數據(TX0)
	2	R/W	0	TX0_INT_EN	啟用中斷 (TX0 通道)
	1	R/W	0	TX0_DMA_EN	致能 DMA 傳輸 (TX0 通道)
	0	R/W	0	TX0_EN	致能 I2S 功能 (TX0 通道)
I2S_TXSR: I2S TX 狀態					
0Ch	31:8	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	7	R/W1C		TX0_ERROR	TX0 頻道發生錯誤 (數據過載或欠載)，軟體寫 1 來進行清除
	6	R	1	TX0_EMPTY	TX0 頻道之傳送 FIFO 緩衝區為空
	5	R	0	TX0_FULL	TX0 頻道之傳送 FIFO 緩衝區已滿
	4	R	1	TX0_INT	TX0 頻道發生中斷
	3:0	R	0	TX0_CNT	TX0 頻道之 FIFO 緩衝區內之數據長度 (以字組為單位)
I2S_RXSR: I2S RX 狀態					
10h	31:8	-	-	-	保留
	7	R/W1C	0	RX0_ERROR	RX0 頻道發生錯誤 (數據過載或欠載)，軟體寫 1 來進行清除
	6	R	0	RX0_EMPTY	RX0 頻道之接收 FIFO 緩衝區為空
	5	R	0	RX0_FULL	RX0 頻道之接收 FIFO 緩衝區已滿
	4	R	1	RX0_INT	RX0 頻道發生中斷
	3:0	R	0	RX0_CNT	RX0 頻道之 FIFO 緩衝區內之數據長度 (以字組為單位)
I2S_TX_FIFO: I2S TX FIFO					
20h	31:0	W	-	TX0_FIFO	TX0 頻道之傳送數據暫存器 16 位元數據: [31:16]為右聲道，[15:0]為左聲道 24 位元數據: [23:0]為右聲道或左聲道 (左聲道數據先送出) 32 位元數據: [31:0]為右聲道或左聲道 (左聲道數據先送出)
I2S_RX_FIFO: I2S RX FIFO					
30h	31:0	R	-	RX0_FIFO	I^2S RX0 頻道之接收數據暫存器 16 位元數據: [31:16]為右聲道，[15:0]為左聲道 24 位元數據: [23:0]為右聲道或左聲道 (左聲道數據在前) 32 位元數據: [31:0]為右聲道或左聲道 (左聲道數據在前)

R/W1C: 讀取 與 寫“1”清除

注意: 在主機端模式下取樣率進行改變 (即 BCLK 之高/低準位週期發生改變)，或者進行主機/從機端切換之前必須先將 I2S 禁能，待完成設定改變後再將 I2S 致能。

14.4 功能描述

I2S 模組具有兩個時鐘訊號即BCLK (位元時鐘) 與LRCK (左右聲道時鐘)，同時亦具有兩個數據訊號線即DI、DO，其中每個數據訊號線皆包含兩個聲道之數據，因為只有一組 BCLK 與 LRCK 所以同一時間只致能 I^2S 編碼器或 I^2S 解碼器，除非連接的 DAC 或 ADC CODEC 具有相同的 BCLK 與 LRCK。當為 I^2S 主機端時，BLCK 是利用系統時鐘來產生，此時 BCLK 的時鐘符合 I^2S 規格 (±10%)，BCLK 的高/低週期可透過 I^2S 控制暫存器來進行設置以產生不同的採樣頻率 (Sampling Rate)。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

14.4.1 I2S Bus 的基礎

I^2S 介面支援主機端 (Mater) 與從機端 (Slave) 模式。在主機端模式下，BCLK 與 LRCK 的訊號乃由 MCU 所產生，如圖 46 (a); 反之，在從機模式下，BLCK 與 LRCK 是由與 CPU 連接之 Codec 所提供，如圖 46(b)。

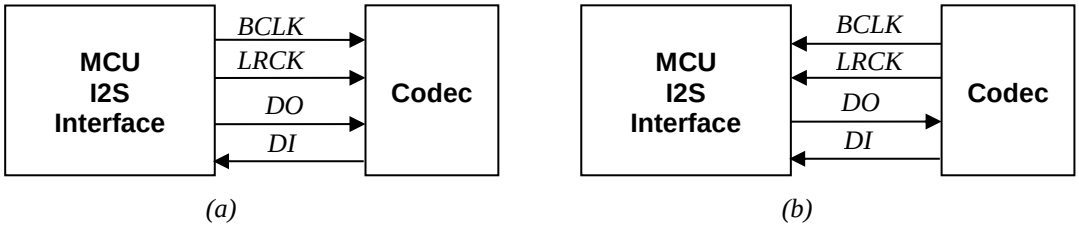


圖 46 (a) I2S 主機模式 (b) I2S 從機模式

圖 47 為 I^2S 基本波形，其中 LRCK 乃於 BCLK 的負緣產生且 LRCK 為 BCLK 的 1/64，數據訊號線傳輸於 BCLK 的負緣端且取樣於 BCLK 的正緣端。

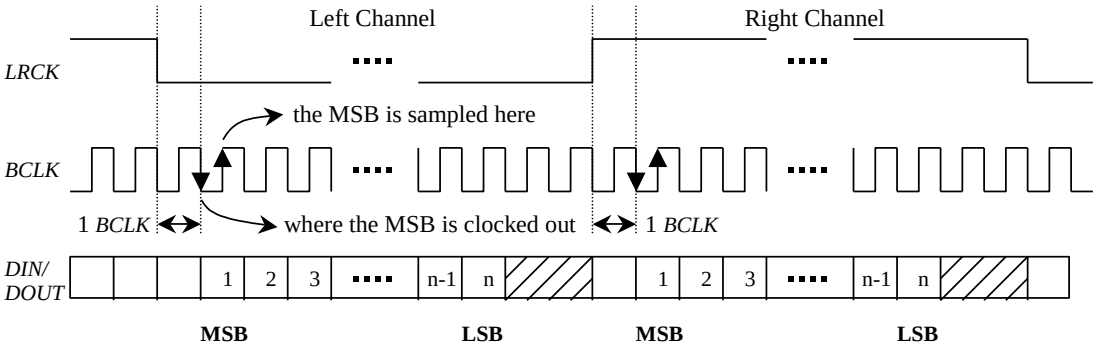


圖 47 I2S 介面的基本計時圖

針對 I^2S DAC 控制器，音頻數據在傳輸前會先將並列格式之數據先轉換成序列格式，接著再由 MSB 開始一個位元接著一個位元平移輸出至 DOUT 訊號線上; 相同的方式，當從 DI 訊號線上接收來自於 ADC 控制器所輸出的串列訊號，MCU 會將其轉換為並列數據並儲存於數據緩衝區內。

14.4.2 左對齊模式

在與 Left Justified 模式下的 I^2S DAC 控制器連接時，MSB 數據位元乃由 MCU 送出於 BLCK 之負緣，同時對齊於 LRCK 發生轉換時; 反之，在與 Left Justified 模式下的 ADC 控制器連接時，MSB 數據位元乃由 ADC 控制器輸出，MCU 會於 LRCK 轉換後的 BLCK 的正緣進行數據取樣。在此模式下，左聲道數據傳輸時 LRCK 為高準位; 而右聲道數據傳輸時 LRCK 為低準位。下圖(圖 48)即為此模式之時序圖。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

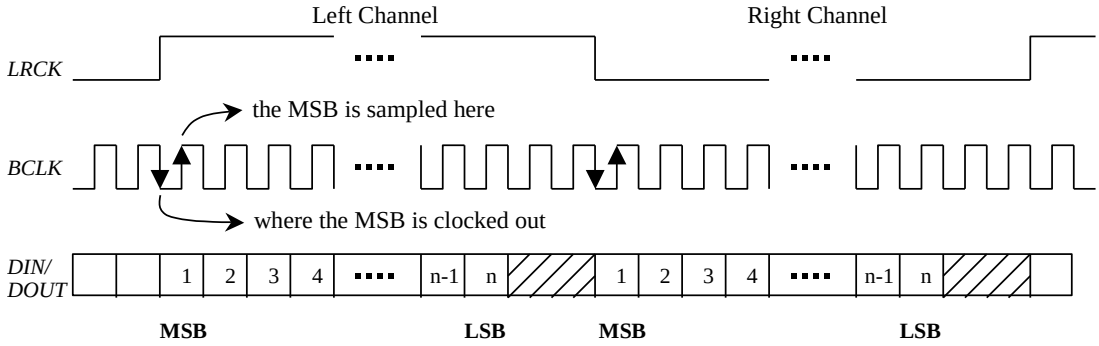


圖 48　　I2S 介面左對齊模式計時圖

14.4.3　I2S Mode

在與 I^2S 模式下的 I^2S DAC 控制器連接時，MSB 數據位元是由 MCU 送出於 LRCK 轉換後的第一個 BLCK 之負緣; 反之，MCU 在與 I^2S 模式下的 ADC 控制器連接時，MSB 數據位元是由 ADC 控制器輸出，WT32L064/032 會於 LRCK 轉換後的第 2 個 BLCK 的正緣進行數據取樣。在此模式下，左聲道數據傳輸時 LRCK 為低準位; 而右聲道數據傳輸時 LRCK 為高準位。下圖(圖 49)即為此模式之時序圖。

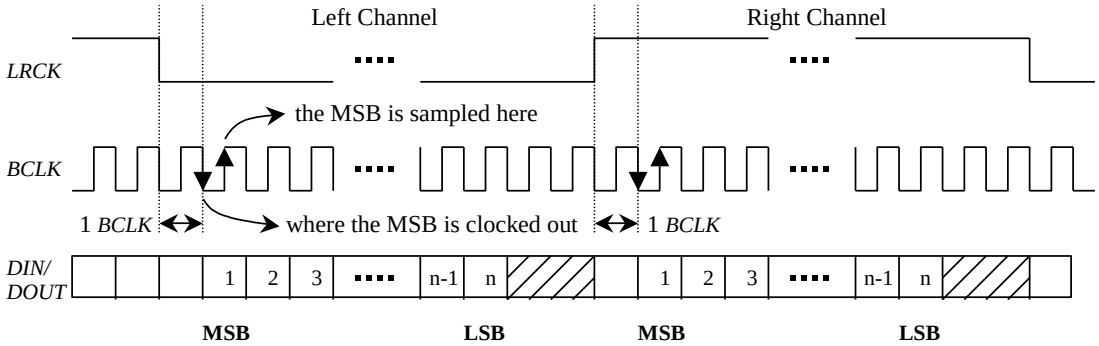


圖 49　　I2S 介面的 I2S 模式計時圖

14.4.4　I2S 時鐘產生器

在主機端模式下，I^2S 的位元時鐘乃由系統時鐘進行除頻所產生，相關的 BLCK 高/低準位之週期與取樣率的關係如下表(表格 37)，其中計算方式為:
Ideal bit clock rate = (sampling rate) * (f_{BCLK} / f_{LRCK})
Bit clock rate = (Main clock)/((Clock high duty+1)+(Clock low duty+1))。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

表格 36 I2S Sampling Rate

Main clock	Sampling rate	Clock high duty setting	Clock low duty setting	f_{BCLK} / f_{LRCK}	Bit clock rate	Ideal bit clock
18.432 MHz	48k	5	5	32	1536k	1536k
18.432 MHz	48k	3	3	48	2304k	2304k
18.432 MHz	48k	2	2	64	3072k	3072k
24.576 MHz	48k	7	7	32	1536k	1536k
24.576 MHz	48k	5	4	48	2234k	2304k
24.576 MHz	48k	3	3	64	3072k	3072k

表格 37 I2S System Clock = 24MHz (assume f_{BCLK}=64fs)

Sampling rate	Clock high duty	Clock low duty	Bit clock rate	Ideal bit clock
8k	22	22	521.74k	512k
11.025k	16	16	705.88k	705.6k
12k	15	15	750k	768k
16k	11	11	1000k	1024k
22.025k	8	7	1411.76k	1411.2k
24k	7	7	1500k	1536k
32k	5	5	2000k	2048k
44.1k	3	3	3000k	2822.4k
48k	3	3	3000k	3072k
88.2k	1	1	6000k	5644.8k
96k	1	1	6000k	6144k
192k	0	0	12000k	12288k

表格 38 I2S System Clock = 12MHz (assume f_{BCLK} =64fs)

Sampling rate	Clock high duty	Clock low duty	Bit clock rate	Ideal bit clock
8k	11	10	521.74k	512k
11.025k	8	7	705.88k	705.6k
12k	7	7	750k	768k
16k	5	5	1000k	1024k
22.025k	4	3	1411.76k	1411.2k
24k	3	3	1500k	1536k
32k	2	2	2000k	2048k
44.1k	1	1	3000k	2822.4k
48k	1	1	3000k	3072k
88.2k	0	0	6000k	5644.8k
96k	0	0	6000k	6144k

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

15 實時計數器 (Real-Time Clock)

15.1 主要概述

系統時鐘之實時計數器 (RTC) 是一個獨立的 BCD 計時器/計數器。RTC 提供具有可程式設定報警中斷的時鐘與日曆時間。RTC 還包括一個可程式設定的週期中斷。暫存器包含秒、分鐘、小時 (24 小時格式)、星期幾、日期、月份和年份，以二進位編碼十進位格式 (BCD) 表示。自動執行每月 28 天、29 天 (閏年)、30 天和 31 天的效果。

- 帶有秒、分鐘、小時 (24 小時格式)、星期幾、日期、月份和年份的日曆。
- 帶中斷功能的可程式設定報警。報警可以由日曆欄位的任意組合觸發。
- 可程式設定週期中斷功能
- 閏年修正
- 需要外部 32.768 kHz 時鐘晶體

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

15.2 方塊圖

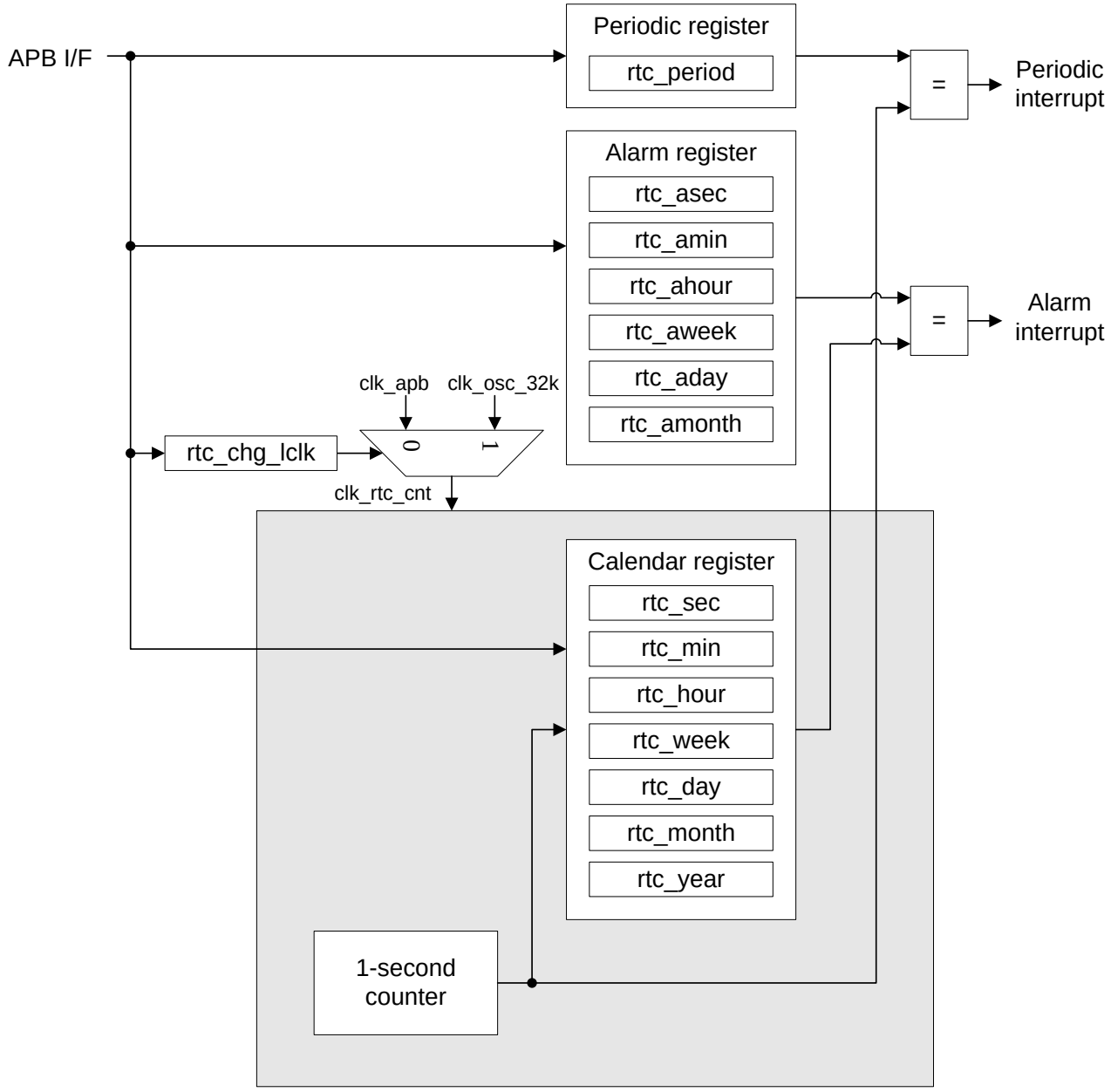


圖 50 RTC 方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

15.3 暫存器描述

表格 39 RTC 控制暫存器

Index	Bit	R/W	Default	Name	Description
RTC_CR: RTC control					
00h	31:16	-	-	-	保留
	15	R/W	0	rtc_en	RTC 致能 0: 禁能 RTC 1: 致能 RTC
	14:10	-	-	-	保留
	9	R/W	0	rtc_lse_en	選擇 RTC 時鐘源，LSE: 32768 Hz 或 LSI:37 kHz。 0: LSI 1: LSE
	8	R/W	0	rtc_chg_lclk	啟用 RTC 時鐘=32 kHz 低頻時鐘。 0: 可以讀取/寫入 RTC 暫存器。(暫存器和時鐘源同步，所以可正常讀取/寫入) 1: 無法讀取/寫入 RTC 暫存器。
	7:6	-	-	-	保留
	5:4	R/W	0	rtc_period	RTC 週期中斷時間設置 0: 1 s (1Hz) 1: 62.5 ms (16Hz) 2: 31.25 ms (32Hz) 3: 15.625 ms (64Hz)
	3:2	-	-	-	保留
	1	R/W	0	rtc_alarm_ie	啟用 RTC 報警中斷。 0: 禁能報警中斷。 1: 致能報警中斷。
	0	R/W	0	rtc_period_ie	啟用 RTC 定期中斷。 0: 禁能週期中斷。 1: 致能週期中斷。
RTC_ISR: RTC interrupt status register					
04h	30:2	-	-	-	保留
	1	R/W1c	0	rtc_alarm_if	RTC 報警中斷旗標。 0: 無報警中斷事件。 1: 有報警中斷事件。
	0	R/W1c	0	rtc_period_if	RTC 週期中斷旗標。 0: 無週期中斷事件。 1: 有週期中斷事件。
RTC_TIME: RTC time setting					
10h	31:22	-	-	-	保留
	21:16	R/W	0	rtc_hour	在 BCD 中編碼的小時，範圍為 0~23。 Rtc_hour[5:4]:十小時單元。 Rtc_hour [3:0]:小時單位。
	15	-	-	-	保留
	14:8	R/W	0	rtc_min	在 BCD 中編碼的分鐘數，範圍為 0~59。 Rtc_min[6:4]: 十分鐘單元。 Rtc_min[3:0]: 分鐘單位。
	7	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	6:0	R/W	0	rtc_sec	在 BCD 中進行第二次編碼，範圍為 0~59。 Rtc_sec[6:4]: 十秒單元。 Rtc_sec[3:0]: 秒單元。
RTC_DATE: RTC date setting					
14h	31:24	R/W	0	rtc_year	年份編碼在 BCD 中，範圍為 0~99。 Rtc_year[7:4]: 十年單位。 Rtc_year[3:0]: 年單位。
	23:21	-	-	-	保留
	20:16	R/W	1	rtc_month	月份編碼在 BCD 中，範圍為 1~12。 Rtc_month[4]: 十月單位。 Rtc_month[3:0]: 月單位。
	15:14	-	-	-	保留
	13:8	R/W	1	rtc_day	在 BCD 中編碼的日數，範圍為 1~31。 Rtc_day[5:4]: 十日單位。 Rtc_day[3:0]: 日單位。
	7:3	-	-	-	保留
	2:0	R/W	0	rtc_week	以 BCD 編碼的周日，範圍為 0~6。 0: 星期日 1: 星期一 2: 星期二 3: 星期三 4: 星期四 5: 星期五 6: 星期六
RTC_A_TIME: RTC alarm time setting					
18h	31:23	-	-	-	保留
	22	R/W	0	rtc_ahour_en	致能報警小時。 0: 禁能。 1: 致能報警設置，小時單位匹配。
	21:16	R/W	0	rtc_ahour	報警小時編碼為 BCD，範圍為 0~23。 Rtc_ahour[5:4]: 十小時單位。 Rtc_ahour[3:0]: 小時單位。
	15	R/W	0	rtc_amin_en	致能報警分鐘。 0: 禁能。 1: 致能報警設置，分鐘單位匹配。
	14:8	R/W	0	rtc_amin	報警分鐘編碼為 BCD，範圍為 0~59。 Rtc_amin[6:4]: 十分鐘單位。 Rtc_amin[3:0]: 分鐘單位。
	7:0	-	-	-	保留
RTC_A_DATE: RTC alarm date setting					
1ch	31:22	-	-	-	保留
	21	R/W	0	rtc_amonth_en	致能報警月份。 0: 禁能。 1: 致能報警設置，月單位匹配。
	20:16	R/W	1	rtc_amonth	報警月份編碼為 BCD，範圍為 1~12。 Rtc_amonth [4]:十月單位。 Rtc_amonth [3:0]:月單位。
	15	-	-	-	保留

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	14	R/W	0	rtc_aday_en	致能報警日期。 0: 禁能。 1: 致能報警設置，日期單位匹配。
	13:8	R/W	1	rtc_aday	報警日編碼為 BCD，範圍為 1~31。 Rtc_aday[5:4]: 十天單位。 Rtc_aday[3:0]: 日單位。
	7:4	-	-	-	保留
	3	R/W	0	rtc_aweek_en	啟用報警周。 0: 禁能。 1: 致能報警設置，星期單位匹配。
	2:0	R/W	0	rtc_aweek	報警周日編碼為 BCD，範圍為 0~6。 0: 星期日。 1: 星期一。 2: 星期二。 3: 星期三。4: 星期四。5: 星期五。6: 星期六。
RTC_LSE_CFG: RTC LSE configuration					
20h	31:14	-	-	-	保留
	13:12	R/W	3h	rtc_lse_cur	選擇 Bias Current Ratio to X'tal cir. Block for LSE X'tal pad. 3h: 預設值.
	11:10	-	-	-	保留
	9:8	R/W	3h	rtc_lse_bgo	從 Bandgap block 選擇 LSE X'tal pad 的偏置電流。 3h: 預設值。
	7	-	-	-	保留
	6:4	R/W	0	rtc_lse_envt	選擇 LSE X'tal pad 的 X'tal 反相的閾值電壓驅動電平。 000: 預設值。
	3:2	-	-	-	保留
	1:0	R/W	0	rtc_lse_ed	選擇 LSE X'tal pad 的驅動電流。00:預設值。

15.4 功能描述

15.4.1 可程式設定鬧鐘 (Programmable Alarm)

可利用 rtc_alarm_ie[0]暫存器啟用可程式設定報警功能。如果日曆分鐘、小時、日期或星期與報警暫存器 (18h 和 1ch 暫存器)中程式設定的值匹配，則 rtc_alarm_if[0] 設置為 1。每個日曆欄位可以利用這些暫存器的啟用位元 (rtc_amin_en [0]、rtc_ahour_en[0]、rtc_aweek_en[0]等)獨立選擇。利用 00h 暫存器中的 rtc_alarm_ie 位元可啟用報警中斷。

15.4.2 週期中斷 (Periodic Interrupt)

週期中斷旗標由內部 15-bit，1 秒計數器產生。通過設定 rtc_ period _ie[0]致能週期中斷功能，在 00h 暫存器中。定期中斷計時器可程式設定為產生 1s、62.5ms、31.25ms 和 15.63 ms 週期喚醒時間。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

16 獨立看門狗計時器

16.1 主要概述

獨立看門狗 (IWDT) 有其自己的專用低速時鐘 37 kHz 計時，因此即使主時鐘發生故障，也能保持活動狀態。IWDT 最適合需要看門狗作為主應用程式之外的完全獨立運行的應用程式，但時序精度限制較低。

- 自由運行的向下計數器
- 使用獨立振盪器 (37 kHz)時鐘源
- 當向下計數器到達 000h 值時復位 (如果啟用了看門狗)

16.2 方塊圖

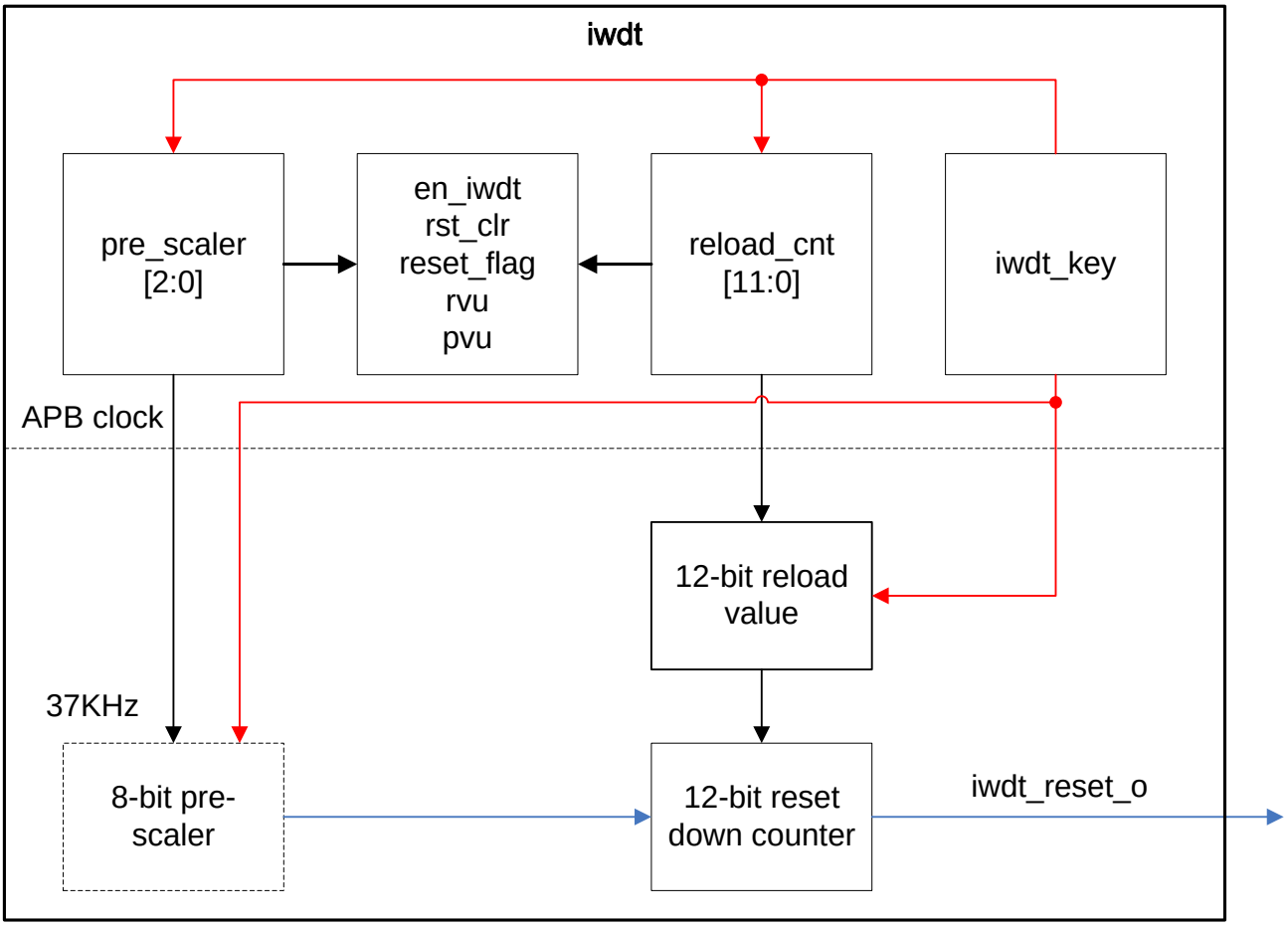


圖 51 IWDT 方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

16.3 暫存器描述

表格 40 IWDT 控制暫存器

Index	Bit	R/W	Default	Name	Description
IWDT_KEY: IWDT key register					
00h	31:16	-	-	-	保留
	15:0	W	-	iwdt_key	僅允許寫入的暫存器，必須由軟體定期編寫以重新載入復位計數器，否則看門狗會在復位計數器達到 0 時產生復位。 Cccch: 致能 IWDT (復位計數器啟動) aaaah: 重新載入復位計數器和預除器復位 5555h: 致能存取預除器和復位計數器暫存器 (解除保護) 注意: 此暫存器訪問之間的時間間隔必須至少為 60μs。
IWDT_STS: IWDT status register					
04h	31:8	-	-	-	保留
	7	R	0	en_iwdt	0: IWDT 致能 1: IWDT 禁能
	6:5	-	-	-	保留
	4	R	0	reload_work	0:準備下次重置計數器重新載入。 1:上一次重新載入過程正在進行，下次重置計數器重新載入無效。
	3	-	-	-	保留
	2	-	-	-	保留
	1	R	0	rvu	計數器重新載入值更新。 此位元由硬體設置，以指示正在更新重新載入值。當重新載入值更新操作完成時，由硬體重置
	0	R	0	pvu	預除器值正在載入更新。 此位元由硬體設置，以指示正在進行預除器值的更新。完成預除器更新操作後，由硬體復位
IWDT_PRE_SCALER: IWDT pre-scaler for down counter					
08h	31:3	-	-	-	保留
	2:0	R/W	0	pre_scaler	時鐘預除器為向下計數器。此暫存器是受 iwdt_key[15:0] = 5555h 才能存取。 0: divide 4 1: divide 8 2: divide 16 3: divide 32 4: divide 64 5: divide 128 6, 7: divide 256 注意: pvu[0] 位元必須復位後才能更改 pre-scaler[2:0].
IWDT_RELOAD: IWDT down counter reload value					
0ch	31:12	-	-	-	保留
	11:0	R/W	FFFh	reload_cnt	向下計數器重新載入值。 此暫存器是受 iwdt_key[15:0] = 5555h 才能存取。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					它們由軟體編寫，用於定義每次在 iwdt_key 暫存器中寫入值 aaaah 時要載入到看門狗計數器中的值。復位計數器從此值倒數計時。超時時間是此值和時鐘預除器的函數。 Rvu[0]位元必須復位後，才能更改重新載入值。

16.4 功能描述

當 IWDT 藉由在 KEY 暫存器中寫入值 cccch (iwdt_key[15:0])開始時，計數器將從 FFFh 的復位值開始倒計。當它到達計數值(000h)末端時，將產生復位信號 (IWDT 復位)。每當在 iwdt_key[15:0] 暫存器中寫入 aaaah 時，reload_cnt[11:0] 值將重新載入到計數器中，並防止看門狗復位。

對 pre_scaler[2:0] 和 reload_cnt[11:0] 暫存器的存取受到保護。要修改它們，必須先寫入 iwdt_k_ey[15:0] 的代碼 5555h。把不同值的寫入此暫存器，暫存器存取將再次受到保護。這意味著重新載入時 (寫入 aaaah)的情況。狀態暫存器 (rvu[0] 和 pvu[0])可用於指示正在進行 pre_scaler[2:0] 或下數計數器重新載入正進行中。

37kHz 的最小/最大復位時間如下。

表格 41 IWDT Min./Max. 超時週期 使用 37 kHz 時鐘源

pre_scaler[2:0]	Minimum timeout (ms) reload_cnt[11:0]=000h	Maximum timeout (ms) reload_cnt[11:0]=fffh
0	0.108	442.810
1	0.216	885.622
2	0.432	1,771.243
3	0.865	3,542.456
4	1.730	7,084.973
5	3.459	14,169.946
6 or 7	6.919	28,339.892

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

17 視窗看門狗計時器

17.1 主要概述

“視窗看門狗計時器”(WWDT 通常用來監測由外部干擾或不可預見的邏輯條件造成應用程序背離正常的運行序列所產生的軟體故障。如果遞減計數器的值在位元 6 變成 0 之前未被更新，則窗口看門狗定時器會產生一個 MCU 復位。遞減計數器的值在達到窗口暫存器的值之前被更新，也會產生一個 MCU 復位。這表示窗口看門狗定時器的遞減計數器需要在一個有限的時間窗口被更新。

- 可程式自由運行遞減計數器
- 復位條件:
  - 當遞減計數器值小於 40h 時復位 (如果 WWDT 致能)
  - 如果遞減計數器在視窗外被重新載入 (如果 WWDT 致能)
- 早期喚醒中斷 (EWI): 當向下計數器等於 40h 時觸發 (如果致能 WWDT)。此功能可用於重新載入遞減計數器並防止 WWDT 復位。

17.2 方塊圖

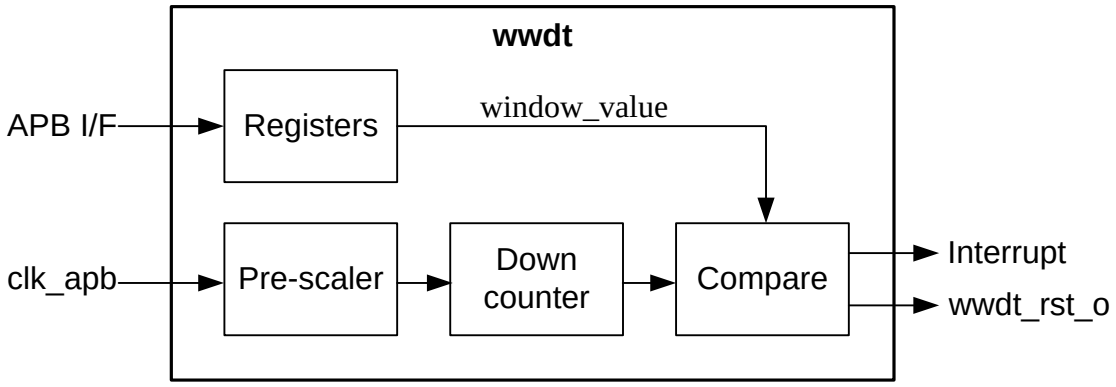


圖 52 WWDT 方塊圖

17.3 暫存器描述

表格 42 WWDT 控制暫存器

Index	Bit	R/W	Default	Name	Description
WWDT_CR1: WWDT control register 1					
00h	31	R/W	0	wwdt_enable	致能 WWDT function
	30:7	-	-	-	保留
	6:0	R/W	7fh	down_cnt_time	遞減計數器 (僅有效 wwdt_enable = 1)。 Down_cnt_time = 3fh 時啟動。
WWDT_CR2: WWDT control register 2					

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
04h	31:13	-	-	-	保留
	12	R/W	0	early_int_en	早期中斷啟用。 0:禁能早期 wwdt 中斷。 1:致能早期 wwdt 中斷。
	11:8	R/W	0	time_base	時鐘基頻 (clk_apb) 除以 4096，除以 2**{time_base}。 注意: time_base 應設置為 0~8。
	7	-	-	-	保留
	6:0	R/W	7fh	window_value	視窗值供遞減計數器比較用
WWDT_INT_F: WWDT early interrupt flag					
08h	31:1	-	-	-	保留
	0	R/W1c	0	early_int_flag	早期中斷旗標 (重置遞減計數器= 40h)

R/W1C: 讀取 與 寫“1”清除

17.4 功能描述

如果啟用了 WWDT，並且當遞減計數器從 40h 減到 3fh 時，它將產生一個復位。如果軟體在計數器值大於視窗暫存器中的數值時重新裝載遞減計數器，也將產生一個復位。應用程式在正常運行過程中必須定期的寫入 down_cnt_time 暫存器以防止發生復位。只有當遞減計數器值小於視窗值暫存器(window_value)的值時，才能進行寫操作。儲存在down_cnt_time 暫存器中的數值必須在ffh 和 c0h之間。

- 致能 WWDT: 系統復位後，WWDT 它通過設置 (wwdt_enable = 1) 暫存器被致能。致能後，除非復位，否則不會再次禁能它。
- 遞減計數器控制: 致能 WWDT 時，必須設置 down_cnt_time[6]以防止立即復位。Down_cnt_time[5:0]位元包含了 WWDT 產生重定之前的計數值。 由於寫入 time_base 暫存器時預除器的未知狀態，因此計時在最小值和最大值之間有所不同。Window_value 暫存器包含視窗的上限。為了防止復位，當向下計數器的值低於視窗暫存器值且在設置 WWDT 致能後大於 3fh 時，必須重新載入向下計數器(wwdt_enable = 1)。重新載入計數器的另一種方法是使用早期中斷。當向下計數器達到值 40h 時，將產生此中斷，並且可以使用相應的中斷服務程式重新載入向下計數器以防止 WWDT 復位。通過設置(early_int_flag)暫存器清除中斷。軟體復位也可以通過清除 clear_cnt_time[6] 當 WWDT 被啟動(wwdt_enable=1)
- 程式設定看門狗超時: WWDT 的計時圖如圖 53 所示。下面是計算超時值的公式:

  $$T_{WWDT} = T_{clk_apb} \times 4096 \times 2^{time_base} \times (down_cnt_time[5:0] + 1)\ (ms)$$

  24.00MHz 時最小/最大超時值如表 44 所示。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

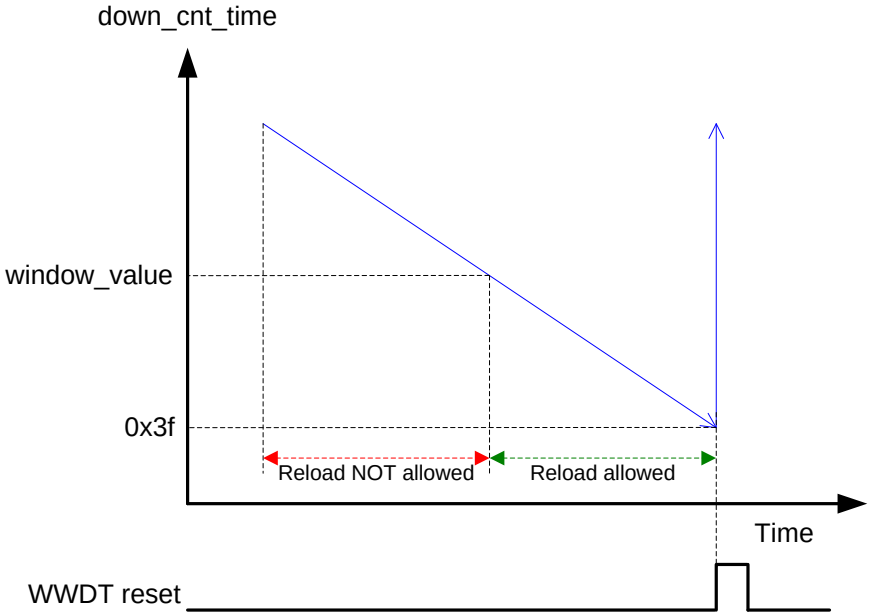


圖 53 Timing Diagram of WWDT

表格 43 WWDT 最小值/最大超時值(Timeout)，24.00MHz

time_base	Minimun Timeout (μs) down_cnt_time = 40	Maximum Timeout (ms) down_cnt_time = 7f
0	170.67	10.92
1	341.33	21.85
2	682.67	43.69
3	1365.33	87.38
4	2730.66	174.76
5	5461.32	349.52
6	10922.64	699.04
7	21845.28	1398.08
8	43690.56	2796.16

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

18 PWM

18.1 主要概述

"脈衝寬度調製" (PWM)模組

- 四個獨立週期 PWM
  - 獨立使用者定義的週期和占空比 (Duty)
  - 占空比 (Duty)範圍從 0/65536 到 65535/65536
- 支援 PWM 占空比的雙緩衝功能
- 一個中斷輸出

方塊圖

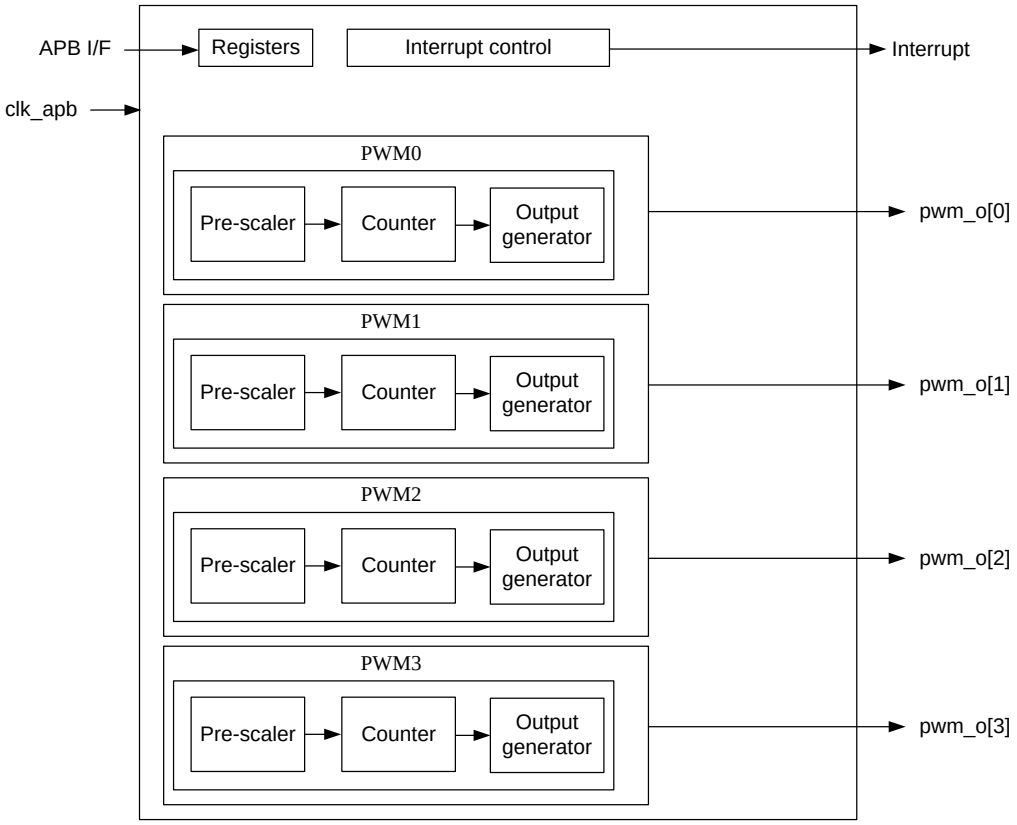


圖 54 PWM 方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

18.2 暫存器描述

表格 44 PWM 控制暫存器

Index	Bit	R/W	Default	Name	Description
PWM_OEN: PWM 輸出致能 & 中斷					
00h	31:8	R/W	0	PWMO_EN	PWMx 輸出設置位元。 0: 禁能 PWMx 輸出 1: 致能 PWMx 輸出
	27:24	R/W	0	PWMIE	PWMx 中斷設置位元。 0: 禁能 PWMx 中斷 1: 致能 PWMx 中斷
	3:0	R/W	0	PWMIF	PWMx 中斷旗標，寫入 1 以清除此位元。 0: 無發生 PWMx 中斷 1: 發生 PWMx 中斷
PWM_CR0: PWM 控制暫存器 0					
04h	31	R/W	0	PWMS0	0: 停止 PWM0 功能 (預設值) 1: 啟動 PWM0 功能
	30:4	-	-	-	保留
	3	R/W	0	PWMDB0	雙緩衝功能。 0: 立即應用新的 PWMDV0/PWMCV0。 1: 在下一個 PWM 週期應用新的 PWMDV0/PWMCV0。
	2:0	R/W	0	PWMCK0	系統時鐘的預分頻器作為 PWM0 源時鐘。 000: $/2^{11}$ (預設值) 001: $/2^{9}$ 010: $/2^{7}$ 011: $/2^{5}$ 100: $/2^{3}$ 101: $/2^{2}$ 110: /2 111: /1
PWM_PWMCV0: PWM0 的週期設定					
08h	31:16	-	-	-	保留
	15:0	R/W	0	PWMCV0	PWM0 的週期設置
PWM_PWMDV0: PWM0 輸出的 Duty 設置					
0Ch	31:16	-	-	-	保留
	15:0	R/W	0	PWMDV0	PWM0 輸出的 Duty 設置
PWM_CR1: PWM 控制暫存器 1					
10h	31	R/W	0	PWMS1	0: 停止 PWM1 功能 (預設值)。 1: 啟動 PWM1 功能。
	30:4	-	-	-	保留
	3	R/W	0	PWMDB1	雙緩衝功能。 0: 立即應用新的 PWMDV1/PWMCV1 1: 在下一個 PWM 週期應用新的 PWMDV1/PWMCV1
	2:0	R/W	0	PWMCK1	系統時鐘的預分頻器作為 PWM1 源時鐘。 000: $/2^{11}$ (預設值) 001: $/2^{9}$

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					010: /2^7 011: /2^5 100: /2^3 101: /2^2 110: /2 111: /1
PWM_PWMCV1: PWM1 的週期設置					
14h	31:16	-	-	-	保留
	15:0	R/W	0	PWMCV1	PWM1 的週期設置
PWM_PWMDV1: PWM1 輸出的 Duty 設置					
18h	31:16	-	-	-	保留
	15:0	R/W	0	PWMDV1	PWM1 輸出的 Duyt 設置
PWM_CR2: PWM 控制暫存器 2					
1Ch	31	R/W	0	PWMS2	0: 停止 PWM2 功能 (預設值)。 1: 啟動 PWM2 功能。
	30:4	-	-	-	保留
	3	R/W	0	PWMDB2	雙緩衝功能。 0: 立即應用新的 PWMDV2/PWMCV2 1: 在下一個 PWM 週期應用新的 PWMDV2/PWMCV2。
	2:0	R/W	0	PWMCK2	系統時鐘的預分頻器作為 PWM2 時鐘源。 000: /2^{11} (default) 001: /2^9 010: /2^7 011: /2^5 100: /2^3 101: /2^2 110: /2 111: /1
PWM_PWMCV2: PWM2 的週期設置					
20h	31:16	-	-	-	保留
	15:0	R/W	0	PWMCV2	PWM2 的週期設置
PWM_PWMDV2: PWM2 輸出的 Duty 設置					
24h	31:16	-	-	-	保留
	15:0	R/W	0	PWMDV2	PWM2 輸出的 Duyt 設置
PWM_CR3: PWM 控制暫存器 3					
28h	31	R/W	0	PWMS3	0: 停止 PWM3 功能 (預設值)。 1: 啟動 PWM3 功能。
	30:4	-	-	-	保留
	3	R/W	0	PWMDB3	雙緩衝功能。 0: 立即應用新的 PWMDV3/PWMCV3 1: 在下一個 PWM 週期應用新的 PWMDV3/PWMCV3
	2:0	R/W	0	PWMCK3	系統時鐘的預分頻器作為 PWM3 時鐘源。 000: /2^{11} (default) 001: /2^9 010: /2^7 011: /2^5 100: /2^3 101: /2^2

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					110: /2 111: /1
PWM_PWMCV3: PWM3 的週期設置					
2Ch	31:16	-	-	-	保留
	15:0	R/W	0	PWMCV3	PWM3 的週期設置
PWM_PWMDV3: PWM3 輸出的 Duty 設置					
30h	31:16	-	-	-	保留
	15:0	R/W	0	PWMDV3	PWM3 輸出的 Duty 設置

18.3 功能描述

18.3.1 獨立 PWM

Duty 範圍: 0/65536 to 65535/65536

如果 PWMDVx ≤ PWMCVx，則 PWMx 輸出低準位

如果 PWMDVx > PWMCVx，則 PWMx 輸出高準位

一般模式:

PWMCVx ≥ 1 and PWMDVx ≥ 1

PWMDVx ≤ PWMCVx

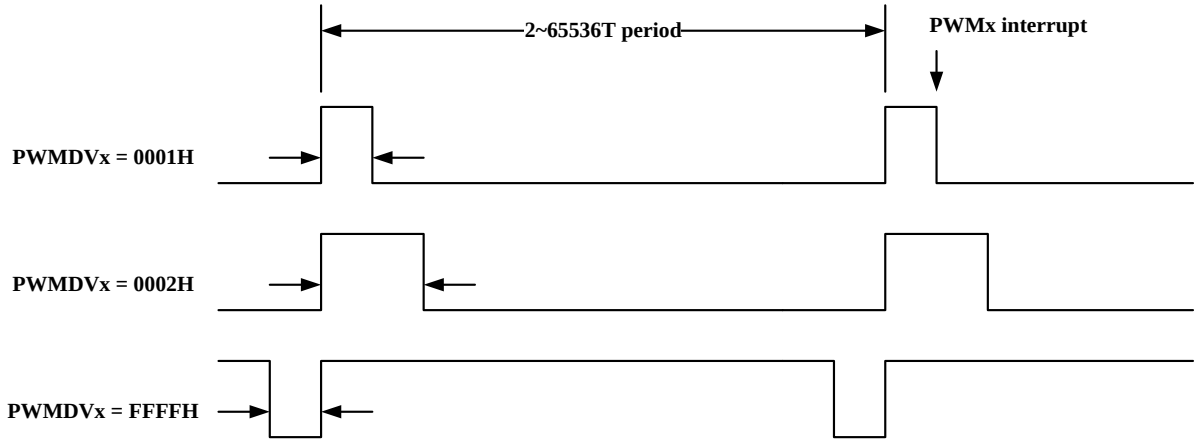


圖 55 PWM0~3 功能

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

19 計時器

19.1 主要概述

通用計時器由一個可程式設定、預縮放(pre-scaler)驅動的 16 bit 計數器組成，它們是用來計算週邊時鐘 (PCLK)或外部時鐘的週期，並可用於各種用途，包括測量輸入的脈衝長度信號 (輸入捕獲)或基於匹配暫存器產生輸出波形 (輸出比較和 PWM)。計時器還可以作為系統要求產生中斷或 DMA 請求。

- 帶 1 個可程式設定 16-bit 預除器(prescaler)的 16-bit 計時器/計數器
- 計數器或計時器操作
- 每個計時器有兩個 16-bit 捕獲通道，包括 PWM 輸入檢測
- 同步電路，用於使用外部信號和其它計時器控制計時器
- 在以下事件上中斷/DMA 產生:
  - Input capture
  - Output match
- 四個 16-bit 匹配暫存器 (Match Register)，具以下功能:
  - 連續操作，匹配時可選產生中斷
  - 與可選的中斷產生匹配時停止計時器
  - 與可選的中斷產生匹配時復位計時器
- 兩個外部輸出對應於匹配暫存器，具以下功能:
  - Set low on match
  - Set high on match
  - Toggle on match
- 配對匹配暫存器的組合產生 PWM 輸出

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

19.2 方塊圖

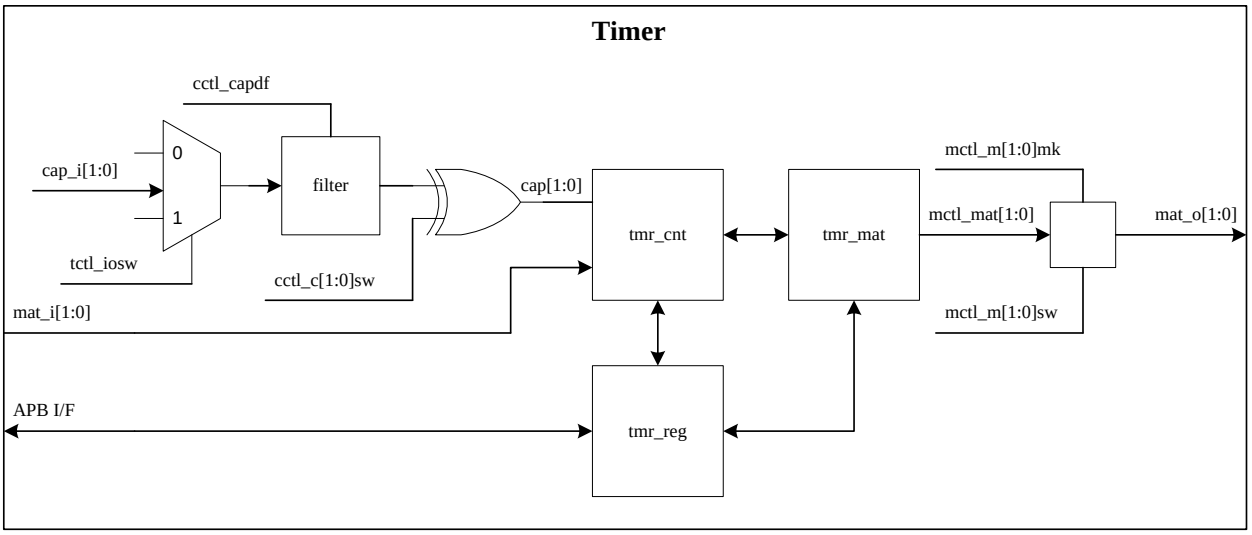


圖 56 Timer Module 方塊圖

注意:
1. tmr[n].matox 連接至 tmr[n+1].matix 與輸出 pads
2. capix 連接至輸入 pads
3. 假設 **tctl_iosw = '0'**, **capture input =** cap_i[1:0] **= TMR_CH[1:0],**
match output = mat_o[1:0] **= TMR_CH[3:2]**
假設 **tctl_iosw = '1', capture input =** cap_i[1:0] **= TMR_CH[3:2],**

match output = mat_o[1:0] **= TMR_CH[1:0]**

19.3 暫存器描述

表格 45 Timer 控制暫存器

Index	Bit	R/W	Default	Name	Description
TIMER_TCTL: Timer control register					
00h	15	R/W	0	tctl_en	Timer 致能
	14:12	-	-	-	保留
	11:10	R/W	0	tctl_clksel	Timer 時鐘源選擇. 00: clk_apb 01: clk_msi 10: clk_hsi 11: tmr_cap0 備註: Timer1 可使用上述 b'00~b'11 模式，Timer0/2 只可使用 b'00 模式 APB 時鐘源。
	9	R/W	0	tctl_matisw	mati 來源交換. 0: mati = 原始匹配輸入. 1: mati[1:0] = {lse_clk, lsi_clk}
	8	R/W	0	tctl_matco	mat0/mat1 控制關閉。 0: 寫 mctl 相應地更改 mat1/mat0 值 1: 寫入 mctl 不會影響 mat1/mat0 值。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	7	R/W	0	tctl_de	調試啟動。 0: 偵錯模式下的計時器保持。 1: 計時器在偵錯模式下工作正常。
	6	R/W	0	tctl_iosw	I/O 交換。 0: 無動作。 1: 交換 capix/matox I/O 定義和方向
	5:4	R/W	0	tctl_sel	counter 輸入選擇 00: cap0 01: cap1 10: mati0 11: mati1
	3:2	R/W	0	tctl_mode	計數器/計時器模式。 00: 計時器。 01: 上升邊緣計數器。 10: 下降邊緣計數器。 11: 雙邊計數器。
	1	R/W	0	tctl_rst	計數器/計時器復位 0: 計時器無動作 1: 復位{tcnt, pcnt}
	0	R/W	0	tctl_st	Timer 啟動/停止控制 0: 停止 1: 啟動
TIMER_TCNT: Timer counter 暫存器					
04h	15:0	R/W	0	tcnt	TCNT Timer 計數值等於預除器 PCNT 溢位觸發的累進值，請參考下面示意圖
TIMER_PSCL: Timer 預除器設定					
08h	15:0	R/W	0	Pscl	預除器設定值 PCSL，請參考下面示意圖
TIMER_PCNT: 預除器計數值暫存器					
0ch	15:0	R/W	0	pcnt	預除器計數值 PCNT 等於時鐘輸入源比較 PSCL 設定範圍，超過後溢位讓 TCNT 累進並歸零，請參考下面示意圖
TIMER_CCTL: capi 數位濾波器設置					
10h	15:12	-	-	-	保留
	11:10	R/W	0	cctl_capdf	capi0 & capi1 的數位濾波器設置 00: 無濾波器 (1 時鐘源) 01: 4 時鐘源 10: 16 時鐘源 11: 64 時鐘源
	9	R/W	0	cctl_c1sw	invert capi1 for cap1
	8	R/W	0	cctl_c0sw	invert capi0 for cap0
	7:4	-	-	-	保留
	3	R/W	0	cctl_cap1f	在 cap 1 下降邊緣啟動捕獲 (儲存在 cap1f 中)
	2	R/W	0	cctl_cap1r	在 cap 1 上升邊緣啟動捕獲 (儲存在 cap1r 中)
	1	R/W	0	cctl_cap0f	在 cap 0 下降邊緣啟動捕獲 (儲存在 cap0f 中)
	0	R/W	0	cctl_cap0r	在 cap0 上升邊緣啟動捕獲 (儲存在 cap0r 中)
TIMER_CICTL: capi 控制					
14h	15:12	-	-	-	保留
	11:10	R/W	0	cictl_c1actx	cap1 在計數器上的擴展操作

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					00: 無動作 01: 保持(hold)計數器於 cap1 低位 (low level) 10: 復位計數器於 cap1 下降邊緣 (falling edge) 11: 保留
	9:8	R/W	0	cictl_c0actx	在計數器 cap 0 上擴展操作
	7:6	R/W	0	cictl_m1act	在計數器 mati1 上操作 (注-3)。 00: 無動作。 01: 在 mati1 高電平上保持計數器。 0: 在 mati1 上升邊緣重置計數器。 11: 在 mati1 上升邊緣 (設置 tctl_st)上的觸發計數器。
	5:4	R/W	0	cictl_m0act	在計數器上操作 mati0
	3:2	R/W	0	cictl_c1act	在計數器上操作 cap1。 00: 無動作。 01: 在 cap1 高電平上保持計數器。 10: 在 cap1 上升邊緣重置計數器。 11: cap1 上升邊緣(設置 tctl_st)上的觸發計數器。
	1:0	R/W	0	cictl_c0act	cap0 operation on counter
TIMER_MCTL: mat 控制					
18h	15:14	R/W	0	mctl_m1mk	matm1 output mask (note-4) 00: 和 mat1 相同 01: 保留 10: 清除 matm1 if cap0 = 1 11: 清除 matm1 if cap1 = 1
	13:12	R/W	0	mctl_m0mk	matm0 輸出遮罩 (mask)
	11	R/W	0	mctl_mat1	mat1 value
	10	R/W	0	mctl_mat0	mat0 value
	9	R/W	0	mctl_m1sw	invert mat1 for mato1
	8	R/W	0	mctl_m0sw	invert mat0 for mato0
	7:6	R/W	0	mctl_mat1b	匹配 mat1b (note-5)的控制。 00: 無操作。 01: 將相應的外部匹配位清除為 0。 10: 將相應的外部匹配位設置為 1。 11: 切換相應的外部匹配位。 注意: 使用 b'01 或 b'10 設置，將對應到 moctl_m1br 執行復位或是 mat1a > mat1b 執行觸發結果。
	5:4	R/W	0	mctl_mat1a	mat1a 的匹配控制
	3:2	R/W	0	mctl_mat0b	mat0b 的匹配控制
	1:0	R/W	0	mctl_mat0a	mat0a 的匹配控制
TIMER_MOCTL: mo 控制					
1ch	15:8	-	-	-	保留
	7	R/W	0	moctl_m1bs	mat1b 停止計數器 (清除 tctl_st)
	6	R/W	0	moctl_m1br	mat1b 復位計數器
	5	R/W	0	moctl_m1as	mat1a 停止計數器
	4	R/W	0	moctl_m1ar	mat1a 復位計數器
	3	R/W	0	moctl_m0bs	mat0b 停止計數器
	2	R/W	0	moctl_m0br	mat0b 復位計數器

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

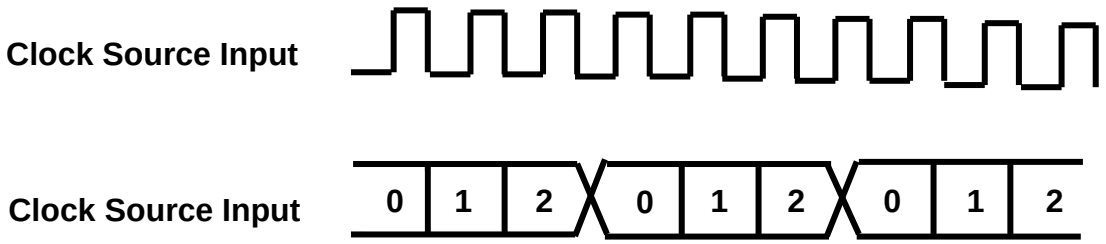
Index	Bit	R/W	Default	Name	Description
	1	R/W	0	moctl_m0as	mat0a 停止計數器
	0	R/W	0	moctl_m0ar	mat0a 復位計數器
TIMER_MAT0A: mat0a/ cap0r 暫存器					
30h	15:0	R/W	0	mat0a (cap0r)	匹配輸出匹配模式的 mat0a 暫存器。 用於輸入捕獲模式的捕獲上限暫存器。
TIMER_MAT0B: mat0b/ cap0f 暫存器					
34h	15:0	R/W	0	mat0b (cap0f)	match mat0b 暫存器
TIMER_MAT1A: mat1a/ cap1r 暫存器					
38h	15:0	R/W	0	mat1a (cap1r)	match mat1a 暫存器
TIMER_MAT1B: mat1b/ cap1f 暫存器					
3ch	15:0	R/W	0	mat1b (cap1f)	match mat1b 暫存器
TIMER_OFIF: 溢出及中斷旗標					
40h	15	R/W1c	0	of_tcnt	tcnt 的溢出旗標 (tcnt loop from ffffh to 0000h) (note-6)
	14:12	-	-	-	保留
	11	R/W1c	0	of_cap1f	cap1f 的溢出旗標 (twice or more interrupts occur)
	10	R/W1c	0	of_cap1r	cap1r 的溢出旗標
	9	R/W1c	0	of_cap0f	cap0f 的溢出旗標
	8	R/W1c	0	of_cap0r	cap0r 的溢出旗標
	7	R/W1c	0	if_mat1b	mat1b 的中斷旗標
	6	R/W1c	0	if_mat1a	mat1a 的中斷旗標
	5	R/W1c	0	if_mat0b	mat0b 的中斷旗標
	4	R/W1c	0	if_mat0a	mat0a 的中斷旗標
	3	R/W1c	0	if_cap1f	cap1f 的中斷旗標
	2	R/W1c	0	if_cap1r	cap1r 的中斷旗標
	1	R/W1c	0	if_cap0f	cap0f 的中斷旗標
	0	R/W1c	0	if_cap0r	cap0r 的中斷旗標
TIMER_IE: 中斷啟動					
44h	15:8	-	-	-	保留
	7	R/W	0	ie_mat1b	mat1b 的中斷啟動
	6	R/W	0	ie_mat1a	mat1a 的中斷啟動
	5	R/W	0	ie_mat0b	mat0b 的中斷啟動
	4	R/W	0	ie_mat0a	mat0a 的中斷啟動
	3	R/W	0	ie_cap1f	cap1f 的中斷啟動
	2	R/W	0	ie_cap1r	cap1r 的中斷啟動
	1	R/W	0	ie_cap0f	cap0f 的中斷啟動
	0	R/W	0	ie_cap0r	cap0r 的中斷啟動
TIMER_RF: DMA 要求旗標					
48h	15:8	-	-	-	保留
	7	R/W1c	0	rf_mat1b	mat1b 的 DMA 要求旗標 (note-7) (note-8)
	6	R/W1c	0	rf_mat1a	mat1a 的 DMA 要求旗標
	5	R/W1c	0	rf_mat0b	mat0b 的 DMA 要求旗標
	4	R/W1c	0	rf_mat0a	mat0a 的 DMA 要求旗標
	3	R/W1c	0	rf_cap1f	cap1f 的 DMA 要求旗標
	2	R/W1c	0	rf_cap1r	cap1r 的 DMA 要求旗標
	1	R/W1c	0	rf_cap0f	cap0f 的 DMA 要求旗標

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

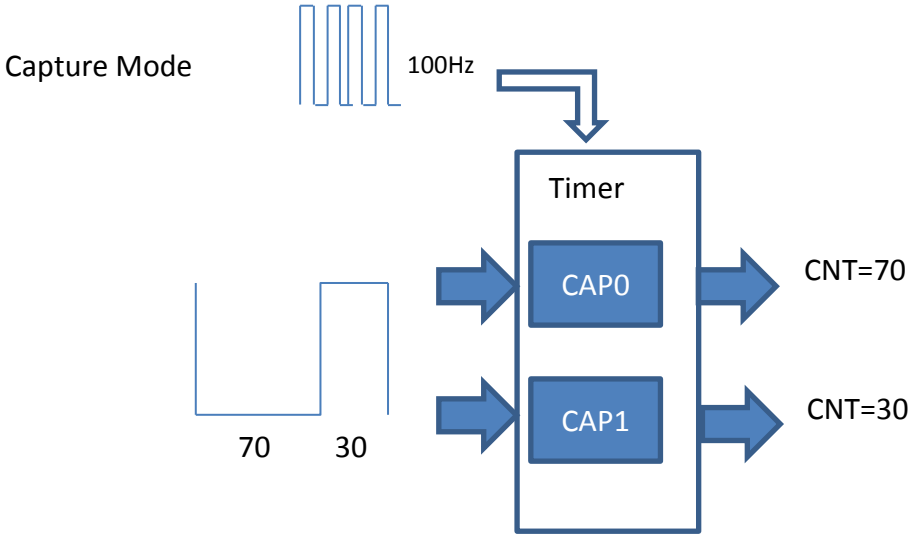
Index	Bit	R/W	Default	Name	Description
	0	R/W1c	0	rf_cap0r	cap0r 的 DMA 要求旗標
TIMER_RE: DMA 要求啟動					
4ch	15:8	-	-	-	保留
	7	R/W	0	re_mat1b	要求 DMA 啟動於 mat1b
	6	R/W	0	re_mat1a	要求 DMA 啟動於 mat1a
	5	R/W	0	re_mat0b	要求 DMA 啟動於 mat0b
	4	R/W	0	re_mat0a	要求 DMA 啟動於 mat0a
	3	R/W	0	re_cap1f	要求 DMA 啟動於 cap1f
	2	R/W	0	re_cap1r	要求 DMA 啟動於 cap1r
	1	R/W	0	re_cap0f	要求 DMA 啟動於 cap0f
	0	R/W	0	re_cap0r	要求 DMA 啟動於 cap0r

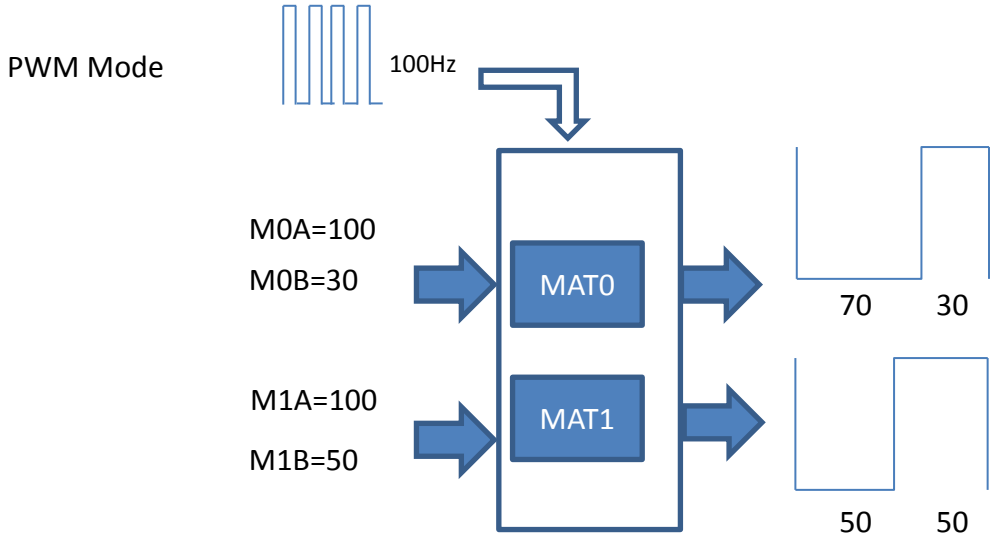
R/W1C: 讀取 與 寫“1”清除

Note-3: 重置計數器的優先順序高於保留計數器
Note-4: 如果 tctl_en 或 tctl_st 處於關閉，則函數無效
Note-5: 如果兩個事件同時發生，mctl_matxa 的優先順序高於 mctl_matxb
Note-6:
all if_xxx/of_xxx need to write ‘1’ to clear
all if_xxx/of_xxx are cleared if tctl_en=0
Note-7:
all rf_xxx need to write ‘1’ to clear
all rf_xxx are cleared if tctl_en=0
Note-8: reg_rf 可用作關閉 reg_re = ffh 和 DMA 通道的事件指示器



本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。





本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

19.4 功能描述

19.4.1 多個捕獲和匹配引腳

系統可以從多個引腳中選擇用於 GPIO 暫存器中的捕獲或匹配(Match)功能。當為匹配輸出選擇多個引腳時，所有此類引腳均由計時器的 MATOx 單獨驅動。當為捕獲輸入選擇多個引腳時，不同的引腳將由具有相應捕獲設置的計時器內部邏輯進行過濾和處理。請注意，匹配條件可以在不使用設備引腳的情況下在內部使用。

19.4.2 中斷 (Interrupts)

計時器中斷源包括 4 個匹配中斷的位元和 4 個捕獲中斷的位元。如果產生捕獲/匹配暫存器中定義的捕獲/匹配事件，並在 IE_REG 中設置相應的中斷啟動暫存器，則 IF_REG 中的相應位元將很高。否則，位元將低。將邏輯寫入相應的 IF_REG 位元將復位中斷。寫入零不起作用。IF_REG 中僅發出中斷旗標處於非零狀態。此外，IF_REG 包含捕獲事件和主計數器的溢出旗標。如果捕獲事件發生兩次或兩次以上，而不按系統清除旗標，則意味著捕獲的資料將被覆蓋，必須放棄，並設置 OF_CAPxx 旗標。在正常計時器操作中，主計數器不應從 0xff 轉到 0x0000，否則可能會導致非法捕獲資料或匹配輸出，並設置 OF_TCNT 旗標。系統應在設置溢出旗標 OF_CAPxx 或 OF_TCNT 旗標時，可利用解析度調優或修復事件處理來逐步處理計時器錯誤。

19.4.3 DMA

DMA 函數包含 DMA 請求啟動暫存器和 DMA 請求旗標暫存器，用於相應的計時器捕獲或匹配事件。設置相應的 RF_REG，並在設置相應的 DMA 請求併發生相應的計時器事件時，向 DMA 電路發出啟動 DMA 操作的計時器 DMA 操作。將邏輯寫入相應的 RF_REG 位元將清除 RF_xxx 旗標並終止 DMA 操作。寫入零不起作用。在 DMA 操作正常完成後，RF_REG 也會被清除。請注意，單個計時器僅應用單個 DMA 通道，因此對於普通 DMA 應用而言，RE_REG 的單位啟動是合理的。

19.4.4 計數控制 (Count Control)

計數控制包括 TCTL、TCNT、PSCL 和 PCNT。暫存器 TCTL_EN 控制整個計時器功能，IF_xxx 和 RF_xxx 全部清除，如果清除 TCTL_ST 設置，則保留 [TCNT、PCNT] 丟棄 TCTL_ST 設置。暫存器 TCTL_ST 控制運行 [TCNT，PCNT] 的計時器，此位元也由 H/W 產生的捕獲/匹配事件控制。暫存器 TCTL_MODE 用於在計時器和計數器模式之間進行選擇，並在計數器模式下選擇引腳和邊進行計數。當計數器模式選擇為操作模式時，計數器輸入 (由 TCTL_SEL 選擇)在 PCLK 時鐘的每個上升邊緣上採樣。比較此 CAP 輸入的兩個連續樣本後，可以識別以下四個事件之一: 上升邊緣、下降邊緣、邊之一或所選計數器輸入的級別沒有變化。僅當標識的事件發生且事件對應于 TCTL_MODE 暫存器選擇的事件時，[TCNT、PCNT] 暫存器才會遞增。

TCNT 暫存器使用預縮放 PSCL 暫存器，如果 PCNT 等於 PSCL，TCNT 將遞增，在計時器模式下每個 PCLK 的 PCNT 增量和在計數器模式下的每個計數勾選時，PCNT 暫存器將復位，而 PCNT 等於 PSCL 設置。實際捕獲/匹配功能與 [TCNT、PCNT]、控制項 [TCNT、PCNT] 配合使用，以進行保存、復位或計數。所有操作僅依賴於具有完整 PCNT 迴圈的 TCNT 值。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

19.4.5 捕捉控制 (Capture Control)

每個捕獲暫存器都與設備引腳上的正邊緣信號有相關聯，當該引腳上發生指定事件時，可能會載入計時器計數器值。捕獲啟動暫存器 (CCTL_CAPxx) 中的設置確定是否啟動了捕獲功能，以及捕獲事件是發生在關聯引腳的上升沿、下降沿還是兩條邊上。

捕獲控制暫存器 (CCTL) 用於控制四個捕獲(capture)暫存器 (CAP0R、CAP0F、CAP1R + CAP1F，並與 match 函數共用)，當捕獲事件發生時 CCTL 可決定使用哪個捕獲暫存器來載入計時器計數器中的數值 ，以及是否應用具有 2/4/8 時鐘的數位濾波器來過濾來自外部設備的噪音。同時設置上升位和下降位是否為有效的規劃，因此兩種邊緣都可以出現捕獲事件。輸入具有上升與下降的所有邊緣都可以同時檢測到並捕獲。

捕獲輸入還可以通過信號電平或信號邊緣來保持/復位計數器，如同暫存器 CICTL_CxACTX 和 CICTL_CxACT 的描述，匹配輸入 (match input, 來自計時器之前的輸出)具有與 CICTL_MxACT 描述類似的但更簡單的功能。

如果啟動了 CCTL_CAPxx，則產生中斷旗標，設置相應的 IE_CAPxx 併發生捕獲事件。

19.4.6 配對控制 (Match Control)

匹配暫存器值 (包括 MAT0A、MAT0B、MAT1A 和 MAT1B)與計時器計數器值連續進行比較。當兩個值相等時，可以自動觸發操作。操作的可能性是產生中斷、復位計時器計數器或停止計時器。操作由 MOCTL_Mxxx 暫存器中的設置控制。

MCTL_MATxx 暫存器用於控制當一個匹配暫存器與計時器計數器匹配時對計時器 MATOx 輸出執行的操作。可以執行以下操作之一，包括清除 MATOx、設置 MATOx 或切換 MATOx。捕獲輸入可用於在捕獲輸入較高時，使用 MCTL_MxMK 暫存器清除 MATOx 的中間階段。

如果 TCNT 等於匹配暫存器 MATxx，並設置相應的 IE_MATxx，則產生中斷旗標。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

20 ADC

20.1 主要概述

- 操作電壓
  - VDA: 1.8V~3.6V @ VDA 參考電壓
  - VDA: 2.3V~3.6V @ VBG:1.0V 參考電壓
  - 最佳的 ENOB(>10bit) @VDA:3.3V & VDA 3.3V 參考電壓
- 共 16 個通道的 12 位元 ADC 控制介面
- 支援 DMA
- Conversion mode
  - when ADC clock ≤ APB clock
    - 序列的單個轉換
    - 序列的連續轉換
  - when ADC clock > APB clock
    - 單次轉換一個通道
    - 連續轉換一個通道
- 類比看門狗

20.2 方塊圖

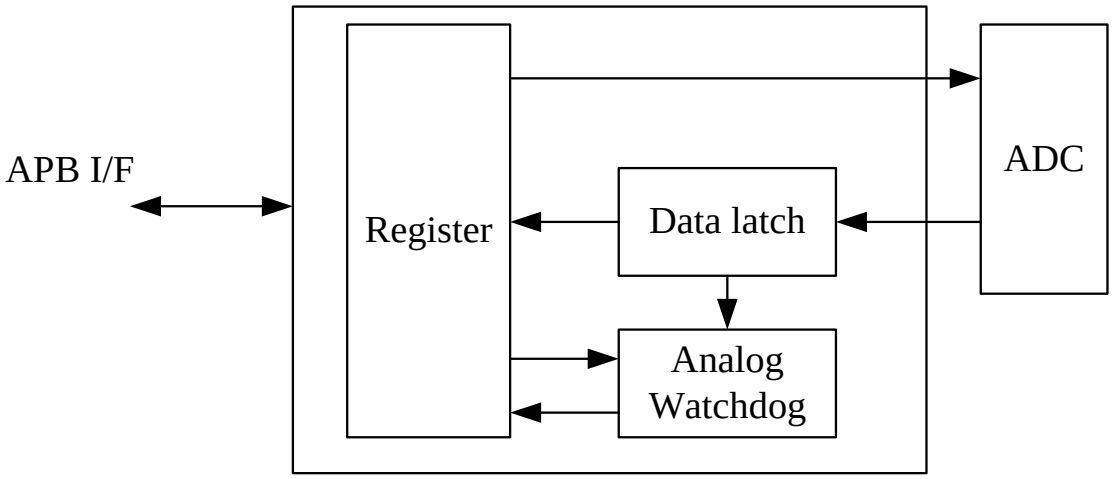


圖 57 ADC 方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

20.3 暫存器描述

表格 46 ADC 控制暫存器

Index	Bit	R/W	Default	Name	Description
ADC_CFG1: ADC configuration					
00h	31:13	-	-	-	保留
	12:11	R/W	10	ADC_REF_SEL	ADC 參考電壓源選擇 00: VDDA 01: V1P0 10: External Vref 11: External Vref *當 ADC_REF_SEL 設置為 2'b01 (VREF 選擇 V1P0)時，IC 工作電流將增加 150µA，因此在省電模式時，請將 ADC_REF_SEL 設置為 2'b00。
	10	R/W	0	ADC_SLOW	0: 關閉，當 ADC 時鐘 = APB 時鐘時。 1: 啟動，當 ADC 時鐘 > APB 時鐘
	9	R/W	0	ADC_EOCIE	0: 關閉 ADC EOC 中斷。 1: 啟動 ADC EOC 中斷。
	8	R/W	0	ADC_WDIE	0: 關閉 ADC 看門狗中斷。 1: 啟動 ADC 看門狗中斷。
	7	R/W	0	ADC_DMA	直接記憶體存取模式。 0: 關閉 DMA 模式。 1: 啟動 DMA 模式。
	6	R/W	0	ADC_AWD	1: 啟動 ADC 監視器。 0: 關閉 ADC 監視器。
	5	R/W	0	ADC_CONT	序列的單/連續轉換。 0: 序列的單個轉換。 1: 序列的連續轉換。
	4:2	R/W	0	ADC_SLT_CLK	Select ADC clock: 000: 16MHz 001: 16MHz /2 010: 16MHz /4 011: 16MHz /8 100: 16MHz /16 101: 16MHz /32 110: 16MHz /64 111: 16MHz /128 注意: 軟體只有在 ADC PD 關閉或向 ADC_STOP 寫入"1"時才能對暫存器欄位進行程式設定
	1:0	R/W	0	ADC_DO	AD data output format: (0,0): 12-bit (0,1): 10-bit (1,x): 8-bit
ADC_DO_IDX_F: ADC data & index 致能標旗					
04h	31:16	R	0	ADC_DINDEX	ADC Data channel index 1: 致能 0: 禁能 bit16: ADC channel 0 …. Bit31: ADC channel 15

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
	11:0	R	0	ADC_DATA	ADC convert data
ADC_FLAG: AWD and EOC 旗標					
08h	31:2	-	-	-	保留
	1	R/W1c	0	AWD	類比看門狗 dog flag. 它通過編寫 1 到它的軟體清除。
	0	R/W1c	0	EOC	轉換旗標的結尾。 它通過編寫 1 的軟體或讀取 ADC_DATA 暫存器來清除。
ADC_ADCCR: ADC 控制位元					
0Ch	31:18	-	-	-	保留
	17	R/W	0	ADC_START	ADC 控制啟動。 注意: 僅當 ADC PD 關閉時，軟體才允許設置 ADC_START
	16	R/W	0	ADC_STOP	ADC control stop, write “1” to stop
	15:0	R/W	0	ADC_CH	AD 通道選擇。 示例: 0000_0000_0000_0001: 通道 0 啟動。 0000_0000_0000_0010: 通道 1 啟動。 0000_0000_0000_1111: 通道 0~3 啟動。 注意: 當 ADC_SLOW = 1 時，ADC_CH 僅設置一個通道，而 ADC_CH 僅在將“1”寫入 ADC_STOP 時才更改其它通道
ADC_AWDCH: AWD 通道設置					
10h	31:5	-	-	-	保留
	4	R/W	0	AWDSGL	在單個通道或所有通道上啟動看門狗。 0: 在所有通道上啟動類比看門狗。 1: 單通道啟動類比看門狗。
	3:0	R/W	0	AWD_CH	類比看門狗通道選擇 0000: 通道 0 0001: 通道 1 0010: 通道 2 …. 1111: 通道 15
ADC_THRHD: AWD 閾值設定					
14h	31:28	-	-	-	保留
	27:16	R/W	0	AWD_HT	類比看門狗更高的閾值
	15:12	-	-	-	保留
	11:0	R/W	0	AWD_LT	類比看門狗閾值較低
ADC_CFG2: ADC standby and VCM 設定					
18h	31:3	-	-	-	保留
	2	R/W	0	ADC_STANDBY	ADC 待機模式。 當 ADC 以 240kHz 時脈速率運行時，待機模式下停止運行的電流耗散將從 460μA 下降到 75μA
	1:0	R/W	10	ADC_VCM_LS	當 VDDA=1.8V、VDDA/2=0.9V=NMOS 閾值電壓，並讓前置放大器輸入 NMOS 關閉時，因此 VCM 需要更多的+0.18V。 00: VCM=VDDA*(10/20) 01: VCM=VDDA*(11/20)

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Index	Bit	R/W	Default	Name	Description
					10: VCM=VDDA*(12/20) 11: VCM=VDDA*(13/20)

Note: R/W1C: 讀取 與 寫“1”清除

20.4 功能描述

20.4.1 轉換功能

20.4.1.1 ADC_SLOW=0, 當 ADC clock ≤ APB clock

在單轉換模式，當 ADC_CONT=0 & ADC_SLOW=0 時，選擇此模式使 ADC 執行單個轉換序列，一次性轉換當前所有通道。

在連續轉換模式，當 ADC_CONT=1 & ADC_SLOW=0 時，選擇此模式使 ADC 執行一系列轉換，一次性轉換當前所有通道，然後自動重新啟動並持續執行相同的轉換序列。

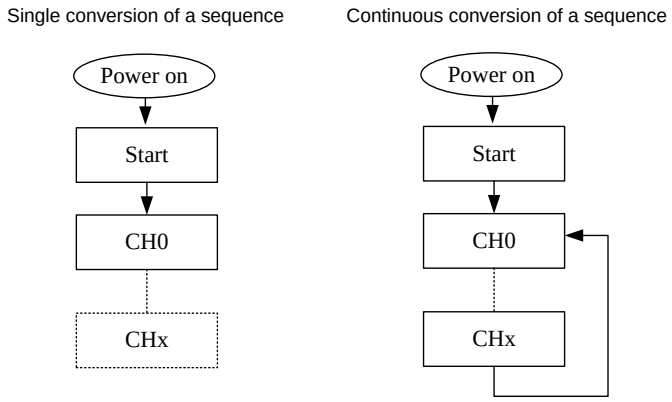


圖 58 ADC_SLOW=0 轉換順序

20.4.1.2 ADC_SLOW=1, 當 ADC clock > APB clock

在單轉換模式，當 ADC_CONT=0 & ADC_SLOW=1 時，選擇此模式使 ADC 執行單個轉換。

在連續轉換模式，當 ADC_CONT=1 & ADC_SLOW=1 時選擇此模式使 ADC 執行一系列轉換，一次性轉換一個通道，然後自動重新開機並持續執行相同的轉換序列。

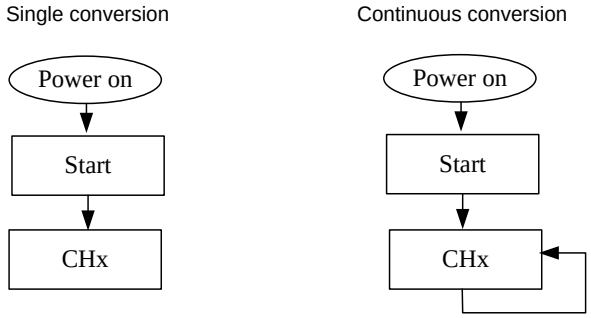


圖 59 ADC_SLOW_1 的轉換順序

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

20.4.2 轉換時序

$t_{CONV} = t_{SMPL} + t_{SAR}$ = 2*ADCCLK + 12*ADCCLK = 14*ADCCLK

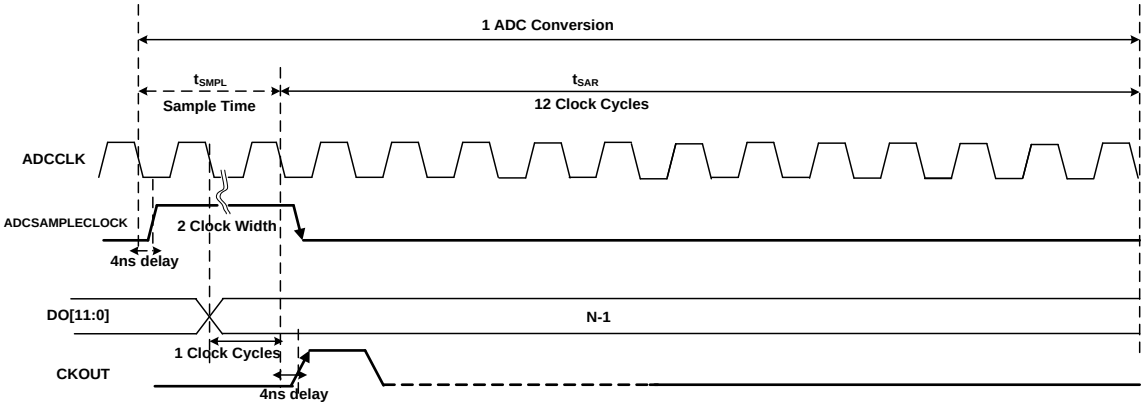


圖 60 ADC 轉換時間

Example timing diagrams

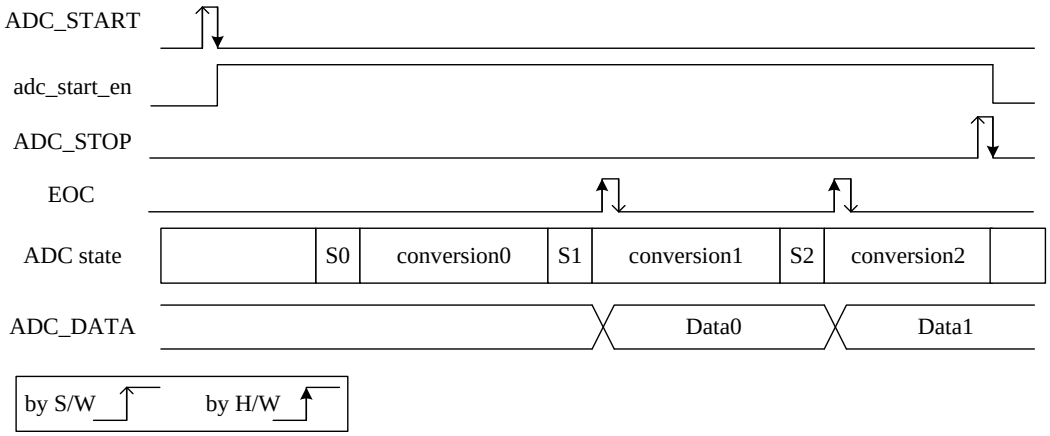


圖 61 ADC_SLOW=0 時序圖

20.4.3 類比看門狗的視窗

如果 ADC 轉換的類比電壓低於或高於較高閾值，則設置 ADC_WD 類比觀察器狀態位。這些閾值在 HT[11:0] 和 LT[11:0]位元中程式設定。可以通過設置 ADC_WDIE 位元來啟動中斷。

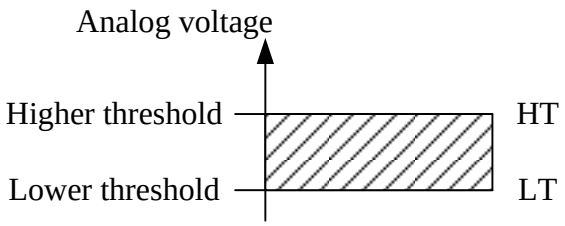


圖 62 類比看門狗視窗

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

21 DAC

21.1 主要概述

- 12-bit DAC
- DAC Rail-to-Rail Amplifier output

21.2 方塊圖

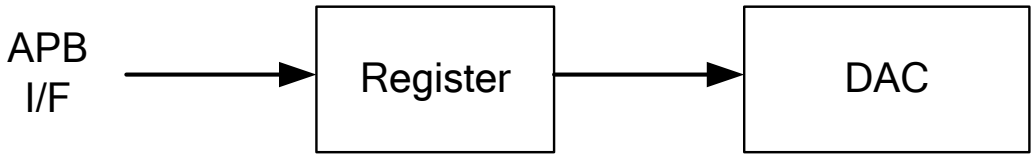


圖 63 DAC 方塊圖

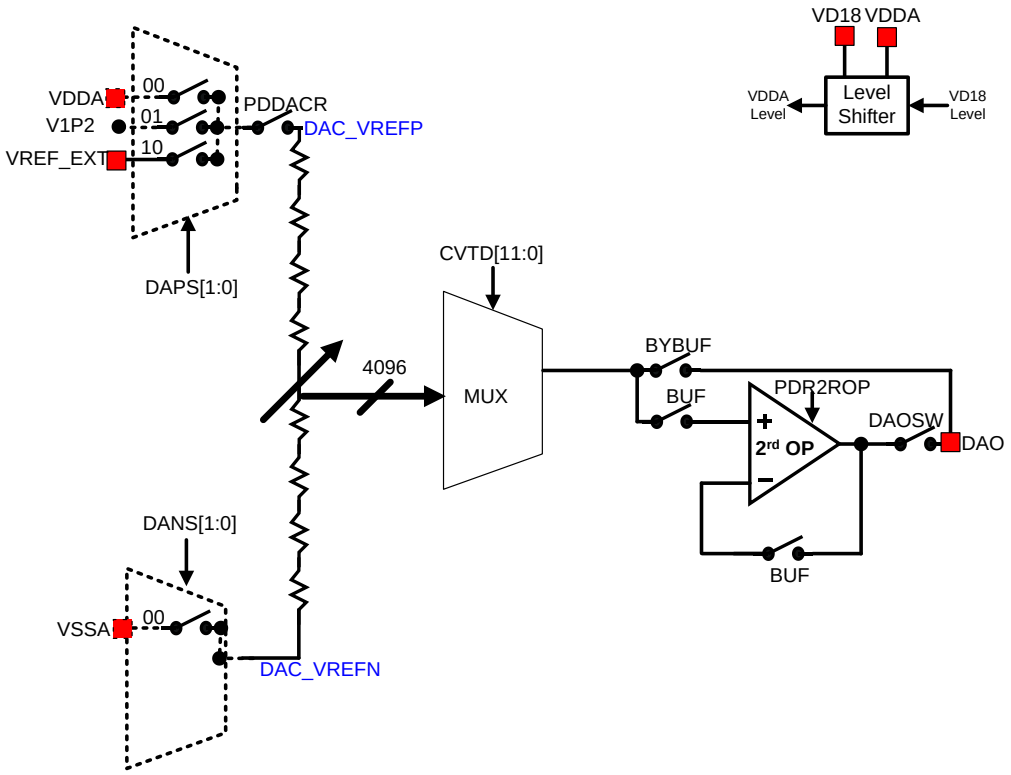


圖 64 DAC 類比方塊圖

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

21.3 暫存器描述

表格 47 DAC 控制暫存器

Index	Bit	R/W	Default	Name	Description
DAC_CFG: DAC 設置					
00h	31:7	-	-	-	保留
	6	R/W	0	DAC_BYBUF	DAC 輸出旁路軌到軌放大器 (無驅動能力)
	5	R/W	0	DAC_BUF	DAC 輸出 + 軌到軌放大器 (可驅動高達 1500pF 的輸出電容)。 *DAOSW 需要寫入 1。
	4	R/W	0	DAOSW	軌到軌(Rail-to-Rail)放大器輸出到 PAD
	3:2	R/W	0	DAPS	DAC 正輸入選擇 00: VDDA 01: V1P0V 10: VREF_EXT 11: 保留 *當 DAPS 設置為 2'b01 (VREF 選擇 V1P0)時，IC 工作電流將增加 150μA，因此在省電模式時，請將 DAPS 設置為 2'b00。
	1:0	R/W	0	DANS	DAC 負輸入選擇。 *必須設置 00。 選擇 VSSA。
DAC_CVTD: DAC 12-bit 資料輸入					
04h	31:12	-	-	-	保留
	11:0	R/W	0	CVTD	DAC 12-bit 資料輸入

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

22 超低功耗比較器

22.1 主要概述

WT32L064/032 內置兩個電壓比較器，其功能如下。

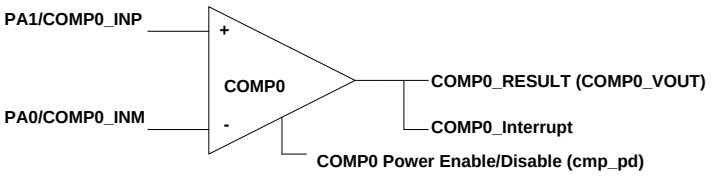
- 超低功耗（工作電流低於 10μA/單位）
- 比較器可以單獨啟動或關閉
- 沒有比較器輸出引腳，但可以通過暫存器讀取輸出狀態
- 每個比較器輸出更改可以產生中斷

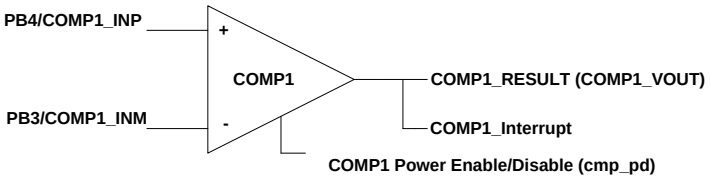
Range	Index	Function	Description
AHB	0x5001_F000~0x5001_FFFF	system control	

Index	Bit	R/W	Default	Name	Description
SYSCON_CMP_OUT: 比較器輸出					
14h	1	R	-	CMP1_VOUT	Comparator 1 output
	0	R	-	CMP0_VOUT	Comparator 0 output

Range	Index	Function	Description
APB0	0x4001_A000~0x4001_AFFF	PMU	電源管理單位

Index	Bit	R/W	Default	Name	Description
PMU_VD_CR: 電壓偵測控制訊號					
0Ch	3:2	R/W	11	cmp_hs	選擇 CMP 的操作模式 高速模式: 1 低速模式: 0 cmp_hs[1]: CMP1 cmp_hs[0]: CMP0
PMU_CLK_PD: Clock power 訊號					
14h	8:7	R/W	11	cmp_pd	CMP0 & CMP1 省電開關 [7]: CMP0, [8]:CMP1 0: 開啟。 1: 關閉。





本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

23 CRC32

23.1 主要概述

迴圈冗餘檢查 (CRC) 是數位網路和儲存裝置中常用的錯誤偵測碼，用於檢測原始資料的意外變動。 在 EN/IEC 60335-1 標準中，提供了一種驗證快閃記憶體(Flash Memory)完整性的方法，CRC 計算單元可於運行期間計算軟體的簽名，並與鏈接時所生成且存儲在給定的存儲器位置的參考簽名進行比較。

- CRC-32 polynomial (0x04C11DB7) X**32 + X**26 + X**23 + X**22 + X**16 + X**12 + X**11 + X**10 + X**8 + X**7 + X**5 + X**4 + X**2 + X + 1
- 單一暫存器 (同時支援輸入與輸出)
- CRC 運算時間為 4 個系統時鐘的時間
- 支援字組(word)、半字組(half-word)、以及位元組(byte)之資料大小(AHB-Lite I/F)
- 支援大端序(big endian)與小端序(little endian)之位元阻排序方法

23.2 暫存器描述

表格 48 CRC32 控制暫存器

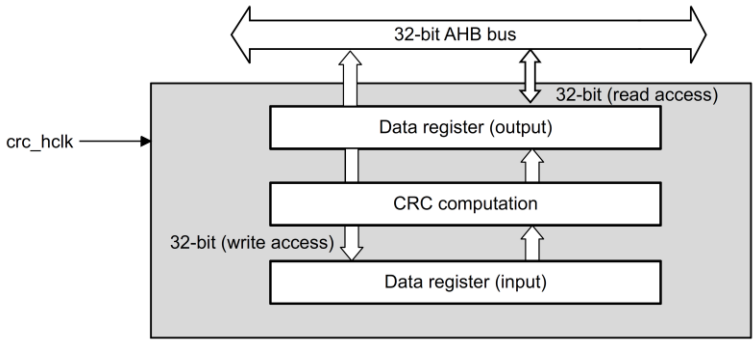
Index	Bit	R/W	Default	Name	Description
CRC32_DR: CRC32 資料暫存器					
00h	31:0	R/W	0	DR	將新資料寫入此暫存器以進行 CRC 計算。 進行讀取可取得上一個 CRC 計算結果時保留該結果。
CRC32_RST: CRC32 reset bit					
04h	31:2	-	-	-	保留
	1	R/W	0	LE	小端序 (Little endian) 致能: 0: 大端序 (big endian) 1: 小端序 (little endian)
	0	W	-	RST	寫入 1 以復位 CRC 計算單元並將資料暫存器設置為 0x00。 完成後由硬體自動清除。

23.3 功能描述

CRC 計算具有單一 32 位元資料暫存器，用作輸入暫存器，用於在 CRC 計算機中輸入新資料 (寫入暫存器時)，並保存上一次 CRC 計算的結果 (讀取暫存器時)。請注意，新的寫入操作會暫停，直到上筆 CRC 計算結束。

每次將新資料寫入資料暫存器中，皆會以先前的 CRC 值和新的資料來產生新的 CRC 值，MCU 可透過將 1 寫入 RST 暫存器來復位 CRC 計算單元(資料暫存器會被重置為 0x00)。

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。



23.4 CRC32 示例代碼:使用 WT32L064/032

```
#define BUFFER_SIZE       64
static const uint32_t DataBuffer[BUFFER_SIZE] =
{
      0x00000001, 0x00000002, 0x00000003, 0x00000004, //0
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //1
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //2
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //3
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //4
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //5
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //6
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //7
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //8
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //9
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //10
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //11
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //12
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //13
    0x00000001, 0x00000002, 0x00000003, 0x00000004, //14
    0x00000001, 0x00000002, 0x00000003, 0x00000004    //15
 };

__IO uint32_t CRCValue = 0;
RCC_AHBPeriphClockCmd(RCC_AHBPeriph_CRC32, ENABLE);
CRC_ResetDR();
CRCValue = CRC_CalcBlockCRC((uint32_t *)DataBuffer, 64);
printf("64 words, crc=0x%08x\r\n",CRCValue);
```

輸出:

```
64 words, crc=0x13388b4a
```

CRC 32 example code on PC

```
/* The result should be in accordance with ISO 3309, ITU – T V.42, Gzip and PNG.
  This code is a translation from Ruby, with an adjustment to use 32-bit integers.
This code happens to resemble the examples from RFC 1952 section 8 and from PNG annex D,
because those examples use an identical table.    */

uint32_t crc_table[256];
void CrcTable(void)
{
    uint32_t rem;
```

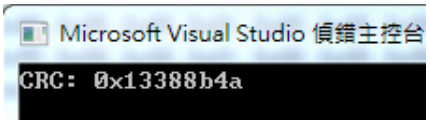
本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

```
    for (- 198 -nti    = 0; i < 256; i++)      {
        rem = i;    /* remainder from polynomial division */
        for (int j = 0; j < 8; j++)          {
            if (rem & 1)            {
                rem >>= 1;
                rem ^= 0xedb88320;
            }
            else
                rem >>= 1;
        }
        crc_table[i] = rem;
    }
}

uint32_t rc_crc32(uint32_t crc, unsigned char *buf, size_t len)
{
    uint8_t raw_byte;
    unsigned char *start_p, *end_p;
    uint32_t rotate_H8;
    uint32_t nibble_H8;
    uint32_t rem_result;

    crc = ~crc;         //invert first CRC input
    end_p = buf + len;
    for (start_p = buf; start_p < end_p; start_p++)
    {
        raw_byte = *start_p;    /* Cast to unsigned octet(8). */

        nibble_H8=    (crc & 0xff)    ^    raw_byte;
        rem_result = crc_table[nibble_H8];
        rotate_H8 = (crc >> 8);
              crc = rotate_H8 ^ rem_result;
    }

    return ~crc;    //invert first CRC output
}

int main()
{
    uint32_t crc_result;
    unsigned char test_data[] =
    {   //0   //1      //2
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //0
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //1
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //2
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //3
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //4
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //5
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //6
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //7
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //8
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //9
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //10
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //11
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //12
        0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //13
```

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

```
    0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04,  //14
    0x00,0x00,0x00,0x01,0x00,0x00,0x00,0x02,0x00,0x00,0x00,0x03,0x00,0x00,0x00,0x04   //15
  };

  CrcTable();
  crc_result = rc_crc32(0, test_data, sizeof(test_data));
  printf("CRC: 0x%08x\n", crc_result);
  return 0;
}
```

輸出:



本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

24 Boot ROM & IAP

24.1 說明

WT32L064/032內建8K位元組之Boot ROM，用來儲存Boot Code之用，Boot Code存有IAP(In Application Programming)的程式，用來做Falsh 區內User Code的遠端更新用途。

24.2 進入 Boot Code IAP 的方式

通常當CPU復位(Reset)，會先執行此Boot Code，隨後才跳至快閃記憶體 (Flash) 開始執行使用者的程式。
此Boot code可以用USB/UART的應用程式來執行IAP，有以下幾種方式來進入Boot code 的IAP功能。

1. 硬体會先判斷Flash單元的控制暫存器nboot(0x40080028)，確認是否從Boot ROM開始執行程式(預設)? 或 Flash開始執行程式? 或 SRAM開始執行程式?

9. 檢查PMU單元控制暫存器boot_sel(0x4001A024)的Boot select是否enable?

   這是由User Code自行啟動，再執行軟體復位，復位後就會進入boot code，所以User Code事先包含有一個USB/UART的應用程式,在此程式收USB/UART到特殊指令時,軟體會將PMU 單元boot_sel 狀態啟動(enable), 接著做軟體復位(Software Reset)，進入Boot Code, boot code內的IAP會檢查boot_sel 狀態是否啟動，若是則進入IAP進行User Code 遠端升級並清除boot_sel狀態，若boot_sel狀態沒有被啟動，則離開Boot Code回到User Code。

10. 另一種進入IAP方式是在Information Block存有使用者定義的IAP enable的GPIO，可以定義任一GPIO當作boot pin，但在出廠時，就要事先燒錄到 Information Block。
    例如，當定義GPIOA1 LOW時為IAP觸發，在上電後即可直接進入IAP，若GPIOA1為HIGH則離開IAP回到User Code。

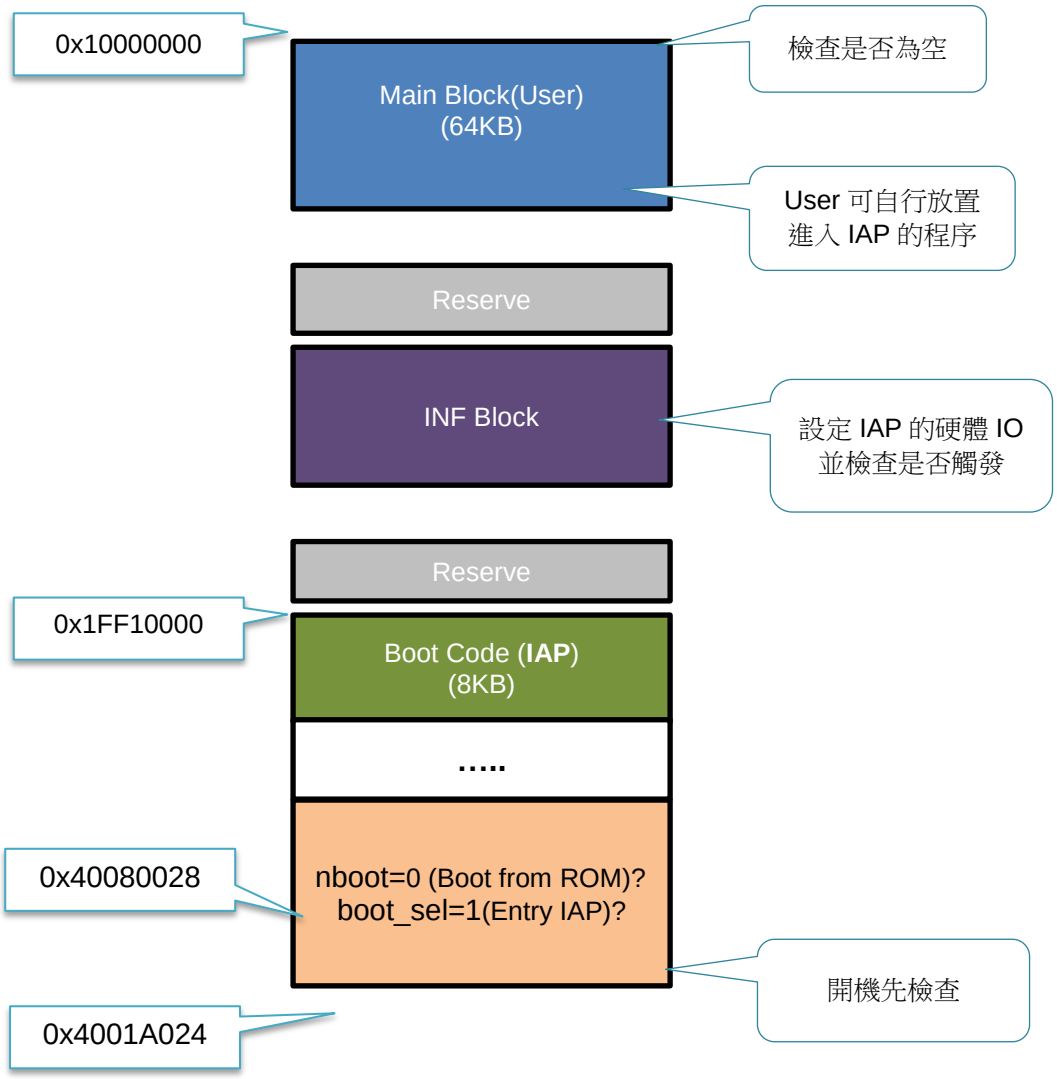
11. 檢查MCU定址的 SP (stack pointer)及PC (Program Counter)的值是否在合理範圍內?
    若在範圍內，代表是flash存在有效的程式，若值不在範圍內，代表flash是清空的，
    也就是flash沒有任何程式，此時也能進入IAP。

24.3 Boot 與 IAP 記憶體映射

下列描述為進入 IAP 的條件與相對位置及示意圖

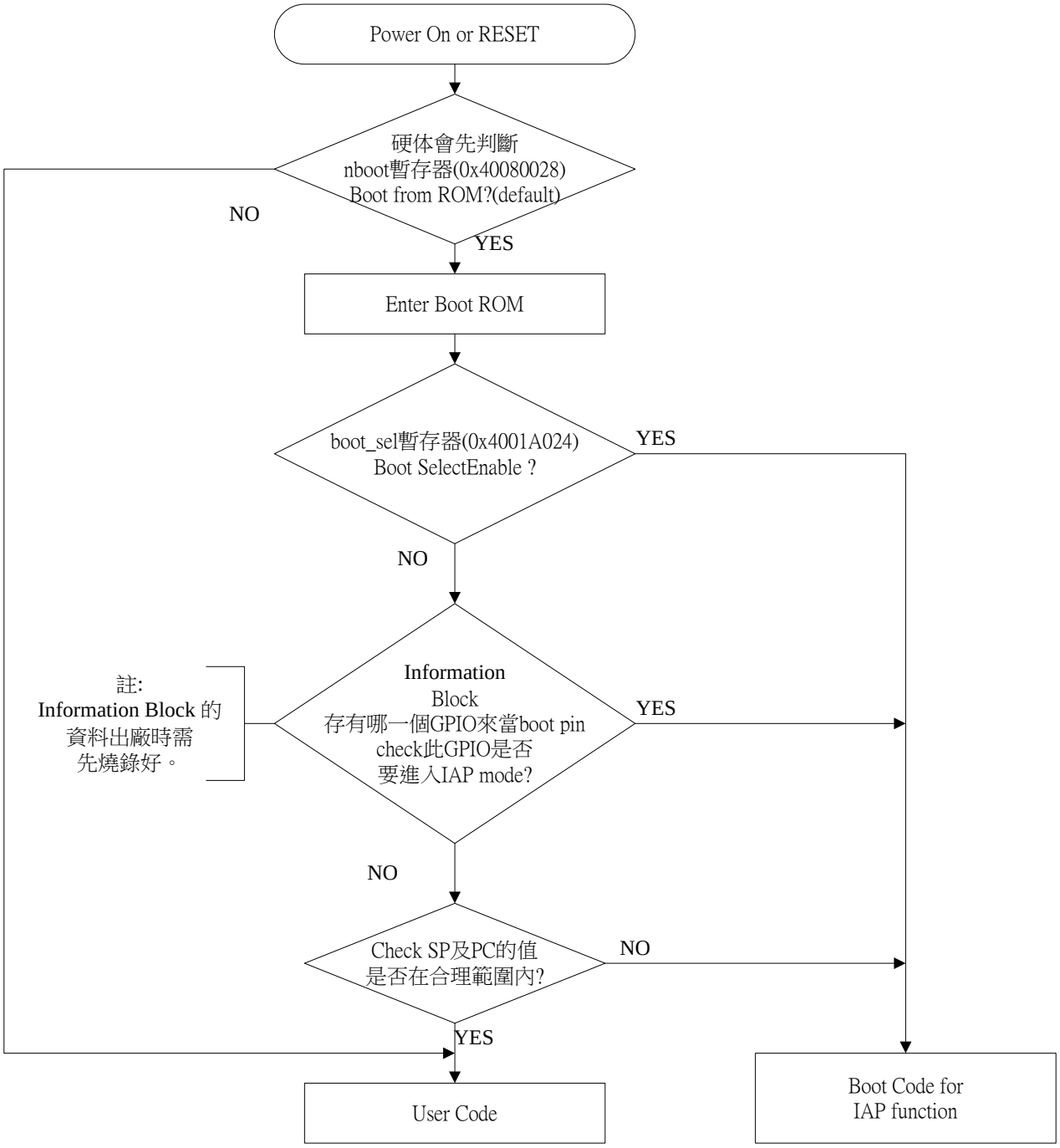
Index	Function	Description
0x1000_0000~0x1000_FFFF	embedded flash	64KB
0x1FF0_0000~0x1FF0_07FF	INF Block	2KB
0x1FF1_0000~0x1FF1_1FFF	boot ROM	8KB
0x4000_0000~0x4003_FFFF	APB0 memory space	256KB
0x4008_0000~0x400B_FFFF	AHB memory space	256KB

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。



本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

24.4 流程圖



本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25 電氣特性

25.1 極限參數

Parameter	Symbol	Condition	Range	Units
D.C. Supply Voltage	V_{D33}		-0.3 ~ 3.6	V
Input Voltage	V_I		-0.3 to V_{D33} +0.3	V
Output Voltage	V_O		-0.3 to V_{D33} +0.3	V
Total current source by all GPIO	ΣI_{OH}	125mA @3mA(6mA)/single pad	@-40℃ ~ +85℃	mA
	ΣI_{OH}	85mA @3mA(6mA)/single pad	@-40℃ ~ +105℃	mA
Total current sink by all GPIO	I_{OL}	125mA @3mA(6mA)/single pad	@-40℃ ~ +85℃	mA
	ΣI_{OH}	85mA @3mA(6mA)/single pad	@-40℃ ~ +105℃	mA
Ambient Temperature	T_A		-40 ~ 105	℃
Storage Temperature	T_{STG}		-60 ~ 125	℃

Note: Stresses above those listed may cause permanent damage to the devices.

(*): These parameters are presented for design guidance only and not tested or guaranteed.

Parameter	Symbol	Conditions	Min.	Max.	Units
Internal AHB clock frequency	fHCLK		0	32	MHz
Internal APB0 clock frequency	fPCLK1		0	32	MHz
Internal APB1 clock frequency	fPCLK2		0	32	MHz
Standard operating voltage	VD33	BOR detector disabled	1.65	3.6	V
		BOR detector enabled, at power-on	1.8	3.6	V
		BOR detector disabled, after power-on	1.65	3.6	V
Analog operating voltage (all features)	VDDA	Must be the same voltage as VD33	1.65	3.6	V
Digital power from Internal LDO1.2V~1.8V	VDD	need to connect capacitor 1μF	1.2	1.8	V
Standard operating voltage, USB domain	VD33 (USB)	USB peripheral used	3	3.6	V
		USB peripheral not used	1.65	3.6	V
VBUS: 5V input, USB domain	VDD_5V	USB peripheral used	4.5	5.5	V
Input voltage on 5V Tolerant I/O & reset pins	VIN		-0.3	5.5	V
Input voltage on 3.3VI/O pin			-0.3	VD33+0.3	V

(*): These parameters are presented for design guidance only and not tested or guaranteed.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25.2 DC 電氣特性

25.2.1 電源消耗

VD33=ADDA=3.0V, Vcore=1.8V

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
Run mode	IVDD32M-1	sysclk= (HIS 16M x2) =32M (PLL on) AHB=sysclk no load & peripheral off		8.9		mA
Run mode	IVDD32M-2	sysclk= (HIS 16M x2) =32M (PLL on) AHB=sysclk/2 no load & peripheral off		5.5		mA
Run mode	IVDD16M-1	sysclk= HSI=16M AHB=sysclk no load & peripheral off		5.2		mA
Run mode	IVDD16M-2	sysclk= HSI=16M AHB=sysclk/2 no load & peripheral off		3		mA
Low Power Run mode	IVDD1M	sysclk= MSI=1M AHB=sysclk/2 no load & peripheral off		202		μA
Low Power Run mode	IVDD131K	sysclk= MSI=131K AHB=sysclk/2 no load & peripheral off		57		μA
Sleep mode	Isleep16M	sysclk= HSI=16M AHB=sysclk/2 no load & peripheral off		1.1		mA
Sleep mode	Isleep1M	sysclk= MSI=1M AHB=sysclk/2 no load & peripheral off		113		μA
Stop mode	ISTOP1	SRAM(retain) , All clock (off) Flash (off) no load & peripheral off		0.6		μA
Stop mode+ RTC	ISTOP2	SRAM(retain), MSI, PLL, HSI, HSE (off) LSI, LSE (on) Flash (off) no load & peripheral off		1.3		μA
Standby mode	ISTBY1	SRAM(lost) All clock (off) Flash (off) Vcoer (off) no load & peripheral off		0.3		μA
Standby mode+ RTC	ISTBY2	SRAM(lost) MSI, PLL, HSI, HSE (off) LSI, LSE (on)		1.0		μA

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
		Flash (off) Vcoer (off) no load & peripheral off				

(*): These parameters are presented for design guidance only and not tested or guaranteed.

25.2.2 Digital I/O 電氣特性

VDDA=3.3V

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
Schmitt Trigger Low-to-High threshold Point	V_{T+}		0.65*Vdd			V
Schmitt Trigger High-to-Low threshold Point	V_{T-}				0.35*Vdd	V
Output High Voltage (DS=0)	V_{OH}	I_{OH} = 3 mA	2.4			V
Output Low Voltage (DS=0)	V_{OL}	I_{OL} = 3 mA			0.4	V
Output High Voltage (DS=1)	V_{OH}	I_{OH} = 6 mA	2.4			V
Output Low Voltage (DS=1)	V_{OL}	I_{OL} = 6 mA			0.4	V
Input Schmitt trigger hysteresis voltage	V_{HYS}		300			mV
Input Leakage Current	I_{OZ}	V_O = 0V or 3.3V			±0.05	μA
Pull-Up Resistor	R_{PH}			30		kΩ
Pull-Down Resistor	R_{PD}			50		kΩ

(*): These parameters are presented for design guidance only and not tested or guaranteed

25.2.3 LVR 電氣特性

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
Low V1D35 Reset Voltage	V_{LVR13_H}	VDDA=3.3V		1.40		V
Low V1D35 Reset Voltage	V_{LVR13_L}	VDDA=3.3V		1.35		V

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
Low V1D35 Reset Current	I_{LVR13}	VDDA=3.3V		< 2		μA
Low V1D35 Reset Voltage				±3		%

(*): These parameters are presented for design guidance only and not tested or guaranteed

25.2.4 PLL 電氣特性

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
PLL input reference frequency (after pre-divider)	f_{REF}		2		24	MHz
PLL VCO range	f_{VCO}	VDDA < 1.8V	32		96	MHz
		VDDA ≥ 1.8V	32		192	
PLL lock time (Note 1)	t_{LOC}	f_{REF} = 16MHz, f_{VCO} = 96MHz		160		μS
PLL operation current	I_{PLL}	f_{REF} = 4.2MHz, f_{VCO} = 64MHz		0.75		mA

(*): These parameters are presented for design guidance only and not tested or guaranteed

25.2.5 ADC 電氣特性

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
Resolution				12		bits
Integral Nonlinearity Error (including INL, DNL)		V_{REF} = 3.3V, VDDA = 3.3V		±2		LSB
Input Voltage	V_{ADCIN}		VSS		V_{REF}	V
ADC Reference Voltage (V_{REF})	VDDA	1.8V<VDDA<3.6V		VDDA		V
	V1P0	VDDA>2.2V & F_{ADC} ≤ 7MHz		1.0		V
	VREF_EXT	1.8V<VDDA<3.6V	1.65		VDDA	V
ADC Frequency	F_{ADC}			7		MHz
ADC Current	I_{ADC}	ADC CLK = 6MHz		400		μA
		ADC CLK = 1MHz		314		μA
ADC Input impedance	R_{AIN}				20	KΩ
Conversion time	T_{conv}	fADC = 6 MHz		2.33		μs

(*): These parameters are presented for design guidance only and not tested or guaranteed.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

Parameter	Condition	Specification			Units
		Min.	Typ.	Max.	
ENOB	VDDA=Vref=3.6V		10		bit
	VDDA=Vref=3.3V		10		bit
	VDDA=Vref=1.8V		9		bit

(*): These parameters are presented for design guidance only and not tested or guaranteed.

25.2.6 DAC 電氣特性

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
Analog supply voltage	VDDA		2.2		3.6	V
VREFP=VDDA Channel	Resolution			10		bits
VREFP=Internal 1.0V Channel				9		bits
VREFP=External Channel				10		bits
Analog supply voltage	VDDA		2.2		3.6	V
VREFP=External Channel of 0.6V				10		bits
Current consumption on VDDA Supply,VDDA = 3.3 V @0X0800	IDAC			86.2		μA
Current consumption on VDDA Supply,VDDA = 3.3 V @0X0F1C	IDAC			118.7		μA
Differential non linearity	DNL	@VDDA=2.2V~3.6V		±2		LSB
Integral non linearity	INL	@VDDA=2.2V~3.6V		±4		LSB
Resistive Load	RL	DAC Output Buffer ON RL to VSSA	5			KΩ
Capacitive Load	CL	DAC Output Buffer ON CL to VSSA			50	pf

* If DAC used at VD33 in 1.65V~2.2V,
  External Channel must be provided 0.6V at PB0 for 8 bits resolution.
* It must be back to default channel of VDDA when DAC off to reduce current consumption of 150μA,

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25.2.7 LDO 電氣特性

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
LDO 3.3V Power Current @VDD5V = 5.0V	I_{VDD5V}	VD33 ≧ 3.0V		30		mA
LDO 3.3V Power Current @VDD5V = 4.5V	$I_{VDD5V45}$	VD33 ≧ 3.0V		20		mA
Voltage of LDO 3.3V @Loading=3mA	VD33		3.17	3.3	3.43	V
Voltage of LDO 3.3V Tolerance @Loading=3mA				±4		%

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
LDO 1.8V Driven Current @VDD33 = 2.2V	I_{VDDC22}	BLDO ON VD18 ≧1.7V		30		mA
LDO 1.8V Driven Current @VDD33 = 2.2V	$I_{VDDC22S}$	BLDO OFF VD18 ≧1.7V		285		μA
Voltage of LDO 1.8V @Loading=3mA	VD18		1.774	1.81	1.846	V
Voltage of LDO 1.8V Tolerance @Loading=3mA				±2		%

(*): These parameters are presented for design guidance only and not tested or guaranteed.

25.2.8 HSI 16 MHz

Parameter	Symbol	Condition	Specification			
			Min	Typ	Max	Units
Frequency	fHSI16			16		MHz
HSI16 trimming step	TRIM			±0.4		%
Duty cycle	DuCy		45		55	%
Accuracy of the HSI16 oscillator (factory calibrated)	ACC	VDDA=3V, TA = 25 °C	-1		1	%
		VDDA=3V, TA =0~70 °C		±2		%
		VDDA=3V, TA =-40 °C ~85 °C		±3		%
		VDDA=3V, TA = -40 °C ~125 °C		±4		%
		VDDA=1.65~3.6V, TA = -40 °C ~125 °C		±5		%
HSI16 oscillator startup time	tsu				20	μs
HSI16 oscillator power consumption	IDDA			100	140	μA

(*): These parameters are presented for design guidance only and not tested or guaranteed.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25.2.9 MSI 4.2 MHz

Parameter	Symbol	Condition	Specification			
			Min	Typ	Max	Units
Frequency	f_{MSI}			4.2		MHz
Duty cycle	DuCy		45(49)		55(51)	%
Accuracy of the MSI oscillator (factory calibrated)	ACC	VDDA=3V, T_A = 25 °C	-1		1	%
MSI oscillator startup time	t_{su}				60	μs
MSI oscillator power consumption	I_{DDA}			15	20	μA

(*): These parameters are presented for design guidance only and not tested or guaranteed.

Parameter	Symbol	Condition	Specification			
			Min	Typ	Max	Units
Frequency after factory calibration @VDDA=3.3V T_A=25℃	fMSI	MSI range=0		65.625		kHz
		MSI range=1		131.25		
		MSI range=2		262.5		
		MSI range=3		525		
		MSI range=4		1.05		MHz
		MSI range=5		2.1		
		MSI range=6		4.2		
MSI oscillator power consumption	I_{DDA}	MSI range=0		7		μA
		MSI range=1		7.5		
		MSI range=2		8		
		MSI range=3		9		
		MSI range=4		10		
		MSI range=5		12		
		MSI range=6		15		
MSI oscillator frequency drift 0 °C ≤ TA ≤ 85 °C	D_{TEMP}			±3.0		%
MSI oscillator frequency drift VDDA=3.3V -40℃<T_A<110℃		MSI range=0		±10		
		MSI range=1		±10		
		MSI range=2		±9		
		MSI range=3		±8		
		MSI range=4		±7		
		MSI range=5		±6		
		MSI range=6		±5		
MSI oscillator frequency drift 1.65V<VDDA<3.6V T_A=25℃	D_{VOLT}		-2.5		2.5	%

(*): These parameters are presented for design guidance only and not tested or guaranteed.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25.2.10 IRC 48MHz 電氣特性

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
RC Frequency	F_{RC}	VDDA = 2.2V~3.6V		48		MHz
Frequency Tolerance	$\Delta F_{RC}/F_{RC}$	Without crystal oscillator calibration		± 4		%
		With USB calibration		± 0.25		%
RCOSC Current	I_{RCOSC}	12/24/48 MHz		0.25		mA

(*): These parameters are presented for design guidance only and not tested or guaranteed.

25.2.11 IRC 37kHz 電氣特性

VDDA=3.3V

Parameter	Symbol	Specification			Units
		Min.	Typ.	Max.	
LSI frequency	f_{LSI}	32.66		55.19	kHz
LSI oscillator frequency drift 0℃ ≦ T_A ≦ 85℃	D_{LSI}	-3.1	-	+8.1	%
LSI oscillator startup time	$t_{SU(LSI)}$	-	-	235	μs
LSI oscillator power consumption	$I_{DD(LSI)}$	-	393	640	nA

(*): These parameters are presented for design guidance only and not tested or guaranteed.

VDDA=1.65V

Parameter	Symbol	Specification			Units
		Min.	Typ.	Max.	
LSI frequency	f_{LSI}	32.56		55.1	kHz
LSI oscillator frequency drift 0℃ ≦ T_A ≦ 85℃	D_{LSI}	-3.4	-	+8.2	%
LSI oscillator startup time	$t_{SU(LSI)}$	-	-	166	μs
LSI oscillator power consumption	$I_{DD(LSI)}$	-	390	592	nA

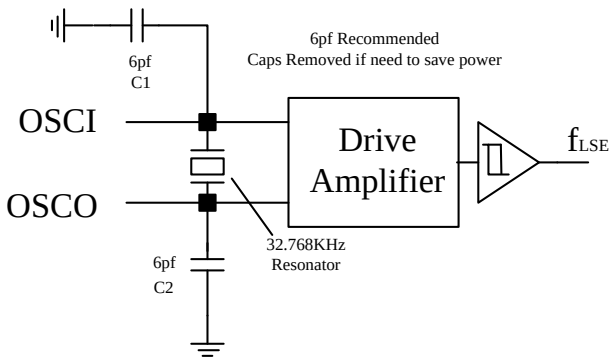
(*): These parameters are presented for design guidance only and not tested or guaranteed.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25.2.12 Crystal 32768 電氣特性

Parameter	Symbol	Condition	Specification			Units
			Min.	Typ.	Max.	
LSE oscillator frequency	f_{LSE}	-		32.768		kHz
Startup time	$t_{su(LSE)}$	V_{DD} is stabilized		2		Sec.
Crystal transconductance	Gm			0.3	0.5	μA/V

(*): These parameters are presented for design guidance only and not tested or guaranteed.



25.2.13 COMP 電氣特性

Parameter	Symbol	Conditions	Specification			Units
			Min	Typ	Max	
Analog supply voltage	V_{DDA}	-	1.65	-	3.6	V
Comparator input voltage range	V_{IN}	-	+0.2	-	VDDA-0.2	V
Comparator startup time	t_{START}	Fast mode		22	29.8	μs
		Slow mode		27.6	36.4	
Propagation delay in slow mode	$t_{d\ SLOW}$	1.65 V ≤ VDDA ≤ 2.7 V		1.21	2.23	
		2.7 V ≤ VDDA ≤ 3.6 V		1.65	2.13	
Propagation delay in fast mode	$t_{d\ fast}$	1.65 V ≤ VDDA ≤ 2.7 V		0.43	0.72μ	
		2.7 V ≤ VDDA ≤ 3.6 V		0.55	0.68μ	
Comparator offset error	V_{offset}			±4	±20	mv
Current consumption	I_{COMP2}	Fast mode		3.67	4.67	μA
		Slow mode		0.95	1.15	

(*): These parameters are presented for design guidance only and not tested or guaranteed

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25.2.14 BOR/PVD 電氣特性

Parameter	Symbol	Conditions	Specification			Units
			Min.	Typ.	Max.	
VDD rising time rate	t_{VDD}	BOR detector enabled			15	ms/V
		BOR detector disabled			15	ms/V
VDD falling time rate		BOR detector enabled			∞	ms/V
		BOR detector disabled			∞	ms/V
Analog supply Operating voltage	V_{DDA}	-	1.65	-	3.6	V
BOR disabled			1.65		3.6	V
BOR enabled			1.8		3.6	V
Brown-out reset threshold 0	V_{BOR0}	Rising edge		1.75		V
		Falling edge		1.7		V
Brown-out reset threshold 1	V_{BOR1}	Rising edge		2.03		V
		Falling edge		1.93		V
Brown-out reset threshold 2	V_{BOR2}	Rising edge		2.4		V
		Falling edge		2.3		V
Brown-out reset threshold 3	V_{BOR3}	Rising edge		2.66		V
		Falling edge		2.55		V
Brown-out reset threshold 4	V_{BOR4}	Rising edge		2.9		V
		Falling edge		2.8		V
Programmable Voltage detector threshold 0	V_{PVD0}	Rising edge		1.95		V
		Falling edge		1.85		V
Programmable Voltage detector threshold 1	V_{PVD1}	Rising edge		2.14		V
		Falling edge		2.04		V
Programmable Voltage detector threshold 2	V_{PVD2}	Rising edge		2.34		V
		Falling edge		2.24		V
Programmable Voltage detector threshold 3	V_{PVD3}	Rising edge		2.54		V
		Falling edge		2.44		V
Programmable Voltage detector threshold 4	V_{PVD4}	Rising edge		2.74		V
		Falling edge		2.64		V
Programmable Voltage detector threshold 5	V_{PVD5}	Rising edge		2.93		V
		Falling edge		2.83		V
Programmable Voltage detector threshold 6	V_{PVD6}	Rising edge		3.15		V
		Falling edge		3.05		V
Programmable Voltage detector Tolerance	V_{PVD}			±3		%

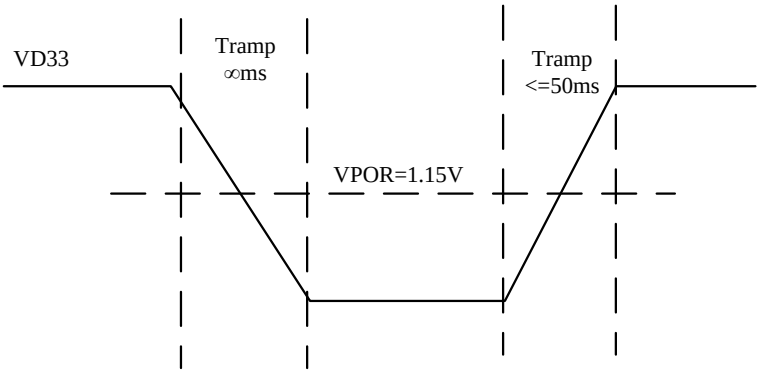
(*): These parameters are presented for design guidance only and not tested or guaranteed.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25.2.15 POR 電氣特性

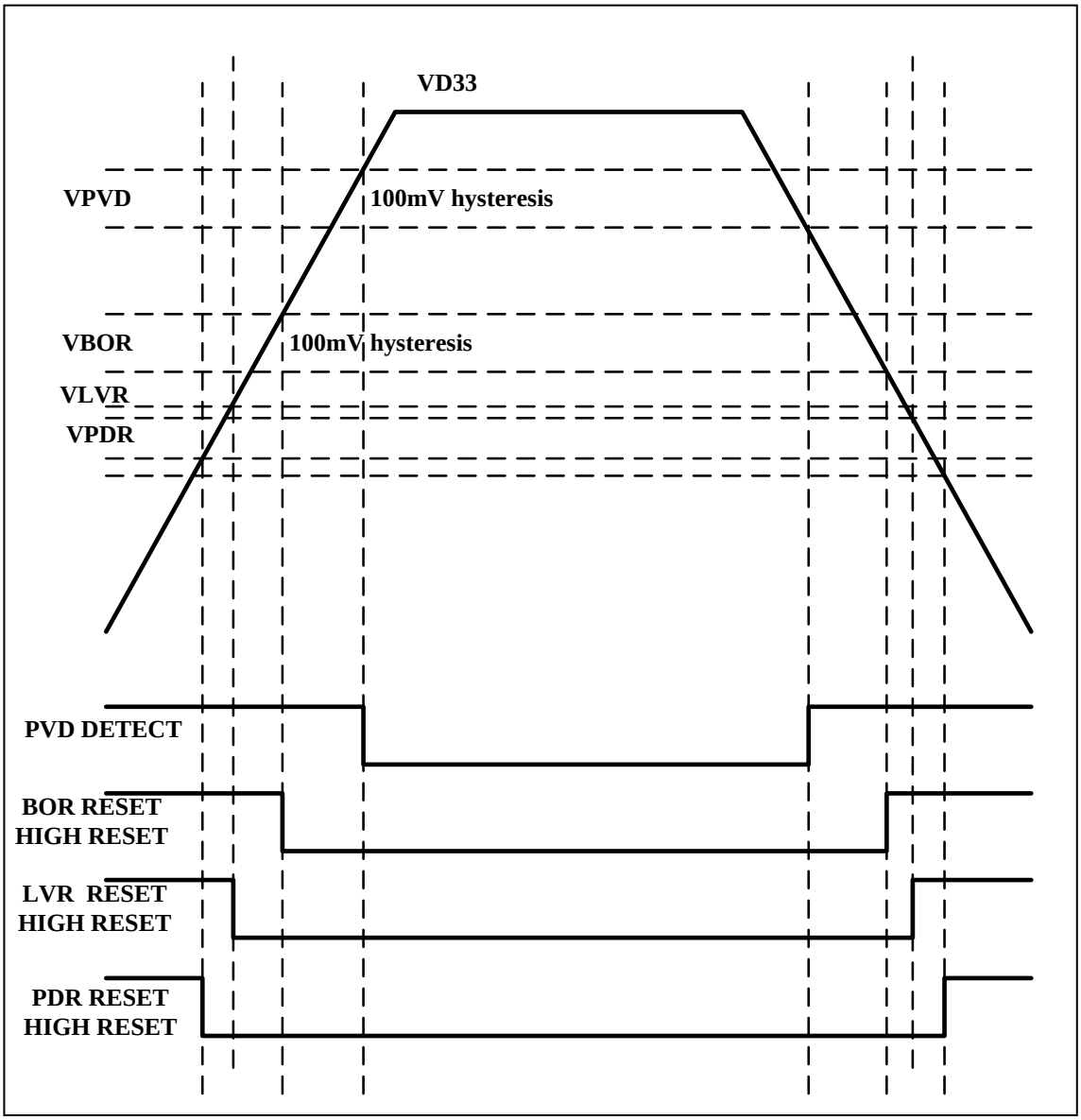
Parameter	Symbol	conditions	Specification			Units
			Min.	Typ.	Max.	
VDD Rising time rate	t_{VDD}				15	ms/V
VDD Falling time rate					∞	ms/V
POR	V_{POR}	Rising		1.15		V
		Falling		0.4		V

(*): These parameters are presented for design guidance only and not tested or guaranteed.



本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25.2.16 POWER Supply 電氣特性



1. PVD is enabled or disabled by software
2. BOR is enabled of operating from 1.8V to 3.6V
3. PDR reset level is around at 1.0V. There is no BOR when VD33 operating from 1.65V to 3.6V and the reset is enabled when VD33 goes below PDR level.
4. LVR reset level is around at 1.35V.

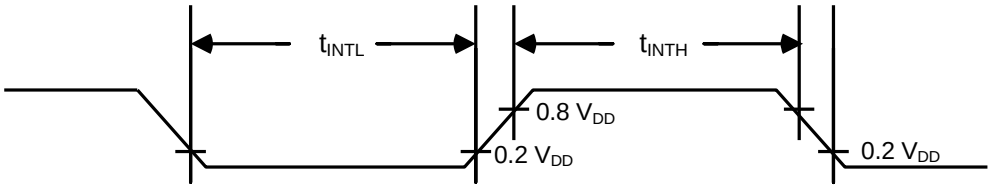
本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25.3 AC 電氣特性

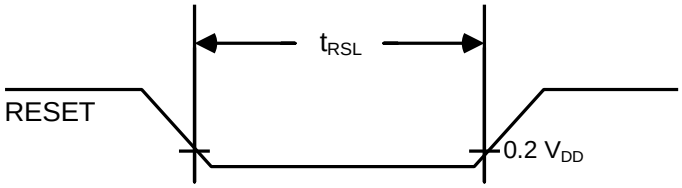
Parameter	Symbol	Pin/condition	Specification			Units
			Min.	Typ.	Max.	
Main Operation Frequency	F_{MCP}	X_{IN}	0.032		32	MHz
Main Crystal Stabilization Time(*)		V_{D33} = 1.8V ~ 3.6V at HSE 16 MHz			10	ms
		V_{D33} = 1.8V ~ 4.5V at MSI MHz			30	ms
		V_{D33} = 4.5V ~ 5.5V at Hz		0.5	1	s
		V_{D33} = 1.8V ~ 3.6V at 32768 Hz			10	s
Interrupt Input High, Low Width (IRQx)	t_{INTH}, t_{INTL}	MCU clock = 12 MHz	167			ns
RESET Input Low Width	t_{RSL}	RST_NDF = 1, main clock = 12 MHz	334			ns

(*): These parameters are presented for design guidance only and not tested or guaranteed.

Input Timing for External Interrupts



Input Timing for RESET



本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

25.4 Thermal 電氣特性

Parameter	Symbol	Feature	Typ.	Units	Condition
TH01	θJA	Thermal Resistance (Junction to Air)	57	℃/W	64-pin LQFP package
TH02	θJC	Thermal Resistance (Junction to Case)	15	℃/W	64-pin LQFP package
TH03	TJMAX	Maximum Junction Temperature	125	℃	64-pin LQFP package

Parameter	Symbol	Feature	Typ.	Units	Condition
TH01	θJA	Thermal Resistance (Junction to Air)		℃/W	48-pin LQFP package
TH02	θJC	Thermal Resistance (Junction to Case)		℃/W	48-pin LQFP package
TH03	TJMAX	Maximum Junction Temperature		℃	48-pin LQFP package

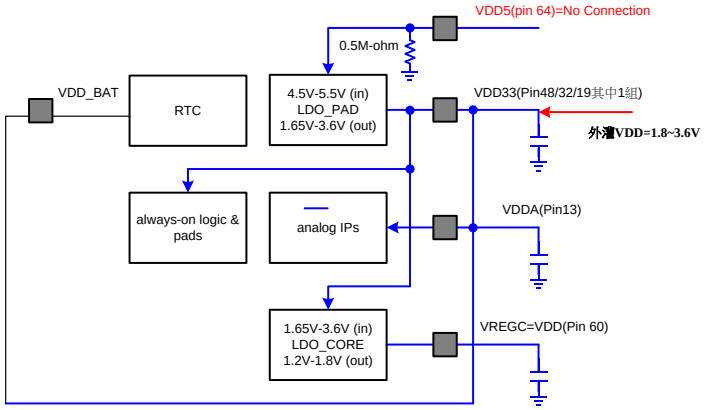
Parameter	Symbol	Feature	Typ.	Units	Condition
TH01	θJA	Thermal Resistance (Junction to Air)		℃/W	28-pin SOP package
TH02	θJC	Thermal Resistance (Junction to Case)		℃/W	28-pin SOP package
TH03	TJMAX	Maximum Junction Temperature		℃	28-pin SOP package

Parameter	Symbol	Feature	Typ.	Units	Condition
TH01	θJA	Thermal Resistance (Junction to Air)		℃/W	20-pin SSOP package
TH02	θJC	Thermal Resistance (Junction to Case)		℃/W	20-pin SSOP package
TH03	TJMAX	Maximum Junction Temperature		℃	20-pin SSOP package

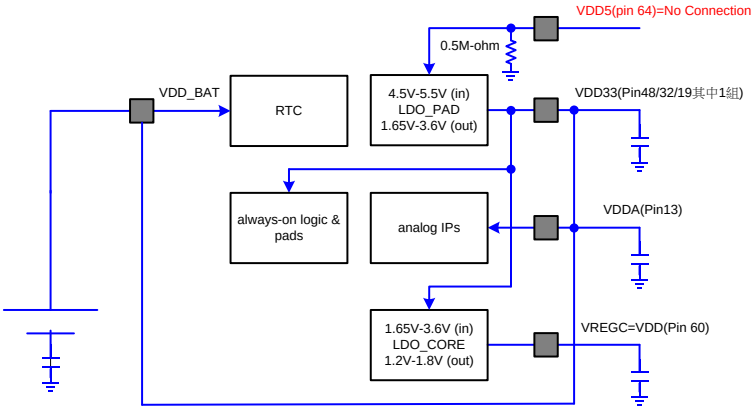
本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

26 應用線路

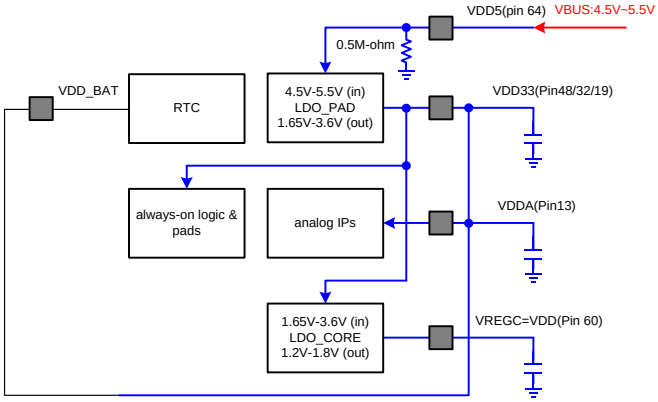
26.1 VDD33 power supply



26.2 VDDBat power supply

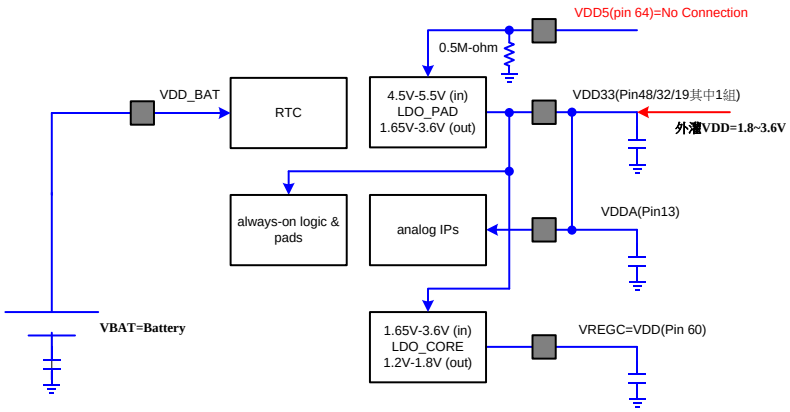


26.3 USB Vbus 5V power supply



本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

26.4 VBAT & VDD33 dual power supply



VD33	VBAT	RESET?	Current Leakage?	Note
VBAT exist				
N→Y	Y	Exception RTC are RESET	No	
Y→N	Y	Exception RTC are RESET	No	
VD33 exist				
Y	N→Y	RTC RESET The Others No RESET	No	
Y	Y→N	RTC RESET The Others No RESET	**No VD33 Domain**	**VBAT needs to change new battery**
VD33 not exist				
N	Y→N	All No RESET	No	All are no power supply
N	Y→N→Y	RTC RESET The Others No RESET	**No VBAT Domain**	**Unreasonable! VD33 needs to offer power supply for system operation**

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

27 產品命名規則

WT	Consumption market	Family	Core	Flash Size (K Bytes)		Note	Remarks
WT	32	L	0	6	4	M0/64KB Flash	32:32 位 MCU 嵌入式，用於通用或消費市場相關產品。 L/F: **L: 超低功耗系列 F:通用電源系列** 0/3: 0: ARM Cortex M0 3: ARM Cortex M3
			0	3	2	M0/32KB Flash	
WT	32	F	0	6	4	M0/64KB Flash	
			0	3	2	M0/32KB Flash	
			0	3	3	M0/32KB Flash	
			3	C(12)	8	M3/128KB Flash	
			3	C(12)	9	M3/128KB Flash	
			3	6	4	M3/64KB Flash	

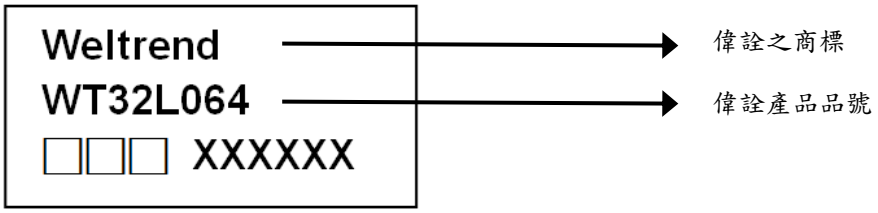
本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

28 訂單訊息

28.1 WT32L064

Package Type	Package Outline	Part Number
64-pin LQFP	7mm x 7mm	WT32L064-RG64AWT
48-pin LQFP	7mm x 7mm	WT32L064-RG48AWT
QFN32	5mm x 5mm	WT32L064-UG32BWT

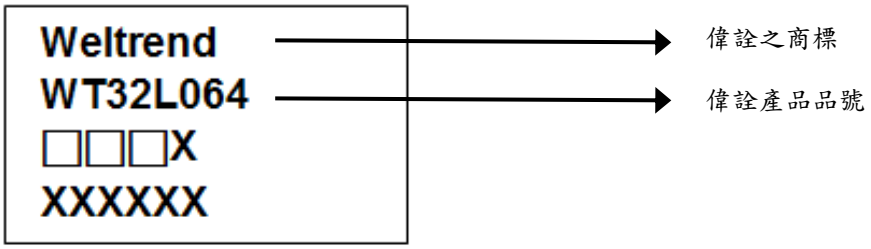
28.1.1 Top Marking – LQFP64/48



□ Date Code

X 產品追蹤碼

28.1.2 Top Marking – QFN32



□ Date Code

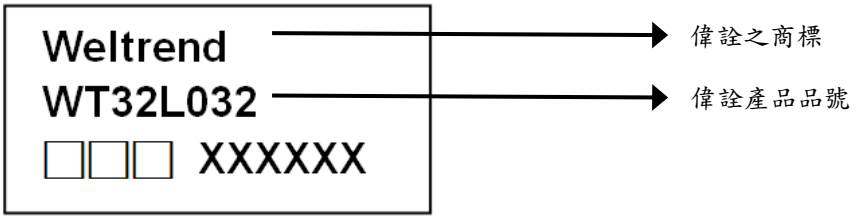
X 產品追蹤碼

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

28.2 WT32L032

Package Type	Package Outline	Part Number
64-pin LQFP	7mm x 7mm	WT32L032-RG64AWT
48-pin LQFP	7mm x 7mm	WT32L032-RG48AWT
QFN32	5mm x 5mm	WT32L032-UG32BWT

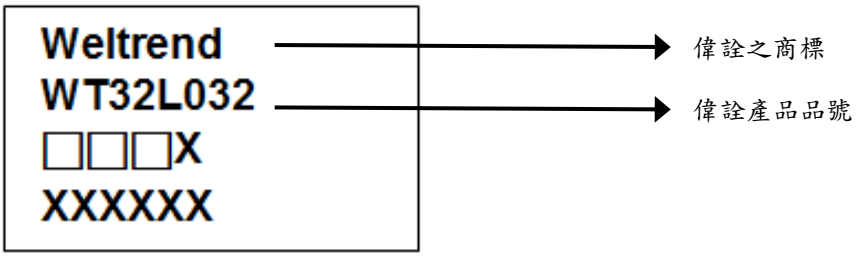
28.2.1 Top Marking – LQFP64/48



□ Date Code

X 產品追蹤碼

28.2.2 Top Marking – QFN32



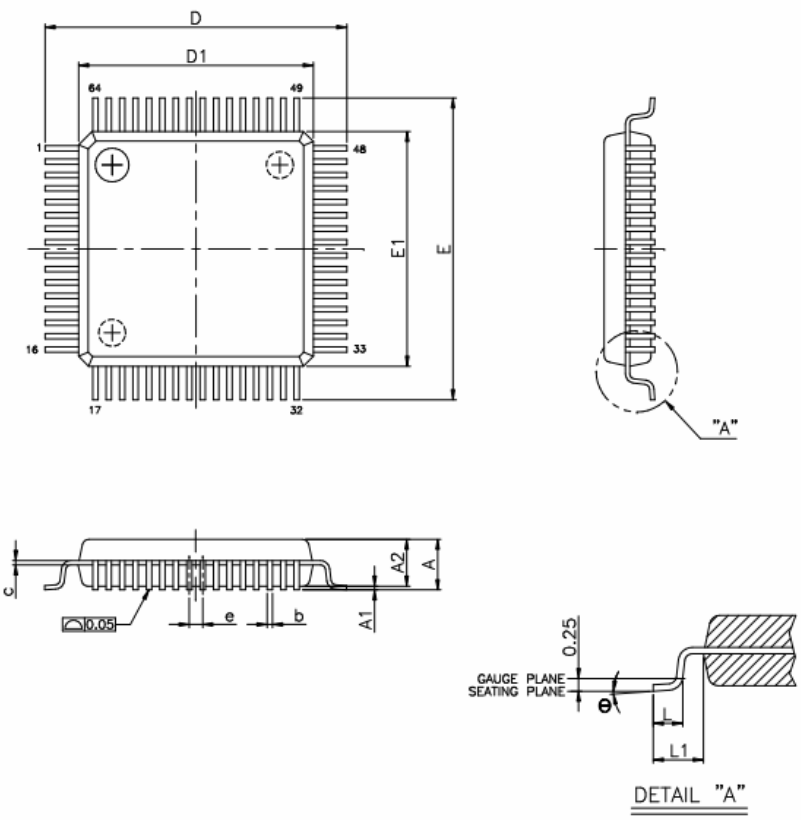
□ Date Code

X 產品追蹤碼

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

29 封裝外觀

29.1 LQFP-64 外觀圖示



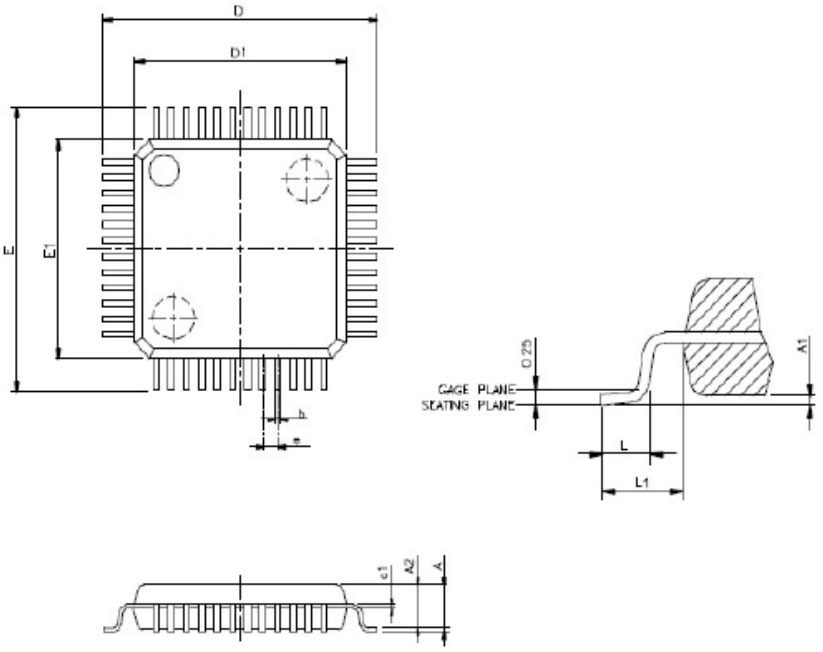
VARIATIONS (ALL DIMENSIONS SHOWN IN MM)

SYMBOLS	MIN.	NOM.	MAX.
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
b	0.13	0.18	0.23
c	0.09	–	0.20
D	9.00 BSC		
D1	7.00 BSC		
e	0.40 BSC		
E	9.00 BSC		
E1	7.00 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		
θ	0°	3.5°	7°

NOTES:
1.JEDEC OUTLINE : MS–026 BBD
2.DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PER SIDE. D1 AND E1 ARE MAXIMUM PLASTIC BODY SIZE DIMENSIONS INCLUDING MOLD MISMATCH.
3.DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION.ALLOWABLE DAMBAR PROTRUSION SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED THE MAXIMUM b DIMENSION BY MORE THAN 0.08mm.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

29.2 LQFP-48 外觀圖示



VARIATIONS (ALL DIMENSIONS SHOWN IN MM)

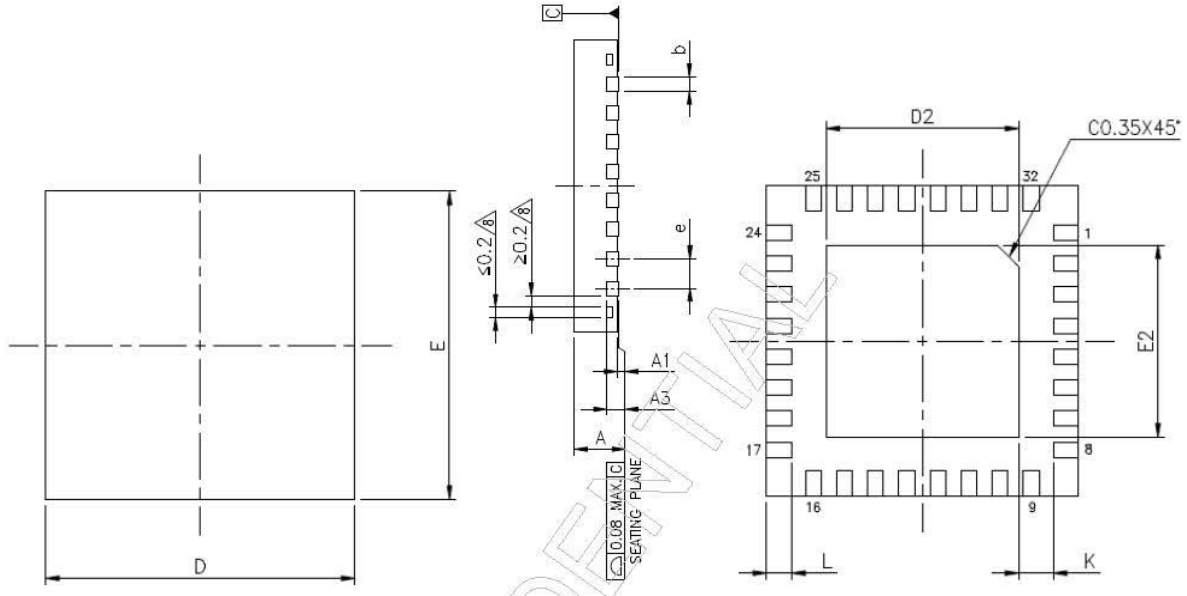
SYMBOLS	MIN.	MAX.
A	--	1.6
A1	0.05	0.15
A2	1.35	1.45
c1	0.09	0.16
D	9.00 BSC	
D1	7.00 BSC	
E	9.00 BSC	
E1	7.00 BSC	
e	0.5 BSC	
b	0.17	0.27
L	0.45	0.75
L1	1 REF	

NOTES:
1. JEDEC OUTLINE: MS-026 BBC
2. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PER SIDE. D1 AND E1 ARE MAXIMUM PLASTIC BODY SIZE DIMENSIONS INCLUDING MOLD MISMATCH.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED THE MAXIMUM b DIMENSION BY MORE THAN 0.08mm.

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

29.3 QFN-32 外觀圖示

Quad Flat No-Lead Plastic Package **QFN-32 PIN**



SYMBOLS	MIN	NOR	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3		0.203 REF	
b	0.18	0.25	0.30
D		5.00 BSC	
E		5.00 BSC	
e		0.50 BSC	
L	0.35	0.40	0.45
K	0.20	-	-
D2	3.10	3.20	3.25
E2	3.10	3.20	3.25

UNIT: mm

NOTES:
1. JEDEC outline : MO-220
2. Dimension "b" applies to metallized terminal and is measured between 0.15mm and 0.30mm from the terminal tip. If the terminal has the optional radius on the other end of the terminal, the dimension "b" should not be measured in that radius area.
3. Bilateral coplanarity zone applies to the exposed heat sink slug as well as the terminals.

PREPARE	Cynthia	DATE: 2012/8/1
CHECK	Lawrence	DATE: 2012/8/1
APPROVE	Eric	DATE: 2012/8/1

CONFIDENTIAL

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

30 開發工具

WT32L064/032 開發工具組可與編譯器軟體 Keil MDK 協同工作。他們可以在 Windows 2000/XP/Vista/Win7/Win10 中執行電路內模擬器 (ICE) 和系統內程式設定 (ISP)。

開發工具組如下圖 65 所示:

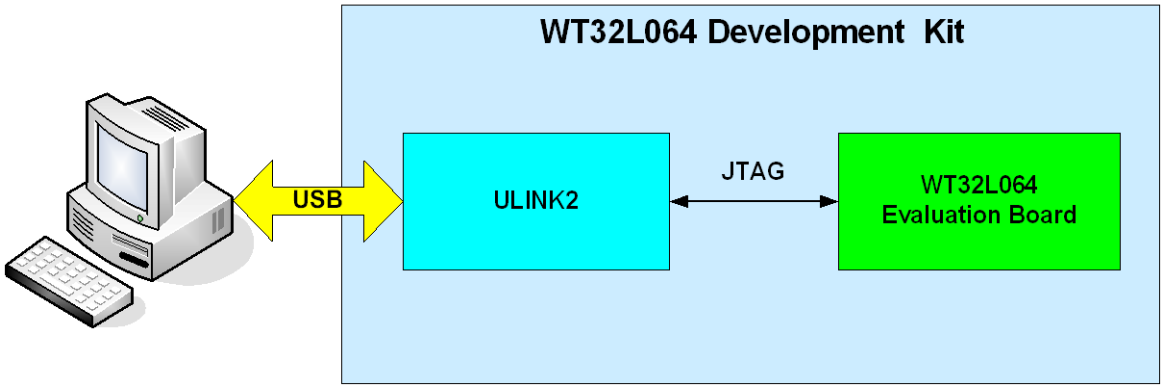


圖 65 WT32L064/032 開發套件

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。

31 版本更改紀錄

Version	Section/Page	Contents	Date
0.10	All	Initial version	Nov. 12, 2019
0.20	Pin description	Add A1 type statement during reset period	April 01, 2020
	All	Add WT32L032 part No.	
	RCC	Add RTC clock enable	
0.30	System clock tree & RCC & ADC & Electrical Characteristics	Add LSI:37kHz of RTC, Notice of RCC & ADC Add RTC low power clock enable bit	June 15, 2020
0.40	All		Sep. 8, 2020
0.50	7.1	Modify DMA descriptions	June 11, 2021
0.60	4.2.2.1	Update PLL descriptions	July 28, 2021
1.00	訂單訊息	新增 Top Marking	Sep. 09, 2021
1.01	訂單訊息 CH29	修改 Bonging 版本為 B 版 刪除 “**Wafer form or Chip form**” 刪除 “**Pad 圖示與座標位址表**”說明	Sep. 16, 2021
1.02	1.1 CH5 20.3	Update Features. 刪除 “**低功耗睡眠**” 說明 更新 ADC 敘述	Feb. 10, 2022

本文件為偉詮電子股份有限公司機密資料，未經許可不得擅自複印或備份。